

# INITIATION A LA PRATIQUE DE L'ELECTRONIQUE

## LES CIRCUITS ARITHMETIQUES

L'additionneur est l'opérateur de base des circuits arithmétiques. L'additionneur binaire se compose de quelques portes logiques.

L'additionneur binaire le plus simple est appelé « demi-additionneur ». Ne tenant pas compte de la retenue de l'opération précédente, il ne possède que deux entrées A et B. On obtient à sa sortie la somme de A et de B, plus éventuellement une retenue. L'« additionneur complet » tient compte de la retenue précédente ; il se compose donc de

trois entrées (A, B et  $R_{(n-1)}$ ) et de trois sorties. Un circuit intégré comportant quatre additionneurs est appelé « additionneur 4 bits ».

Une addition binaire peut s'effectuer de deux façons différentes : suivant le mode série (avec un seul additionneur) ou suivant le mode parallèle (procédé plus rapide).

Une méthode de soustraction consiste à remplacer le nombre à soustraire par son complément, et à effectuer une addition.

### Circuits additionneurs

Le mois dernier, nous avons vu que l'additionneur est l'opérateur de base dans les circuits arithmétiques.

Nous passons maintenant à la réalisation pratique de l'addition et, pour cela, nous partons de l'opération la plus simple, composée de deux quantités binaires A et B.

En reprenant ce qui a été dit le mois dernier sur l'addition, nous pouvons dresser la table de vérité pour la somme S et la retenue R (fig. 1).

L'expression logique pour la somme est donc (lignes 2 et 3) :

$$S = \bar{A}B + A\bar{B}$$

et celle pour la retenue est (ligne 4) :

$$R = A \cdot B$$

Nous pouvons, d'après ces expressions, dessiner le schéma logique correspondant, par utilisation de circuits ET, OU et INVERSION, ce qui est réalisable par les TTL suivants : 7408, 7432 et 7404 (fig. 2).

Ce schéma peut être transposé en circuit ne comprenant que des NAND

0	+	0	=	0
0	+	1	=	1
1	+	0	=	1
1	+	1	=	10

FIGURE 1. - Table d'addition en binaire (a)...

A	B	S	R
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

... et table de vérité de l'additionneur (b).

(7400). Le schéma de branchement est donné figure 3.

La porte n° 1 réalise la fonction  $\bar{A} \cdot \bar{B}$ , la porte 2 :  $A \cdot \bar{B}$  et la 3 :  $\bar{A} \cdot B$ . On obtient, à la sortie n° 4, la fonction :

$$\overline{\bar{A} \cdot \bar{B} \cdot A \cdot \bar{B} \cdot \bar{A} \cdot B}$$

équivalente à  $\bar{A} \cdot \bar{B} \cdot A + \bar{A} \cdot B \cdot B$  (théorème de De Morgan), soit en sim-

plifiant  $\bar{A} \cdot B + A \cdot \bar{B}$  qui est l'expression de la somme S.

Quant à la retenue, un NAND utilisé en inverseur donne  $R = A \cdot B$ .

Remarquons que le NAND, branché en négation et effectuant la retenue, pouvait très bien être utilisé dans sa fonction NAND, ses entrées étant reliées à A et à B. Sa sortie donnerait tout aussi bien  $R = A \cdot B$ .

Notons également que l'expression de la somme S peut être obtenue par un OU exclusif (7486). (Voir schéma figure 4.)

Si nous souhaitons effectuer une addition binaire plus compliquée telle que celle-ci :

$$\begin{array}{r} 1011 \\ + 0111 \\ \hline \end{array}$$

le circuit dont nous venons de donner le schéma ne peut effectuer que la colonne de droite.

En voulant entreprendre l'addition de la colonne suivante, nous voyons qu'il est nécessaire de tenir compte de la retenue précédente. Ainsi, pour effectuer l'addition de la colonne n, il faut ajouter à cette colonne la retenue de la colonne n-1. La table de vérité pour

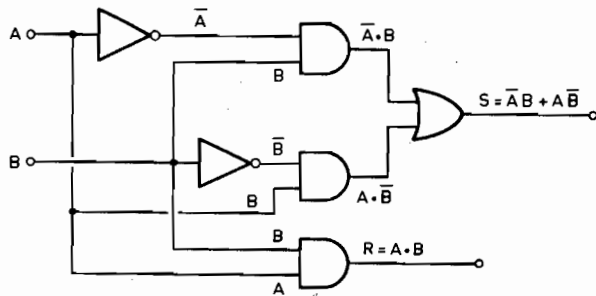


FIGURE 2. - Schéma d'un demi-additionneur directement dérivé de la table de vérité.

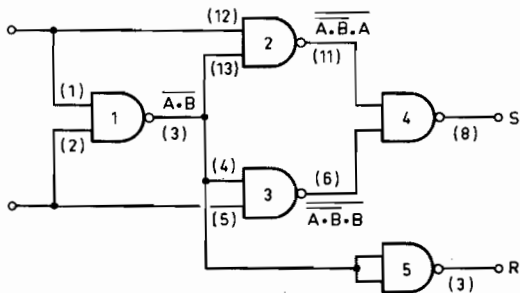


FIGURE 3. - Schéma d'un demi-additionneur n'utilisant que des NAND (7400). Le numéro des broches est indiqué entre parenthèses.

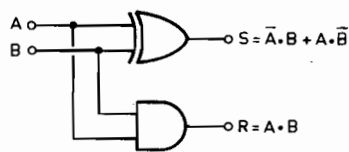


FIGURE 4. - Autre schéma de demi-additionneur n'utilisant qu'un OU-EXCLUSIF et un NAND.

l'addition des quantités A, B et  $R_{(n-1)}$  est donnée figure 5.

Avant d'aller plus loin, disons que le circuit donnant la somme, sans tenir compte de la retenue précédente, est appelé « demi-additionneur ». C'est celui qui apparaît sur les figures 2, 3 et 4. Quant au circuit donnant la somme et la retenue provenant de l'addition de deux chiffres binaires et de la retenue précédente, on dit que c'est un « additionneur complet ».

C'est le circuit dont la table de vérité est donnée figure 5 et dont le schéma est tracé sur la figure 6. Le schéma

A	B	$R_{(n-1)}$	S	R
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

FIGURE 5. - Table de vérité de l'additionneur complet.

synoptique d'un additionneur complet est représenté par un carré avec trois entrées : A, B,  $R_{(n-1)}$ , et deux sorties : S et R. Le schéma synoptique d'un demi-additionneur ne comporte que deux entrées A et B.

Un schéma d'additionneur complet n'utilisant que des portes NAND est donné figure 7. On le réalise facilement avec trois circuits 7400.

Les schémas d'additionneurs seront contrôlés à l'aide de la table de vérité, en portant les entrées A, B et  $R_{(n-1)}$  aux niveaux logiques 1 (+ 5 V) ou 0 (0 V). L'état des sorties sera indiqué soit par un voltmètre, soit par des diodes LED. Pour l'addition de la colonne de droite, l'entrée  $R_{(n-1)}$  est toujours portée au niveau zéro.

## Additionneur intégré

Le circuit intégré TTL de type 7483 effectue l'addition complète de deux nombres de 4 bits (fig. 8).

Pour plus de clarté, le schéma interne est reproduit sur la figure 9. Le circuit est composé de quatre additionneurs complets et la liaison des retenues entre ces additionneurs est faite intérieurement.

Dans le cas où l'on souhaiterait additionner deux nombres composés de plus de 4 bits, plusieurs de ces circuits intégrés seront mis en série, la retenue précédente étant reçue sur la broche 13.

Le schéma montre la disposition pour l'addition ci-dessous :

	$A_4$	$A_3$	$A_2$	$A_1$
	$B_4$	$B_3$	$B_2$	$B_1$
$R_4$	$S_4$	$S_3$	$S_2$	$S_1$

Pour faire l'addition binaire :

1 0 1 1  
0 1 1 1

il suffit de porter au + 5 V les entrées  $A_1$ ,  $A_2$ ,  $A_4$ , ainsi que  $B_1$ ,  $B_2$  et  $B_3$ . On relie au zéro volt les entrées  $A_3$ ,  $B_4$  et  $R_0$ . Cinq diodes LED seront branchées en  $S_1$ ,  $S_2$ ,  $S_3$ ,  $S_4$  et  $R_4$ , indiquant en binaire la somme de cette addition.

## Mode série et mode parallèle

Une addition peut s'effectuer de deux façons différentes : suivant le

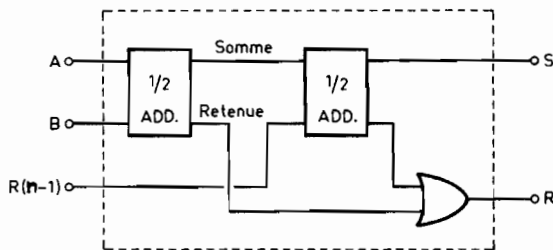


FIGURE 6. – Schéma simplifié de l'additionneur complet.

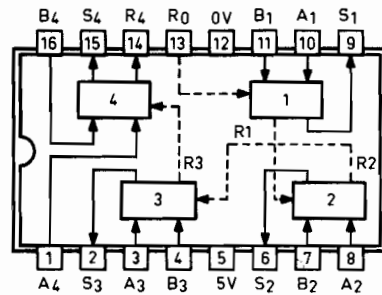


FIGURE 8. – Schéma de branchement du 7483 (quadruple additionneur complet binaire).

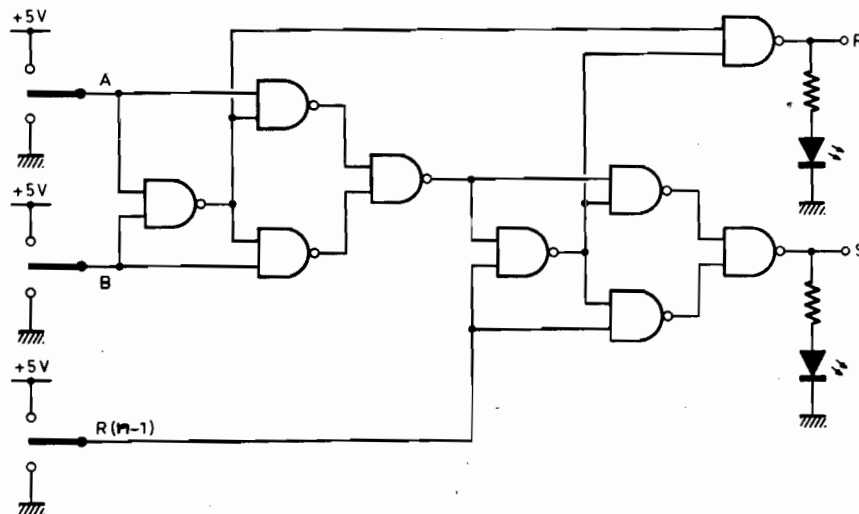


FIGURE 7. – Schéma de l'additionneur complet.

mode série ou suivant le mode parallèle.

Dans le mode série, on n'utilise qu'un seul additionneur complet. Il effectue l'addition chiffre par chiffre en commençant par ceux de plus faible valeur, c'est-à-dire en partant de la colonne de droite, en allant vers la gauche. La première opération se fait en commençant par l'addition de  $A_1$  et de  $B_1$ , plus éventuellement la retenue précédente  $R_0$ . Le résultat  $S_1$  est mis en mémoire, ainsi que la retenue  $R_1$ . L'étape suivante consiste à additionner  $A_2$ ,  $B_2$  et  $R_1$ . Autrement dit, l'unique additionneur opère successivement colonne par colonne.

Dans le mode parallèle, on utilise autant d'additionneurs qu'il y a de positions de bits. L'opération, se faisant simultanément, est donc beaucoup plus coûteuse, puisqu'elle demande autant d'additionneurs qu'il y a de colonnes à additionner. Le circuit 7483 est un additionneur parallèle.

Bien que dans le mode parallèle le calcul soit plus rapide que dans le mode série, la vitesse de calcul est ralentie par la retenue allant de l'additionneur 1 à l'additionneur 4, et ceci dans un mode « série ».

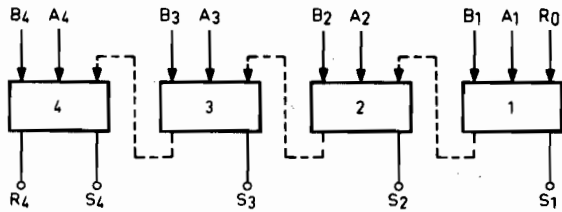
Cet inconvénient est supprimé par l'adjonction d'un générateur de report

accélérateur à 4 bits (en anglais : « look ahead carry ») avec lequel la retenue est également traitée dans le mode parallèle (74182).

## La soustraction en binaire

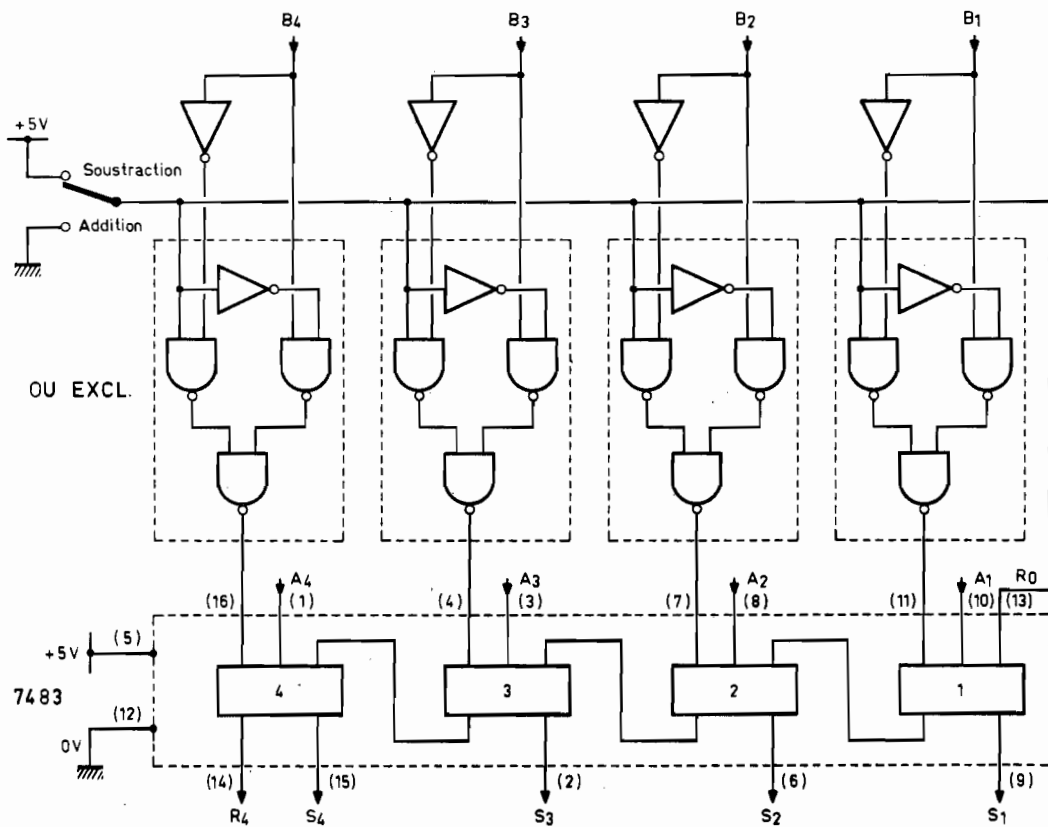
Nous avons dit que la soustraction de deux nombres est équivalente à l'addition d'un nombre positif et d'un nombre négatif.

Le mois dernier, nous avons donné une première méthode utilisant la table de soustraction binaire.



◀ FIGURE 9. – Schéma de l'additionneur parallèle 4 bits.

FIGURE 10. – Schéma d'un additionneur-soustracteur 4 bits (le numéro des broches du 7483 est indiqué entre parenthèses). ▼



Nous allons maintenant introduire une autre méthode mettant en jeu le complément du nombre à soustraire. Ce procédé consiste à remplacer le nombre à soustraire par son complément et à effectuer une addition.

Mais d'abord, que faut-il entendre par complément d'un nombre ? Nous commencerons notre explication par un exemple plus aisé.

En décimal, le complément d'un nombre est le nombre qu'il faut lui ajouter pour le faire aller jusqu'à 9.

Ainsi le complément à 9 de 7 est 2, puisque  $7 + 2 = 9$ . De même, le complément à 9 de 5 est 4...

Soit la soustraction décimale suivante :  $236 - 128$ . Remplaçons 128 par son complément à 9, cela donne 871. Faisons maintenant l'addition :

$$\begin{array}{r} 236 \\ + 871 \\ \hline 1107 \\ + 1 \\ \hline 108 \end{array}$$

Le « un » débordant à gauche est ensuite additionné à la colonne des unités, ce qui donne 108, résultat de la soustraction  $236 - 128$ .

En binaire, la recherche du complément est facile et rapide, puisque le complément de 1 est 0 et celui de 0 est 1. Ainsi, si  $B = 1010$ , son complément ( $\bar{B}$ ) est 0101. Pratiquement, il suffit d'appliquer la fonction NEGATION (circuit inverseur).

En réalité une soustraction binaire est un peu plus complexe.

La soustraction

$$\begin{array}{r} A \\ - B \\ \hline S \end{array}$$

est aisée si A est plus grand que B, mais dans le cas contraire, c'est-à-dire

lorsque B est plus grand que A, le résultat S est un nombre négatif, et c'est là où les choses se compliquent. Heureusement, un exemple pratique aide toujours à la compréhension.

Soit, par exemple, la soustraction :

$$\begin{array}{r} 12 \\ - 8 \\ \hline S \end{array}$$

que nous voulons effectuer en binaire, et que nous posons :

$$\begin{array}{r} 1100 \\ - 1000 \\ \hline \end{array}$$

Le complément de B (ici égal à 1000) est  $\bar{B} = 0111$ . Nous transformons maintenant la soustraction en addition, ce qui donne :

$$\begin{array}{r} 1100 \\ + 0111 \\ \hline 10011 \\ + \quad 1 \\ \hline 0100 \end{array}$$

La retenue est additionnée à la colonne de droite. Le résultat, en décimal, est bien égal à 4.

Passons maintenant au cas où B est plus grand que A, soit :

$$\begin{array}{r} 8 \\ - 12 \\ \hline S \end{array}$$

ce qui donne en binaire :

$$\begin{array}{r} 1000 \\ - 1100 \\ \hline \end{array}$$

Le complément de B (1100) est  $\bar{B} = 0011$ . L'opération devient :

$$\begin{array}{r} 1000 \\ + 0011 \\ \hline 1011 \end{array}$$

Nous remarquons qu'il n'y a pas de retenue. Ceci nous indique que le résultat est négatif, et qu'il faut complémenter le résultat obtenu. Le résultat final est donc :  $\bar{S} = 0100$ , soit en décimal « -4 ».

Donc, en résumé, pour faire la soustraction « A moins B », il faut effectuer l'addition « A plus  $\bar{B}$  ». S'il y a une retenue, celle-ci est ajoutée au bit de poids le plus faible, et le résultat S est un nombre positif. S'il n'y a pas de retenue, le résultat est un nombre négatif, et sa valeur est égale à  $\bar{S}$ .

## Le complément à deux

Ce que nous avons appelé « complément » est également connu sous le nom de « complément à un ».

Puisque, dans l'addition  $A + \bar{B}$ , on

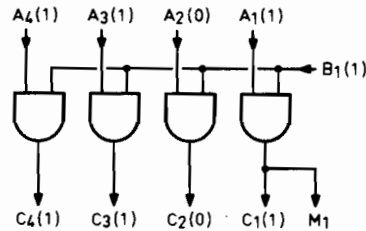


FIGURE 11  
Obtention du premier résultat partiel de la multiplication.

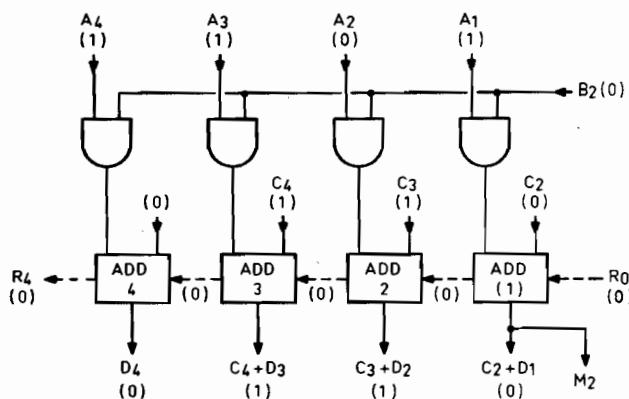


FIGURE 12. - Obtention du deuxième résultat partiel.

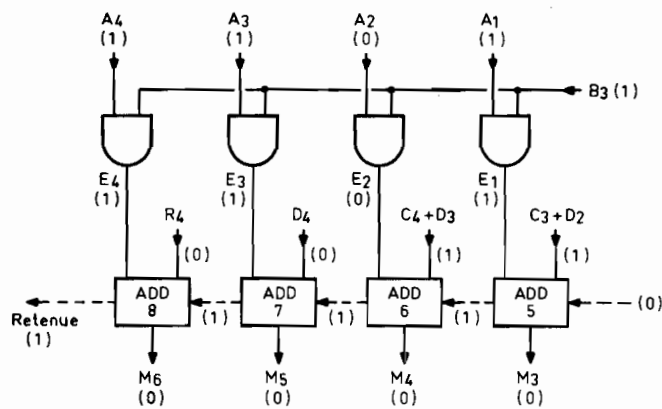


FIGURE 13. - Dernier stade de la multiplication.

ajoute le « 1 » de la retenue au digit de poids le plus faible, on préfère, en pratique, et dès le départ, ajouter le « 1 » à la colonne de droite. Le nombre obtenu est le complément à deux. Ainsi, le complément à deux de 0101 est 1010 + 1, soit finalement 1011. On ne tient plus compte ensuite de la retenue.

Pour cela, l'entrée  $R_0$  de l'additionneur complet réalisant la soustraction des bits de poids le plus faible sera

utilisée. Cette entrée est prévue pour recevoir la retenue de l'étage précédent dans le cas de l'addition. Elle est reliée à 0 V s'il s'agit de l'addition des digits de plus faible poids, puisqu'il n'y a pas d'étage précédent et donc pas de retenue...

Si la technique est celle du complément à deux, cette entrée  $R_0$  doit recevoir un « 1 » binaire, et être connectée à + 5 V.

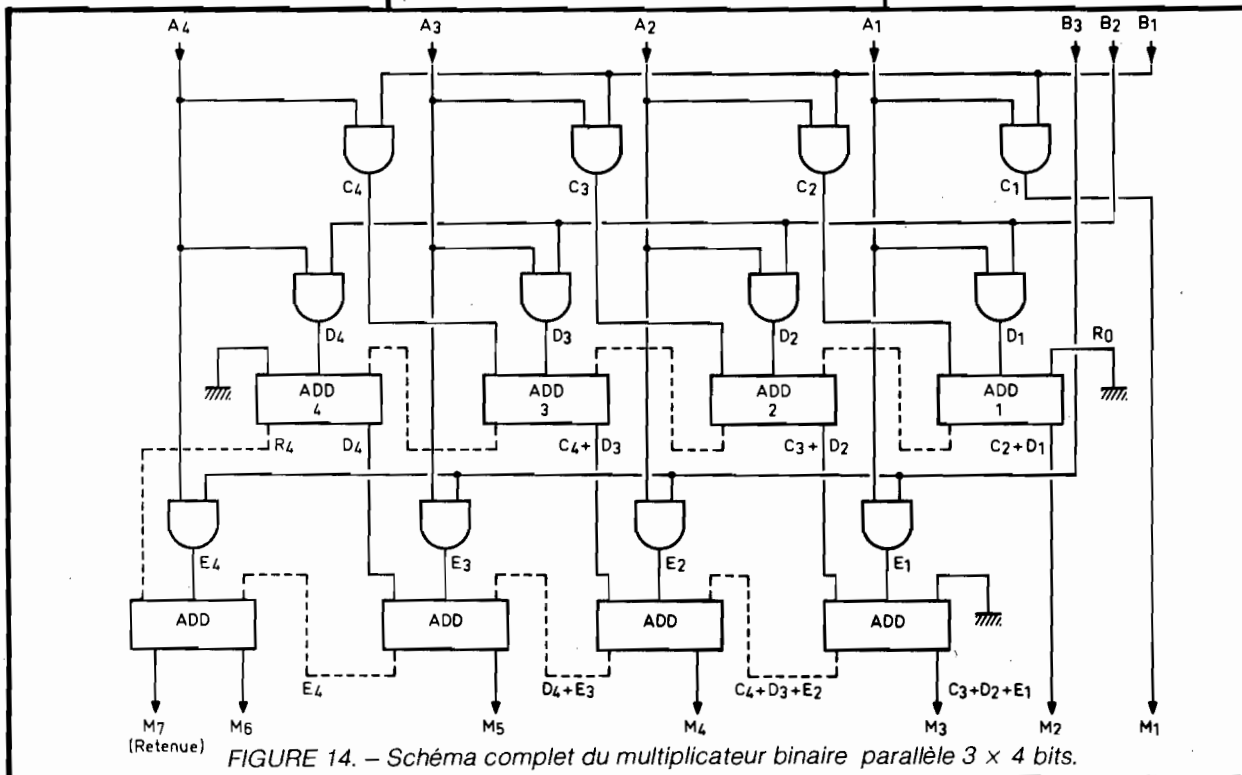


FIGURE 14. - Schéma complet du multiplicateur binaire parallèle 3 x 4 bits.

## Schéma d'un additionneur soustracteur 4 bits

Comme il suffit de complémenter puis d'additionner pour effectuer une soustraction binaire, le circuit peut se composer d'inverseuses (7404) pour la complémentation et d'un additionneur complet tel que le 7483. Ce même circuit intégré peut être employé aussi bien pour une addition que pour une soustraction si on lui adjoint un OU-EXCLUSIF, composé par exemple de trois NAND, comme cela est donné sur la figure 10.

Les quatre OU-EXCLUSIF sont commandés par un commutateur mécanique à deux positions. On remarque que ce commutateur agit également sur l'entrée  $R_0$ , ainsi que nous l'avons expliqué au paragraphe précédent.

Les deux nombres à additionner ou à soustraire sont  $A_4, A_3, A_2, A_1$  et  $B_4, B_3, B_2, B_1$ . Le résultat est  $R_4, S_4, S_3, S_2, S_1$ .

## Multiplication binaire

Voyons maintenant comment multiplier deux nombres binaires. Ceux-ci sont composés de 4 digits pour l'un

( $A_4, A_3, A_2, A_1$ ) et de 3 digits pour l'autre ( $B_3, B_2, B_1$ ). En premier lieu, nous devons nous occuper des résultats partiels, puis additionner ceux-ci pour obtenir le résultat final.

La multiplication se pose donc ainsi :

		$A_4$	$A_3$	$A_2$	$A_1$
		$B_3$	$B_2$	$B_1$	
	$D_4$	$C_4$	$C_3$	$C_2$	$C_1$
$E_4$	$E_3$	$D_3$	$D_2$	$D_1$	
$M_6$	$M_5$	$M_4$	$M_3$	$M_2$	$M_1$

Dans notre exemple, les quantités à multiplier sont  $A_4, A_3, A_2, A_1 = 1101$  et  $B_3, B_2, B_1 = 101$ , soit en décimal :  $13 \times 5$ .

La première action est donc de multiplier  $A_4, A_3, A_2, A_1$  par  $B_1$  (soit  $1101 \times 1$ ). Cette première multiplication binaire s'obtient avec quatre portes du type ET (fig. 11). Remarquons que  $C_4, C_3, C_2$  seront additionnés aux autres résultats partiels, tandis que  $C_1$  est relié directement à la sortie puisque  $M_1 = C_1$ . Remarquons également que les produits partiels sont soit nuls, soit égaux au multiplicateur  $A_4, A_3, A_2, A_1$  (1101).

La deuxième opération consiste à

multiplier  $A_4, A_3, A_2, A_1$  par  $B_2$ . Ici aussi, on utilise quatre portes ET (fig. 12), et avec les résultats précédemment obtenus ( $C_4, C_3, C_2$ ) les premières additions sont exécutées. Un deuxième résultat final ( $M_2$ ) est acquis. Il faut noter que la retenue  $R_4$  sera additionnée plus tard. L'additionneur complet intitulé ADD4 n'effectue que l'addition de  $D_4$  avec la retenue de l'additionneur précédent ; la troisième entrée de ADD4 est, pour cela, reliée au niveau zéro.

Le schéma du dernier stade de la multiplication (fig. 13) est semblable au précédent. Le dernier additionneur (ADD8) additionne  $E_4$  avec la retenue précédente provenant de ADD7 et la retenue  $R_4$  dont nous venons de parler.

Ces schémas partiels sont rassemblés sur la figure 14. Le résultat de notre exemple de multiplication est 1000001, ce qui correspond bien à 65. Le schéma utilise deux additionneurs complets du type 7483. Quant aux autres circuits, on peut utiliser trois 7409 (quadruple opérateur ET à deux entrées et à collecteur ouvert), sans oublier d'insérer une résistance extérieure. Une autre possibilité est l'emploi de portes NAND (7400) suivies d'inverseurs (7404).

J.-B. P.