

INITIATION A L'ELECTRONIQUE

UN CIRCUIT « BIEN CONNU » : LE BASCULEUR D

Pour décrire le Registre à Approximations Successives (SAR), nécessaire pour la conversion analogique-numérique par « pesées », il faut revenir un peu sur un basculeur fort intéressant, malheureusement trop peu connu par les amateurs : le « basculeur D » (D comme Délai).

Ce type de basculeur a une sortie, nommée « Q », et, presque toujours, la sortie complémentaire Q' (ou Q barre). Il comporte toujours (fig. 67) une entrée « horloge », souvent repérée par Ck, rappelant le mot « clock » (horloge) et une entrée « D ». Il comporte aussi, très souvent, deux entrées : « prétablissement » ou « Preset », désignée par « Pr », et « Remise à zéro » ou « Clear », désignée par « Cl ».

L'action de ces deux dernières entrées est simple : quels que soient les états des entrées « horloge » et « D », une action sur l'entrée « Cl » (« Remise à zéro ») amène la sortie Q au niveau logique bas (à moins qu'elle n'y soit déjà). Une action sur l'entrée « Pr » (« Preset ») amène la sortie Q au niveau logique haut, à moins qu'elle n'y soit déjà. C'est la raison pour laquelle on désigne quelquefois l'entrée « Pr » par le repère « 1 » (elle porte Q au niveau 1), et l'entrée « Cl » par « 0 », puisqu'elle porte Q au niveau zéro.

Précisons que, quand nous disons « action », il s'agit du fait de porter momentanément une entrée à un niveau logique donné, généralement le niveau haut. Dans ce cas, les entrées « Pr » et « Cl » sont normalement maintenues au niveau logique bas. Pour agir sur l'une d'entre elles, on la porte momentanément au niveau haut, et on la ramène au niveau bas.

Il se peut aussi que ces entrées soient « actives au niveau bas » ; dans ce cas, elles sont normalement maintenues au niveau logique haut, et, pour agir sur une d'entre elles, on la porte momentanément au niveau bas, après quoi on la ramène au niveau haut. Dans ce cas, on les désigne souvent avec un symbole comportant un trait au-dessus, rappelant ainsi que c'est le niveau bas qui est actif.

Il est, en principe, « interdit » d'agir simultanément sur les entrées « Pr » et « Cl ». Précisons qu'en le faisant on ne ferait pas exploser le circuit, mais, en agissant simultanément sur « Pr » et « Cl », on

porterait en même temps les sorties « Q » et « non-Q » au niveau haut, ce qui est « absurde ».

ACTION DES ENTREES « HORLOGE » ET « D »

Le principe général de l'emploi de ces deux entrées est relativement simple : la sortie Q prend l'état de l'entrée D au moment où l'on agit sur l'entrée « Ck » (horloge).

Là, il convient de préciser ce que l'on entend par « action » sur l'entrée Ck. Dans les basculeurs D du type « commandés par un flanc » (ou « edge triggered »), l'entrée Ck agit au moment où elle change de niveau, par exemple quand elle passe du niveau bas vers le niveau haut. C'est le cas du basculeur D le plus populaire, le fameux HEF 4013 (ce circuit contient, en réalité, deux basculeurs D indépendants). Dans d'autres basculeurs D, moins intéressants, l'action sur

l'entrée Ck consiste, comme pour les entrées Pr et Cl, à porter celle-ci momentanément à un niveau donné. Il s'agit alors de basculeur « commandé par un niveau » (level triggered), à notre avis beaucoup moins intéressant. On donne souvent, pour illustrer l'utilisation du basculeur D, des « chronogrammes » tels que ceux de la figure 68, qui nécessite tout de même quelques explications.

ETAT INITIAL INCONNU

La forme d'onde du bas, donnant le niveau logique de la sortie Q, commence par deux lignes pointillées, une au niveau 0 (bas) et une au niveau 1 (haut). En effet, tout à fait au début, quand on vient de mettre le basculeur D sous tension, on ne sait absolument pas dans quel état sera la sortie Q : elle peut tout aussi bien être au niveau 0 qu'au niveau 1. Aussi, le dessinateur qui a tracé la forme d'onde de

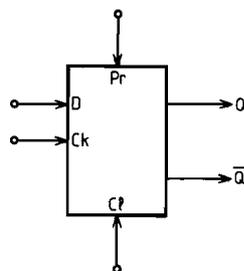


Fig. 67. — Le « basculeur D » comporte une entrée de donnée (D), une entrée horloge (Ck). Il peut comporter des entrées de remise à un (Preset) et de remise à zéro (Clear). S'il est du type « commandé par un flanc montant », comme le HEF 4013, la sortie Q prend l'état de l'entrée D quand l'entrée Ck passe du niveau bas au niveau haut.

la sortie Q ne s'est pas compromis ; les deux pointillés indiquent qu'il y a une indétermination.

Le fait que, dès le départ, l'entrée D soit haute n'y fait rien. Tant que l'entrée Ck n'a pas agi (nous supposons ici un basculeur D du type 4013, commandé par un flanc montant de l'entrée Ck), l'état de l'entrée D n'est pas transféré sur la sortie Q. Le passage de 1 à 0 de l'entrée Ck au temps t_0 n'y fait rien non plus, l'entrée Ck n'agissant que quand elle monte.

En revanche, au temps t_1 , l'entrée Ck passe de 0 à 1 : elle va donc agir, c'est-à-dire porter la sortie Q au niveau de l'entrée D, soit, ici, au niveau 1. C'est pourquoi, à partir du temps t_1 , la forme d'onde du bas indique l'état de Q par un trait plein au niveau 1. Jusqu'à t_1 , Q pouvait être au niveau bas comme au niveau haut ; après t_1 Q est obligatoirement au niveau 1.

Insistons encore (lourdement, toutes nos excuses !) sur ceci : au temps, t_1 on ne dit pas que la sortie Q est « passée » au niveau 1, vu que, comme on ne savait pas dans quel état elle se trouvait avant t_1 , il se peut que Q soit tout simple-

ment restée au niveau 1, si elle y était avant. Mais si, avant t_1 , Q était au niveau 0, il y a alors changement du niveau de Q, qui passe à 1.

On pense à la réponse admirable de Jeanne d'Arc quand elle fut interrogée par un Cauchon (c'était le nom du juge). Voulant la « piéger », il lui demanda à peu près si elle était une sainte. Le traquenard était subtil : si elle répondait « non », elle avouait être une sorcière, si elle répondait « oui », cela montrait un orgueil démesuré que, seule... une sorcière pouvait avoir.

Mais, Jeanne, sans se démonter, répondit : « Si je le suis, Dieu fasse que je le reste ; si je ne le suis pas, qu'il fasse que je le devienne. » (Que notre héroïne nationale me pardonne de la comparer à un basculeur D !)

Maintenant, au temps t_2 , l'entrée D passe à zéro. Cela n'a, sur le moment, aucun effet sur la sortie Q, puisque la valeur de D ne peut être prise en compte que lors d'une transition montante de l'entrée Ck. Cela aura lieu au temps t_3 , provoquant le passage de Q de 1 à 0, puisque, au temps t_3 , D est au niveau zéro.

Au temps t_4 , la redescente de

D est également sans effet sur la sortie Q, même un peu plus tard, quand le niveau de l'entrée Ck descend (un front descendant est sans effet). C'est au temps t_5 , quand l'entrée Ck repasse de 0 à 1, que Q passe de 0 à 1, puisque, à t_5 , D est au niveau 1.

QUAND PEUT-ON MODIFIER L'ENTREE D ?

Allons un peu plus loin, en définissant deux temps importants pour le basculeur D : le « temps de préétablissement » et le « temps de maintien ».

On se doute bien que si l'entrée D change de niveau au moment où intervient un flanc montant sur Ck, on risque un fonctionnement anormal, le basculeur ne « sachant » pas s'il doit considérer D comme bas ou haut.

Il faut donc que la valeur de l'entrée D que l'on souhaite transférer sur la sortie Q soit appliquée un peu avant l'instant de la transition bas-haut de l'entrée Ck, et il est logique

de prévoir que ce niveau de D doit être éventuellement maintenu un peu après cette transition.

L'intervalle de temps entre l'instant où le niveau de l'entrée D doit être défini et l'instant du flanc montant de l'entrée Ck se nomme « temps de préétablissement » (« preset time » ou « set up time »).

Par exemple, dans le HEF 4013 (alimenté sous 12 V), il est garanti inférieur à 18 ns. Autrement dit, si l'instant d'établissement de la valeur correcte de D précède d'au moins 18 ns l'instant du flanc montant de Ck, tout ira bien.

Le temps pendant lequel la valeur de l'entrée D doit être maintenue après le flanc montant de l'entrée Ck se nomme « temps de maintien » (ou « hold time »). On souhaite, bien entendu, qu'il soit aussi court que possible.

Quand on regarde les caractéristiques du HEF 4013, on trouve que ce temps de maintien a une valeur maximale de... zéro ! On indique même que sa valeur « typique » (notion éminemment dangereuse car une valeur « typique » est une indication et n'est nullement garantie) est... négative (- 5 ns).

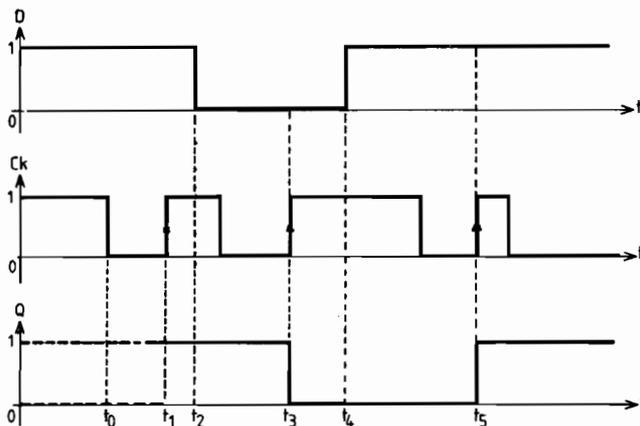


Fig. 68. - Pour montrer comment agit la commande d'horloge dans un basculeur D du type 4013, on trace ces formes d'ondes, qui montrent que la valeur de D n'est « prise en compte » que lors d'une transition montante du signal d'horloge. Au début, avant le premier flanc montant d'horloge, il est impossible de savoir l'état de la sortie Q, d'où les deux lignes pointillées à gauche.

Que signifient ces deux indications ? Tout simplement, le maximum nul du temps de maintien nous précise que l'on peut modifier la valeur de D au moment même où intervient le flanc montant sur l'entrée Ck, sans provoquer un fonctionnement anormal : la sortie Q prendra la valeur que D avait avant la transition montante de Ck.

La valeur typique négative (- 5 ns) nous indique que, en général (attention au piège que constitue une valeur « typique »), on peut même changer la valeur de l'entrée D 5 ns avant le flanc montant sur Ck sans que le fonctionnement en soit perturbé.

Autrement dit, en général, on peut appliquer une valeur de D qui ne soit bonne qu'entre 18 ns et 5 ns avant le flanc montant de l'entrée Ck.

En s'en tenant aux valeurs maximales et minimales les seules qui soient garanties, on voit que :

- il faut appliquer la valeur correcte de D au plus tard 18 ns avant la transition montante sur Ck ;

- il suffit de maintenir cette valeur jusqu'à l'instant de la transition.

Ce dernier résultat, assez curieux, est dû à la structure interne du 4013, à l'intérieur duquel le signal d'horloge est un peu plus retardé (par des portes en cascade) que le signal D. Cette propriété est précieuse pour de nombreuses applications que nous verrons plus loin.

REVENONS AU CONVERTISSEUR ANALOGIQUE-NUMERIQUE

Maintenant que nous connaissons les subtilités de l'emploi du basculeur D, nous pouvons justifier le fonctionnement du convertisseur analogique-numérique, dont la figure 69 nous indique le schéma.

Il comporte, comme nous l'avons déjà indiqué, un convertisseur numérique-analogique (DAC), dont les entrées numériques sont commandées par les sorties $Q_0, Q_1 \dots Q_{n-1}$ de n basculeurs D.

La sortie analogique du DAC est appliquée à l'entrée « - » d'un comparateur, CO, dont l'entrée « + » reçoit la tension analogique e que l'on veut convertir en une expression numérique à n bits.

Donc, quand la tension de la sortie analogique du DAC sera supérieure à e, le comparateur CO appliquera un niveau zéro à toutes les entrées D des n basculeurs. A l'opposé, quand la sortie du DAC

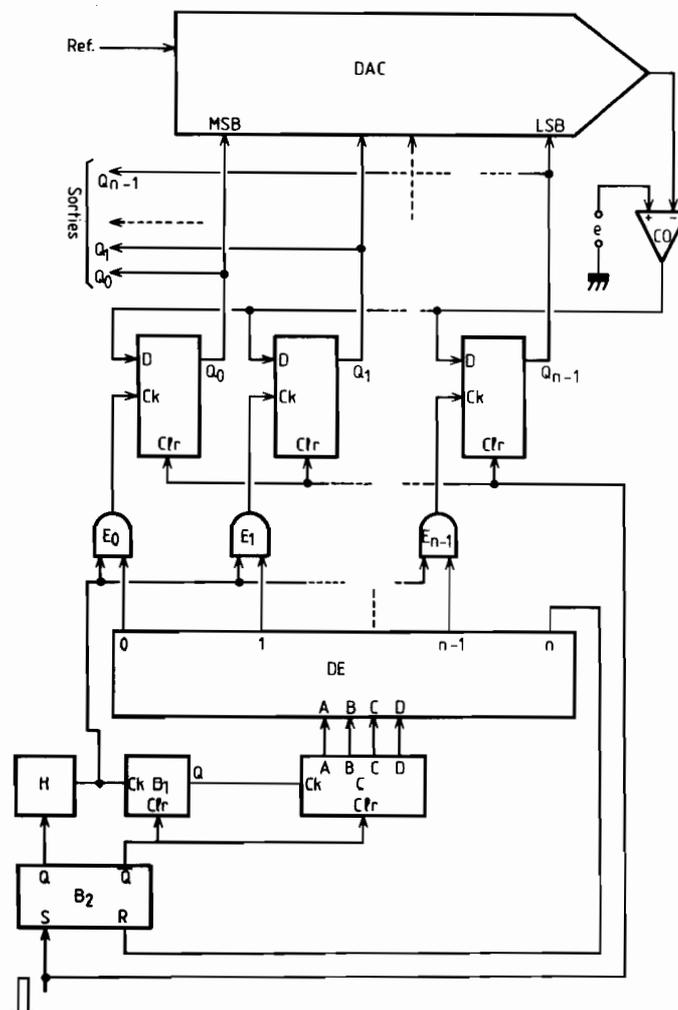


Fig. 69. - Montage permettant de réaliser une conversion analogique-numérique en utilisant un convertisseur numérique-analogique (DAC). Les basculeurs D constituent la mémoire qui garde la valeur de l'expression numérique, et, avec le système de cadencement, ils permettent de déterminer cette valeur. L'ensemble des circuits extérieurs au DAC constitue ce que l'on nomme un « registre à approximations successives » ou SAR. L'opération de conversion est déclenchée par le signal S.

sera à une tension inférieure à e, toutes les entrées D des basculeurs seront portées au niveau haut.

Pour procéder à la succession des « pesées », c'est-à-dire à l'essai successif des entrées du DAC, il faudra commander un seul des n basculeurs. C'est la raison pour laquelle leurs entrées Ck ne sont pas interconnectées, contrairement à leurs entrées D.

Ces entrées Ck sont commandées par les sorties de n circuits « ET », E₀, E₁... E_n, jouant le rôle de « portes ».

LA COMMANDE SEQUENTIELLE DES PORTES

Il va falloir commander ces portes l'une après l'autre. Ce sera réalisé par l'ensemble du compteur binaire à quatre étages C et du décodeur DE. Le compteur C compte par seize ; c'est, par exemple, une moitié de HEF 4520, circuit dont nous avons déjà parlé. Nous supposons qu'il est commandé par les transitions descendantes de son entrée Ck.

Il a quatre sorties A (poids 1), B (poids 2), C (poids 4) et D (poids 8).

Le décodeur DE reçoit ces quatre sorties, sur ses entrées de même nom. Il a seize sorties, numérotées de 0 à 15 (nous supposons que n est inférieur ou égal à 14, la valeur de n étant déterminée par le nombre de bits d'entrée du DAC, qui est souvent huit, quelquefois dix, plus rarement douze). Ce décodeur peut être un HEF 4514.

Suivant le nombre binaire à quatre bits appliqué sur les entrées A, B, C et D du décodeur, une sortie et une seule parmi les seize est au niveau haut, les quinze autres étant au niveau bas. Par exemple, si A (poids 1) et D (poids 8) sont au niveau haut, B et C étant au niveau bas, la sortie 9 du décodeur est la seule au niveau haut.

Donc, quand le compteur C est au zéro, la sortie « 0 » du décodeur est la seule haute. Quand on envoie des impulsions à C, à chaque impulsion, la sortie du décodeur qui était au niveau haut repasse au niveau bas, la suivante passant au niveau haut.

Les lecteurs du *Haut-Parleur* connaissent bien un circuit qui fonctionne d'une façon un peu analogue, le fameux HEF 4017, compteur décimal à dix sorties décodées, si fréquemment employé dans des réalisations pour « cadencer » des opérations en séquences. Comme il nous fallait éventuellement plus de dix sorties (dans le cas d'un DAC à plus de dix bits), nous avons choisi le compteur binaire associé à un décodeur plutôt que notre brave HEF 4017.

Notre montage comporte un basculeur bistable du type R-S, B₂. Lorsqu'il est au repos, sa sortie « non-Q », au niveau haut, remet au zéro :

- le bistable « type T », B₁, dont nous verrons le rôle tout à l'heure ;
- le compteur C.

En outre, la sortie Q de B₂, au niveau bas, « inhibe » le fonctionnement du générateur d'horloge H.

COMMENÇONS LA CONVERSION

Contrairement au DAC, qui opère en permanence la conversion numérique-analogique, un convertisseur analogique-numérique doit être déclenché pour agir.

Ce déclenchement est opéré par un bref signal appliqué en S, qui provoque le basculement du bistable B₂, faisant passer sa sortie Q au niveau haut et sa sortie « non-Q » au niveau bas.

On « libère » ainsi le compteur C et le basculeur B₁. En même temps, on libère également le générateur d'horloge H. Le signal S agit aussi en remettant à zéro tous les basculeurs D.

Comme on le voit, la sortie du générateur H n'agit pas directement sur l'entrée du compteur C, mais par l'intermédiaire d'un basculeur B₁, diviseur par deux. Le compteur C n'avancera donc qu'une fois pour deux impulsions du générateur H.

L'« ESSAI » DU PREMIER POIDS

Comme le compteur C est à zéro, la sortie « 0 » du décodeur est la seule à être haute, le circuit « ET » E₀ est le seul à transmettre les signaux donnés par H. La première impulsion de H sera donc uniquement appliquée à l'entrée Ck du basculeur D n° 0.

Du fait de la remise à zéro des basculeurs D, leurs sorties Q₁, Q₂... sont toutes au niveau bas. La sortie analogique du DAC est donc à zéro, et, si basse que soit la tension e, la sortie du comparateur CO est haute.

Toutes les entrées D sont donc au niveau haut. L'application d'une impulsion Ck au basculeur D n° 0, recevant un niveau haut sur D, va faire passer sa sortie Q₀ au niveau haut. On applique donc à l'entrée MSB (entrée de poids maximal, ou « Most Significant Bit » = bit le plus significatif) du DAC un niveau haut.

La tension de sortie analogique du DAC monte donc fortement, puisqu'elle a une variation de 50 % de la variation maximale. Deux cas peuvent alors se présenter :

1° La valeur atteinte par la sortie analogique du DAC dépasse e ; la sortie de CO passe alors au niveau bas.

2° La valeur atteinte par la sortie du DAC est inférieure à e ; la sortie du comparateur CO reste haute.

N'oublions pas que, du fait de la présence de B₁, il faudra une seconde impulsion de H pour que le compteur C soit incrémenté, cette incrémentation (augmentation d'une unité

du contenu de C) se produisant à la fin de la seconde impulsion de H.

Donc, cette seconde impulsion passe, elle aussi, par le circuit « ET » E₀.

Si, alors, les entrées D des basculeurs D sont au niveau bas (cas n° 1 ci-dessus, la sortie analogique du DAC ayant dépassé la tension e), la sortie Q₀ va repasser à zéro.

Si, au contraire, au moment de la seconde impulsion de H, la sortie du comparateur est au niveau haut (ainsi que les entrées D), la tension analogique de sortie du DAC étant inférieure à e (cas 2° ci-dessus), l'arrivée d'un signal sur l'entrée Ck du premier basculeur D, qui reçoit 1 sur son entrée D, lui « dit » de passer au niveau 1. Il y est déjà, mais il ne hausse pas les épaules, malgré cet ordre « inutile », d'abord parce qu'il est poli, ensuite... parce qu'un basculeur D n'a pas d'épaules.

LA PREMIERE BOUCLE DE L'ORGANIGRAMME

On voit donc que la sortie Q₀, momentanément portée au niveau haut par la première impulsion de H :

- repasse au niveau bas lors de la seconde impulsion de H si l'application d'un niveau 1 au MSB du DAC amène la sortie analogique de ce dernier à dépasser la valeur e ;
- reste au niveau haut lors de la seconde impulsion de H si l'application d'un niveau 1 au MSB du DAC n'a pas donné une tension analogique de sortie supérieure à e.

On voit ici la réalisation d'une partie de l'organigramme de la figure 66 (à la première boucle) : on « essaye » le poids maximal (Q₀ est le MSB). Si le résultat est trop lourd, on l'enlève ; si le résultat n'est pas trop lourd, on laisse le poids maximal.

BOUCLES SUIVANTES

Donc, à la deuxième impulsion de H, le MSB, Q_0 , est au 1 s'il doit l'être, et au zéro si la valeur de e l'exige (si la sortie analogique du DAC avec un MSB de 1 dépasse la tension e).

Or, à la fin de cette deuxième impulsion, B_1 rebascule, sa sortie passant au niveau bas. Ce passage commande l'incrémentement du compteur C.

Toutes les sorties de ce dernier étaient au zéro (ce qui portait la seule sortie « 0 » du décodeur DE au niveau haut), mais, maintenant, la sortie A du compteur C passe au 1, les sorties B, C et D restant au zéro (le compteur affiche « un »).

La sortie « 0 » du décodeur va donc repasser au niveau bas, tandis que sa sortie « 1 » est portée au niveau haut, rendant passant le circuit « ET » E_1 .

Or, quoi qu'il soit arrivé pendant les deux premières impulsions de H, la sortie du comparateur CO est haute après la deuxième impulsion. En effet, si Q_0 a été maintenu au niveau haut, c'est parce que, au moment de la deuxième impulsion de H, la sortie du comparateur CO était haute.

Donc, la troisième impulsion de H, passant par E_1 et arrivant sur un basculeur D dont l'entrée D est haute, fait pas-

ser la sortie Q_1 de celui-ci au niveau haut.

Cela revient à « essayer » un bit de poids juste inférieur au MSB sur le DAC. La sortie du comparateur CO nous « dira » si :

- Q_1 doit être gardé à la valeur 1, la sortie analogique du DAC donnant une tension inférieure à e, la sortie de CO est donc haute ;

- Q_1 doit être ramené à 0, la sortie analogique du DAC donnant une tension supé-

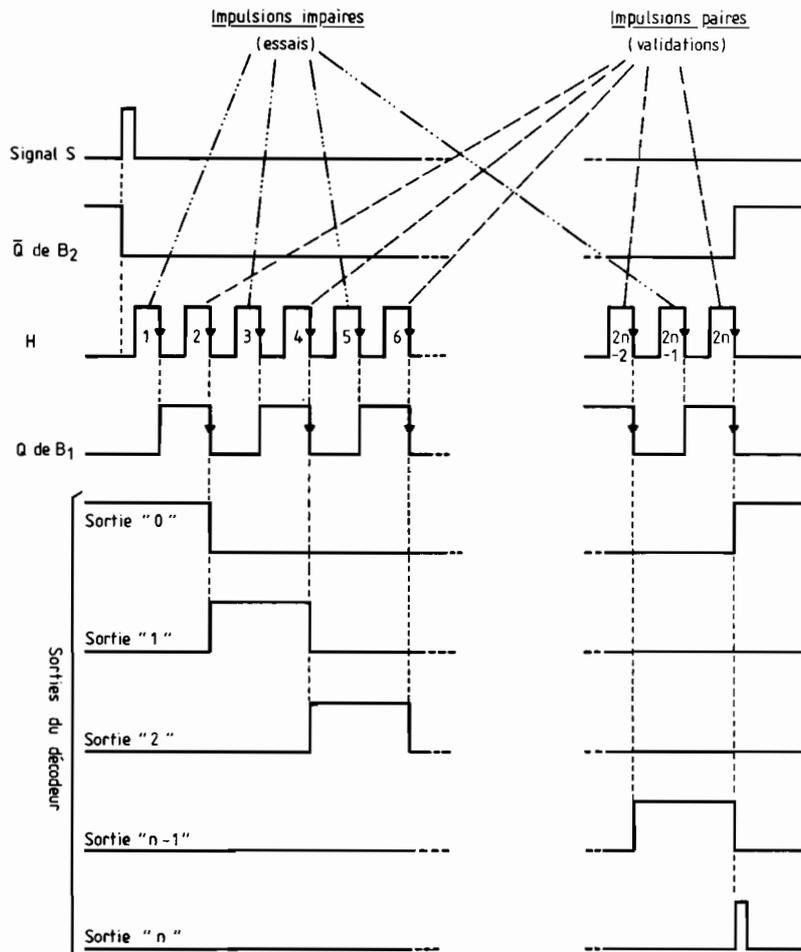


Fig. 70
Formes d'ondes indiquant comment fonctionne le convertisseur de la figure 69. Le compteur qui commande le décodeur avance d'un pas toutes les deux impulsions d'horloge.

rieure à e, ce qui rend basse la sortie de CO.

Donc, à la quatrième impulsion de H, Q₁ sera :

- « validé » à la valeur 1 s'il doit l'être ;
- ramené à la valeur zéro si c'est nécessaire.

À la fin de la quatrième impulsion de H, B₁ repasse une seconde fois au niveau bas, le compteur C avance donc encore d'une unité. C'est la sortie « 2 » du décodeur DE qui passe au niveau haut.

L'impulsion n° 5 de H fera donc passer la sortie Q₂ du troisième basculeur D au niveau 1, l'impulsion 6 maintiendra Q₂ au niveau haut si le comparateur lui dit de le faire, ou ramènera Q₂ au niveau bas si le comparateur lui en donne l'ordre.

Autrement dit :

- toute impulsion « impaire » de H porte momentanément une sortie Q d'un des basculeurs D au niveau haut ;
- l'impulsion « paire » suivante de H « valide » ce niveau haut s'il doit l'être, le ramène à zéro s'il le faut (et, en plus, à la fin de cette impulsion paire, le compteur C est incrémenté).

DES FORMES D'ONDES POUR S'Y RETROUVER UN PEU

La figure 70 indique la succession des signaux de cadencement. On voit que tout est « amorcé » par le signal en S, qui, basculant B₂, provoque la mise en route de H.

Initialement, la sortie « non-Q » de B₂ est haute (d'où blocage à zéro des basculeurs D, du compteur C, du basculeur B₁), sa sortie Q (non représentée) étant basse, ce qui inhibe l'horloge.

Le signal S (signal de « demande de conversion ») fait passer la sortie « non-Q » de B₂ au niveau bas, ce qui libère le compteur C, le basculeur B₁ et les basculeurs D, sa sortie

Q passant au niveau haut, ce qui libère le fonctionnement de l'horloge H.

À chaque flanc descendant de H, le basculeur B₁ change d'état. À chaque flanc descendant de la sortie de B₁ (soit toutes les deux impulsions en H), le compteur C avance, faisant ainsi passer au niveau haut, pendant deux impulsions de H, une sortie du décodeur.

Au départ, la sortie « 0 » du décodeur est haute et le reste jusqu'à la fin de la deuxième impulsion de H. Les deux premières impulsions de H correspondent à l'« essai » du MSB.

À la fin de la deuxième impulsion en H, C est incrémenté, la sortie « 0 » passe à zéro, la sortie « 1 » du décodeur passe au niveau haut.

Le fonctionnement se répète, et les formes d'ondes correspondantes n'ont pas été représentées.

On arrive donc au moment où la sortie « n-1 » du décodeur passe au niveau haut, c'est-à-dire à la fin de l'impulsion n° 2n-2. Le moment où cette sortie est haute correspond donc au dernier « essai », celui du bit de poids minimal, ou LSB (Least Significant Bit = Bit le moins significatif).

Le tout se termine au moment de la fin de l'impulsion n° 2n. Alors, la sortie « n-1 » du décodeur passe au niveau bas, la sortie « n » passant au niveau haut.

Mais cette sortie « n » est ce que l'on peut appeler un « signal suicidaire », puisque son apparition provoque le rebasculage de B₂, ce qui remet le compteur C à zéro, ramenant donc à zéro la sortie « n » et à un la sortie « 0 ». Le signal correspondant à la sortie « n » se détruit donc lui-même.

Le convertisseur est alors prêt pour une nouvelle conversion. On peut utiliser le passage au niveau haut de la sortie « non-Q » de B₂ comme signal indiquant que la conversion est terminée, et que les sorties Q₀, Q₁... Q_{n-1} ont pris les va-

leurs qui correspondent à la conversion en numérique du signal analogique e.

Comme on le voit, les impulsions de H de rang impair correspondent à des passages de la sortie Q d'un basculeur D à un niveau haut (un « essai »), les impulsions de rang pair correspondant à des validations (ou annulations) de ces niveaux.

LES CONVERTISSEURS ANALOGIQUE-NUMÉRIQUE MONOLITHIQUES

Tout l'ensemble de la figure 69, DAC compris, se trouve sous forme monolithique dans les circuits intégrés « ADC » (Analog to Digital Converter = Convertisseur analogique-numérique).

L'auteur a eu l'occasion d'en essayer un, le AD 571 (Analog Devices), qui est un modèle à dix bits, mais il n'est pas question de le décrire ici. Il s'agit réellement d'un circuit « de luxe », particulièrement introuvable pour les amateurs. Il fait la conversion complète en 25 μs, a dix sorties numériques en « trois états », ces sorties n'étant validées que lorsque la conversion est finie.

Il existe des modèles un peu moins luxueux, en particulier le AD 570 du même constructeur, un huit bits, qualifié de « Low cost » (bas prix) sur le manuel. Mais ce qu'un Américain nomme « Low cost » est souvent qualifié de « coup de masse » par les amateurs.

En revanche, ce que l'on trouve facilement, et pour des prix bien plus faibles, ce sont les convertisseurs analogique-numérique dont les sorties ne sont pas en binaire mais en DCB (Décimal Codé Binaire, ou « BCD » en anglais).

Nous avons déjà parlé des codes DCB (voir *Le Haut-Par-*

leur, n° 1749, février 1988, pages 46-47). Ils sont évidemment bien plus faciles à utiliser si l'on désire afficher un nombre sous forme décimale : chaque chiffre (représenté par quatre sorties) est appliqué à un transcodeur DCB-7 segments, commandant un afficheur.

Autrement dit, vous l'avez deviné : ces ADC sont tout simplement des circuits prévus pour la réalisation des voltmètres numériques. Etant donné ce que l'on désire en faire, on n'a rien fait pour accélérer le processus de conversion ; une durée de 0,2 seconde (soit 200 000 μs) est parfaitement acceptable, ce qui permet l'utilisation du système de double rampe et comptage.

Indépendamment de leur lenteur, ces convertisseurs ont, pour de nombreuses applications, le défaut d'avoir des sorties en DCB. Le DCB peut se convertir en binaire pur, en utilisant des groupes de circuits « additionneurs », mais le montage est assez complexe, surtout si le nombre de bits est grand.

Donc, si vous voulez faire de la conversion analogique-numérique avec sortie binaire, surtout si la conversion doit être rapide, vous serez pratiquement obligés d'en passer par l'assemblage de la figure 69.

Nous avons cité le AD 571 comme étant un modèle « de luxe » (comme disent les Américains, dans le texte, mais cela se prononce, là-bas, « déliouxe »), alors qu'il y a des modèles encore bien plus performants. Quand on veut faire des conversions en une microseconde, ou moins encore (en particulier pour des signaux vidéo), il faut faire appel à des montages spéciaux, dits « convertisseurs flash », encore bien plus chers.

(à suivre)

J.-P. OEHMICHEN