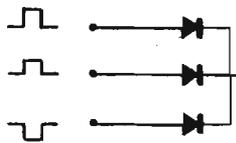


OUI



NON

$$1 + 1 = 10$$

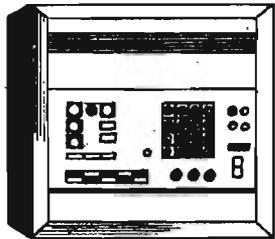
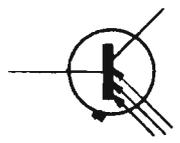
$$10 + 10 = 100$$

$$1000 - 100 = 100$$

$$11 \times 11 = 1001$$

ET

OU



INITIATION AU CALCUL ELECTRONIQUE

Les circuits MOS

LES transistors peuvent être divisés en deux grandes classes : les transistors unipolaires, et les transistors bipolaires (conventionnels). Dans les transistors classiques, bipolaires, la conduction électrique s'obtient par déplacement de charges négatives (les électrons) et de charges positives (les « trous »), de telle sorte que dans la région du transistor dénommée la base, les charges se compensent : la base est électriquement neutre.

Il n'en va pas de même dans les transistors unipolaires, où le courant électrique s'écoule grâce au transport de charges par un seul type de porteurs. Les transistors MOS constituent un exemple de dispositif unipolaire : le nombre de porteurs de charges électriques est commandé par l'application d'un champ électrique à la surface du semiconducteur. Le transistor MOS est, par conséquent, un transistor à effet de champ (Fig. 1).

Les premiers travaux sur l'effet de champ dans des solides remontent à plus de trente années : ce sont les travaux de Lilienfeld (1930) et ceux de Heil (1934), les travaux ultérieurs, réalisés aux Bell Telephone Laboratories sous la direction de Shockley, conduisirent à la découverte du transistor par Bardeen et Brattain en 1948, puis au développement du transistor bipolaire à jonctions. En même temps, Shockley et Pearson réussirent à moduler la conductivité d'un film mince semiconducteur par application d'un champ électrique perpendiculairement à la surface.

Néanmoins, depuis son invention, le transistor bipolaire a dominé les progrès de l'électronique « solide ». Les techniques employées pour réaliser les transistors planar servirent à la fabrication des circuits intégrés.

DES CIRCUITS COMPLEXES MAIS BON MARCHÉ

La poursuite des travaux de recherche sur le MOS a fait apparaître la possibilité de produire des circuits intégrés complexes à des prix relativement bas. Cette caractéristique est particulièrement intéressante pour les

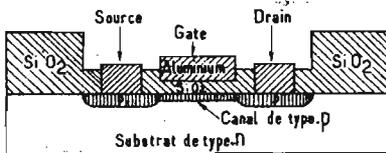


FIG. 1. — Coupe d'un transistor MOS à canal de type p.

applications digitales, lorsque la fréquence de travail n'excède guère 10 MHz.

Comparés aux transistors bipolaires, les MOS présentent des avantages très appréciables :

- Les MOS sont plus petits : ils occupent vingt fois moins de place qu'un transistor bipolaire conventionnel. D'autre part, et toujours en faveur des MOS, il n'est pas nécessaire de prévoir de régions d'isolement (dans les bipolaires, 20 à 30 % de la « puce » semiconducteur est réservée à ces régions d'isolement).

● Les résistances de charges peuvent être remplacées par de petits transistors. Par exemple, un transistor MOS, cinq fois plus petit qu'une résistance obtenue par diffusion, peut avoir une valeur de plusieurs milliers d'ohms. Pour les hautes valeurs de résistance, l'intérêt des transistors MOS

peuvent être remplacées par de petits transistors. Par exemple, un transistor MOS, cinq fois plus petit qu'une résistance obtenue par diffusion, peut avoir une valeur de plusieurs milliers d'ohms. Pour les hautes valeurs de résistance, l'intérêt des transistors MOS

peuvent être remplacés par de petits transistors. Par exemple, un transistor MOS, cinq fois plus petit qu'une résistance obtenue par diffusion, peut avoir une valeur de plusieurs milliers d'ohms. Pour les hautes valeurs de résistance, l'intérêt des transistors MOS

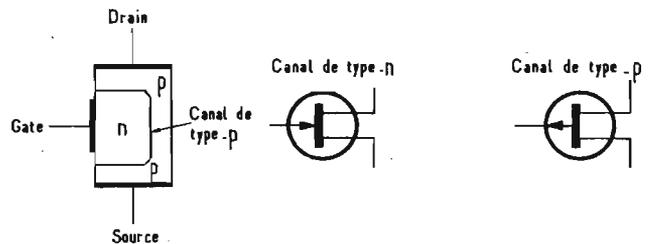


FIG. 2. — Schéma de principe d'un transistor MOS à enrichissement.

croît encore davantage : un transistor MOS de 100 000 ohms occupe une surface de 625 microns carré ; une résistance conventionnelle de circuit intégré de 20 000 ohms occupe une surface 300 fois plus grande !

● Le nombre d'étapes de fabrication est moindre : 38 étapes pour fabriquer un MOS, 130 pour un bipolaire. De plus le rendement des processus de fabrication est nettement amélioré : c'est un facteur important dans l'établissement du

déplacement de charges positives (les « trous »), de telle sorte que dans la région du transistor dénommée la base, les charges se compensent : la base est électriquement neutre.

● La consommation d'énergie est plus faible : l'ordinateur MOS précédent consomme 12 V 100 mA, tandis que son équivalent bipolaire nécessite 4 V 6,5 A.

● Enfin, autre particularité, le composant a des possibilités de mémoire.

LE MOS : UN CANAL PLUS OU MOINS OUVERT

La figure 2 montre un dispositif FET (field effect transistor, ou à effet de champ) à enrichissement (canal de type p). La source et le drain sont des régions de conductivité opposée au matériau voisin ; un canal relie source et drain. Il existe également des MOS à déplétion : le canal, la source et le drain sont alors du type n.

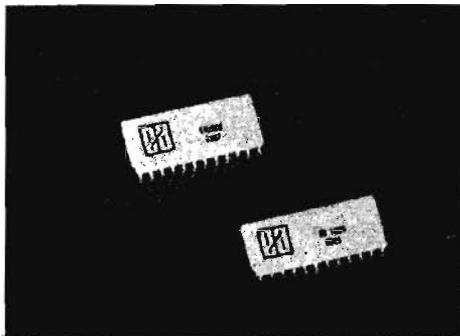


PHOTO 1. — Les circuits intégrés MOS : des composants de très grande fiabilité et bon marché. (Photo Electronic Arrays, inc.)

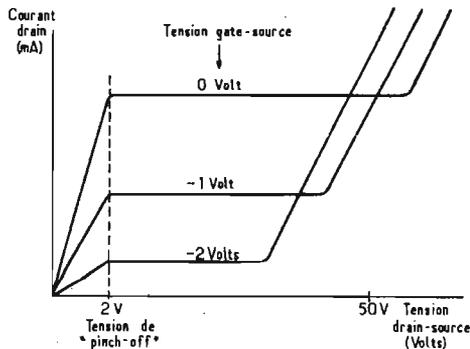


FIG. 3. — Caractéristique d'un MOS à canal n.

Voyons comment fonctionne le MOS. Par exemple, prenons le MOS à déplétion : quand une tension est appliquée entre le drain et la source, un courant traverse la région appelée « canal » ; si l'on applique, maintenant, en plus une tension sur le « gate », la jonction p-n entre le « gate » et le canal est polarisée en inverse et une zone de déplétion se forme au voisinage de la jonction : la largeur de cette zone de déplétion est fonction de la tension appliquée, et, à partir d'une certaine tension, dite tension de « pincement » (ou « pinch-off »), la zone de déplétion est si large que la conductivité du canal est quasiment nulle : au-dessus de la tension de « pinch-off », on observe une saturation

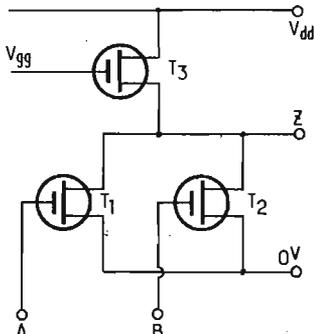


FIG. 5. — Porte NON-OU à deux entrées. V_{DD} = tension d'alimentation négative. V_{GG} = tension du « gate » du registre.

du courant drain (Fig. 3). Cette saturation se poursuit jusqu'aux tensions plus élevées, ou apparaît un effet d'avalanche.

Pour un transistor MOS à enrichissement, il faut polariser le « gate » positivement par rapport à la source.

Nombre d'impulsions	Numéros des registres				
	5	4	3	2	1
0	0	0	0	0	0
1	0	0	0	0	1
2	0	0	0	1	0
3	0	0	0	1	1
4	0	0	1	0	0
5	0	0	1	0	1
6	0	0	1	1	0
7	0	0	1	1	1
8	0	1	0	0	0
9	0	1	0	0	1
10	0	1	0	1	0

TABLEAU I. — Chaque nouvelle impulsion fait basculer le premier registre. Si celui-ci contenait déjà un « 1 », il envoie une impulsion vers le second registre qui bascule à son tour. On construit ainsi un compteur d'impulsions.

CIRCUITS LOGIQUES SIMPLES

Avant de passer en revue les possibilités digitales des transistors MOS, il est nécessaire de définir une convention logique : comme les MOS de type p nécessitent des tensions négatives d'alimentation, il est alors naturel de faire appel à la logique négative. Les circuits qui seront décrits emploieront donc des MOS à canal de type p ; et le niveau logique « 1 » correspondra à un échelon de courant négatif, tandis que le « 0 » logique correspondra à une tension à peu près nulle.

La figure 5 représente une porte logique élémentaire. Les entrées A et B sont reliées aux « gates » des transistors T_1 et T_2 . T_1 joue le rôle de charge, à la sortie des drains de T_1 et T_2 .

Les transistors T_1 et T_2 conduisent si leur « gate » est en position « haute » (donc sous une tension négative) : finalement Z vaut 1 si $A = 0$ et $B = 0$. Le circuit joue donc le rôle d'une porte NON-OU et $Z = \overline{A \cdot B}$ (soit encore $Z = \overline{A + B}$)*.

L'entrance de la porte NON-OU peut être augmentée par adjonction de transistors en parallèle sur T_1 et T_2 . On peut réaliser également une porte NON-ET en plaçant les transistors en série, au lieu de les mettre en parallèle : l'entrance d'une porte non-ET est, en général, limitée à 2.

La figure 6 montre un bistable fonctionnant en maître-esclave : ce circuit peut être employé comme diviseur binaire ou registre à décalage, deux composants essentiels des ordinateurs. Ce bistable utilise deux signaux d'horloge (H_1 et H_2) qui font basculer les transistors MOS successivement dans l'état haut puis dans l'état bas. Cette configuration bistable comprend deux « Flip-flop », respectivement « maître » et « esclave ». Quand H_1 vaut « 1 », les états logiques de J et K positionnent le « flip-flop maître » dans une certaine position ; quand, ensuite, c'est H_2 qui vaut 1 (et $H_1 = 0$), l'état du maître se trouve transféré sur l'esclave. Tout ceci n'est vrai que si J et K

* On aura intérêt à relire les précédents articles qui définissent les éléments de l'algèbre de Boole, utilisés ici.

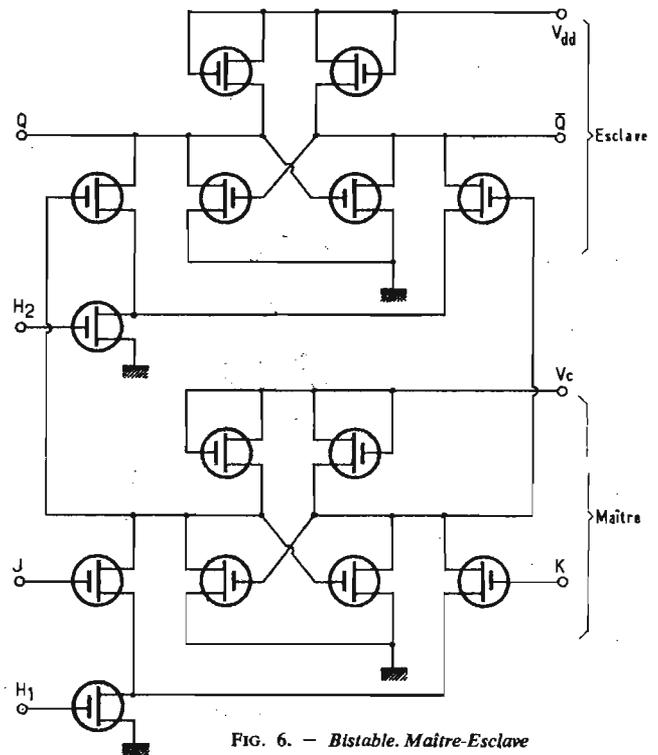


FIG. 6. — Bistable. Maître-Esclave

ne valent pas simultanément 1 et si, de même les deux horloges ne sont pas en position « 1 » ensemble. Ce registre à décalage est transformé en diviseur binaire en reliant les entrées J et K aux sorties Q et \overline{Q} .

LES CIRCUITS DIGITAUX MOS

Jusqu'à présent, on a négligé deux propriétés très importantes

des transistors MOS : la nature de l'impédance d'entrée du « gate » et le fait que le courant peut traverser le canal dans n'importe quelle direction. Le « gate » du MOS est en fait un condensateur métal-oxyde-semiconducteur, de capacité inférieure au picofarad, mais de très forte résistance (10^{14} ohms). Ce condensateur, associé au transistor MOS, peut

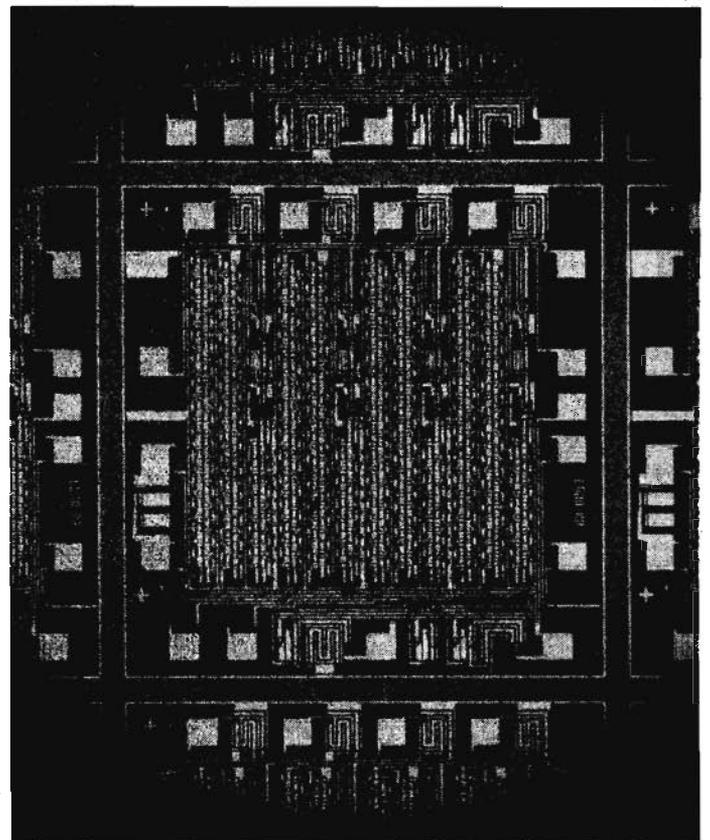


PHOTO 2. — Un registre à décalage de 32 bits. Il peut servir à compter jusqu'à 2^{32} impulsions ou à mettre en mémoire des mots de 32 bits. (Photo Electronic Arrays Inc.)

ATTÉNUATEUR POUR RADIOTÉLÉPHONE

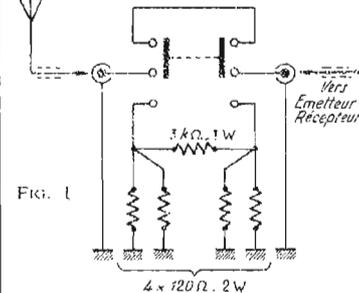
LORSQUE deux radiotéléphones sont trop proches l'un de l'autre, la liaison est de fort mauvaise qualité, voire impossible. Les récepteurs de ces appareils sont « saturés » et il faut éloigner les postes de cent mètres ou plus pour que la réception soit à nouveau claire.

AM ou BLU jusqu'à 15 W, crête de sortie de l'émission.

L'atténuation est d'environ 40 dB. Les valeurs des composants sont données pour une impédance de ligne coaxiale de 60 ohms (Fig. 1).

L'augmentation du ROS, négligeable jusqu'à 35 MHz, est à 60 ohms indécidable avec un ROS mètre grand public. On peut sans inconvénient l'installer sur des lignes de 50 à 75 ohms d'impédance.

L'atténuateur doit être installé dans la ligne coaxiale d'antenne, le plus près possible de l'émetteur-récepteur, entre ce dernier et un éventuel ROS mètre (Fig. 2).

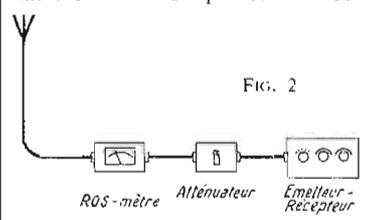


Sous le terme « saturation », se cachent différents phénomènes qu'un atténuateur haute fréquence peut réduire notablement.

La meilleure place pour cet atténuateur est le circuit d'entrée HF du récepteur. Cependant, installé dans la ligne d'antenne, il garde toute son efficacité et évite une modification à l'intérieur même du poste. Il agit alors tant à la réception qu'à l'émission puisque la ligne d'antenne est commune au récepteur et à l'émetteur.

À la réception, l'atténuateur supprime la saturation vraie quand le correspondant est très proche (cas de deux véhicules se suivant).

Il réduit la transmodulation qui fait recevoir un émetteur puissant calé sur une fréquence différente de la fréquence d'écoute.



De même, les phénomènes divers dus à la détection directement par les diodes de sécurité sont diminués.

Les signaux de petite amplitude subissent également un affaiblissement et ne sont plus perçus. Aussi, un inverseur permet de supprimer l'action de l'atténuateur.

À l'émission, l'atténuateur réduit la puissance rayonnée et en conséquence le risque de saturation du récepteur du correspondant.

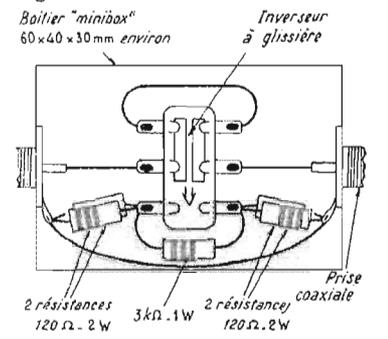
Le brouillage sur la fréquence est amoindri d'autant ainsi que le brouillage harmonique des téléviseurs.

ATTÉNUATEUR DE 40 dB

L'atténuateur HF décrit convient pour tous les émetteurs-récepteurs

REALISATION

La réalisation est très simple. L'inverseur S est à contacts argentés. Eviter les inverseurs mi-



niatures, car leurs contacts n'ont pas la surface nécessaire. On met l'atténuateur en service, ou on le supprime, en manœuvrant l'inverseur.

Le câblage est évidemment court.

L'ensemble est monté dans un petit boîtier métallique du genre « minibox » (Fig. 3).

Un atténuateur plus évolué dont le schéma est donné figure 4 comporte trois positions d'atténuation.

Le montage se déduit du précédent. Il ne présente cependant pas un grand intérêt pratique par rapport au premier type décrit.

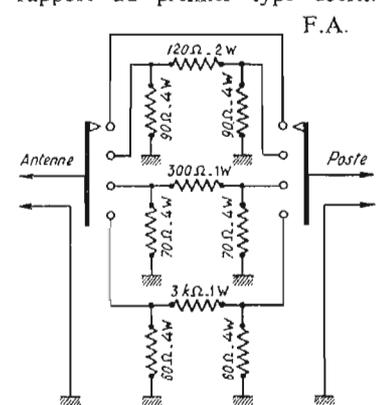


FIG. 4.

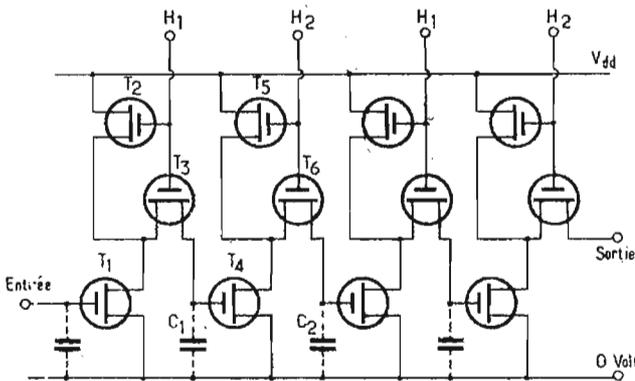


FIG. 7. — Les deux premiers étages d'un registre à décalage

stocker, temporairement, des charges électriques. Cette caractéristique a conduit au développement d'une nouvelle famille de circuits.

La figure 7 présente un « registre dynamique MOS à deux phases ». Les condensateurs, utilisés pour le stockage transitoire de charges, sont représentés en pointillés. Le circuit a besoin de deux horloges H₁ et H₂ dont les impulsions ne doivent pas se chevaucher (elles ne valent pas « 1 » en même temps).

Dans ce circuit, T₁ et T₂, d'une part, T₄ et T₃, d'autre part, constituent des étages de complémentarisation (NON); T₃ et T₆ sont des bascules séries. Supposons que l'entrée du registre soit au niveau « 1 » quand H₁ est négatif. La sortie de l'étage (T₁, T₂) est « 0 » (étage de complémentarisation) et C₁ se décharge jusqu'à 0 V dans T₃. L'horloge H₁ revient à 0 V et T₃ bascule en position « non conducteur », isolant ainsi C₁. Le condensateur C₁ enregistre, à ce stade, l'information binaire.

Lorsque H₂ devient négatif (le « gate » de T₄ étant toujours maintenu à 0 V) la sortie du second étage de complémentarisation passe au niveau « 1 » et C₂ est chargé négativement à travers T₆ : il en résulte qu'un « 1 » logique apparaît à la sortie du premier registre après un cycle complet d'horloges. Le « 1 » logique placé à l'entrée du premier registre a été « décalé » sur le second registre. Les registres à décalage sont des composants de mémoire des ordinateurs.

Signalons que des registres, dits à quatre phases, sont également fabriqués et ils sont plus rapides que les précédents (photo 2).

L'application la plus importante des registres dynamiques, tels ceux qui viennent d'être présentés, se situe dans le stockage d'informations. Ces registres constituent des mémoires. Mais ce sont également des compteurs : la première impulsion qui arrive fait basculer le premier registre au niveau haut ; la seconde impulsion décale le niveau haut vers le second registre (le premier registre retombe alors au niveau bas) ; la troisième impulsion remet le premier registre au niveau haut. Le tableau I indique la position des registres lorsque le nombre des impulsions augmente.

Mais il est toujours nécessaire d'associer à ces registres à décalage des portes logiques : la figure 8 montre une porte logique à deux entrées et la sortie A + B alimente un registre à décalage : On obtient, ici, un certain retard dans la transmission de l'information A + B ; donc, on a mis en mémoire, pendant un court instant cette information.

Les transistors MOS réalisent donc des fonctions logiques, des fonctions de mémoire et de comptage. Leur extrême bas prix, leur grande fiabilité et leur souplesse inégalée par les bipolaires en font des composants promis à un avenir très brillant. Mais ce sera là l'objet d'un prochain article...

Marc FERRETTI.

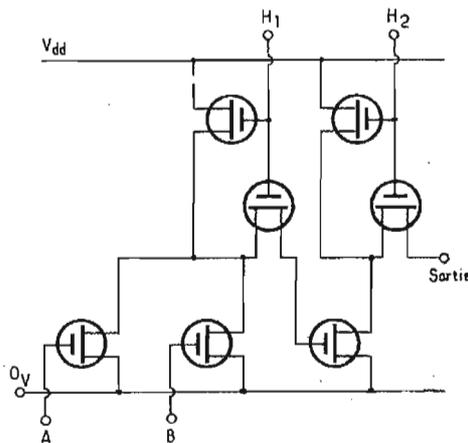


FIG. 8. — Registre à décalage jouant le rôle de mémoire.