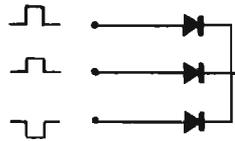
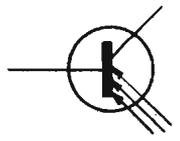


OUI

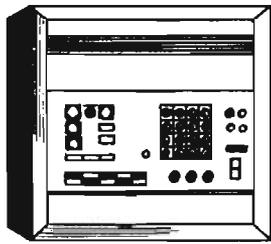


NON

1 + 1 = 10
 10 + 10 = 100
 1000 - 100 = 100
 11 x 11 = 1001



OU



INITIATION AU CALCUL ELECTRONIQUE

LES CIRCUITS LOGIQUES

Le grand nombre de familles de circuits intégrés lancées sur le marché par les fabricants de composants électroniques laisse à l'ingénieur de conception une grande liberté de choix du meilleur circuit logique — ou tout au moins celui qui lui convient le mieux. Les systèmes en temps réel (les ordinateurs chargés de

croisements de liaisons de connexions, cette famille est certainement l'une des moins chères pour la réalisation de fonctions modérément complexes.

Un circuit intégré est toujours caractérisé par deux facteurs au moins : l'entrée (ou fan-in) et la sortie (ou fan-out). C'est le nombre de circuits électroniques

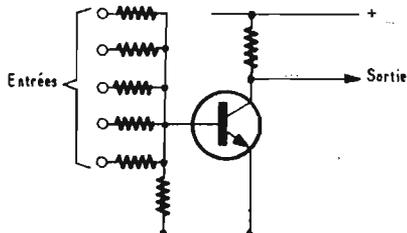


FIG. 1. — Circuit TRL.

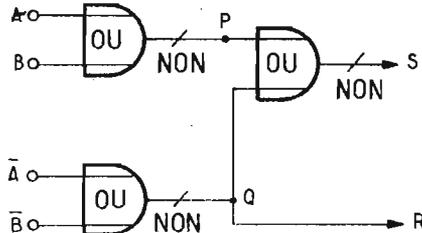


FIG. 2. — Demi-additionneur «TRL».

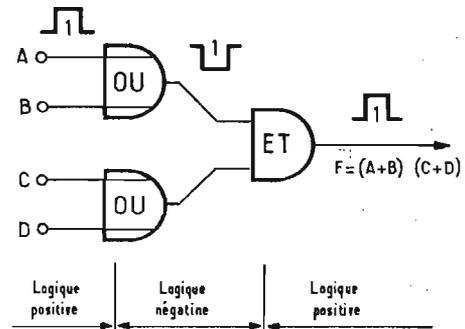


FIG. 3. — Logique mixte.

lire des informations les plus diverses, graphiques ou non, ou d'analyser les signatures ou la voix humaine) nécessitent l'emploi de circuits de plus en plus rapides. Aujourd'hui on parle de circuits logiques nanoseconde (c'est-à-dire travaillant en un millième de millième de seconde) avec la famille MECL3 de Motorola. Demain on fera encore mieux : les supraconducteurs, l'opto-électronique doivent permettre de construire des circuits intégrés travaillant encore plus vite.

LA LOGIQUE TRL

La famille TRL (« Transistor-Resistor Logic », connue encore sous la dénomination RTL) consiste simplement, en l'association, sur une « puce » de semi-conducteur de résistances et de transistors. On choisira un circuit TRL (Fig. 1) chaque fois que le prix de revient d'une installation, et que la puissance à dissiper sont deux facteurs prépondérants, et également lorsque les bruits extérieurs ne sont nullement excessifs. A cause de sa structure simple, de la faible quantité de régions d'isolement dans le semi-conducteur et de

pouvant être raccordés à l'entrée, ou à la sortie, d'un circuit électronique déterminé. En général, la sortie pose de graves problèmes : combien pourra-t-on faire fonctionner de circuits électroniques avec les impulsions délivrées par un circuit donné? Pour en avoir le plus grand nombre possible, le courant délivré par

le collecteur du transistor doit être également le plus grand possible : d'où possibilité d'une saturation, qui peut limiter la vitesse de l'élément logique.

Les problèmes d'impédance liés aux valeurs des résistances d'entrée, le fan-out, la vitesse de fonctionnement d'un élément sont des facteurs interconnectés, de

sorte que, en général, la conception d'un élément RTL résulte d'un compromis. Bien souvent, la sortie varie entre 4 et 10, et dans la plupart des cas, on ne dépasse guère une sortie de 5, sauf dans certains cas particuliers.

Comment utiliser les circuits TRL? La figure 2 en est un exemple type. Dans une logique positive, en P, l'équation logique s'écrit $A + B$, soit encore, d'après le théorème de Morgan, $\overline{A\overline{B}}$, tandis qu'en Q, on a $\overline{A} + \overline{B}$, soit encore \overline{AB} , c'est-à-dire \overline{AB} . Comme les points P et Q constituent les entrées d'un autre élément NON-ET, en S, l'équation logique obtenue s'écrit : $\overline{AB} + AB$, ce qui se simplifie sous la forme $\overline{A}B + A\overline{B}$ (*). Le circuit est donc un demi additionneur : S ne prend le niveau logique « 1 » que lorsque la somme logique de A et de B vaut « 1 ». R est le report de l'addition et servira d'entrée à un demi-additionneur suivant. Les circuits de ce type sont employés comme additionneurs parallèles dans les unités arithmétiques d'ordinateurs.

Ces considérations ne sont valables que dans la logique positive; en logique négative on

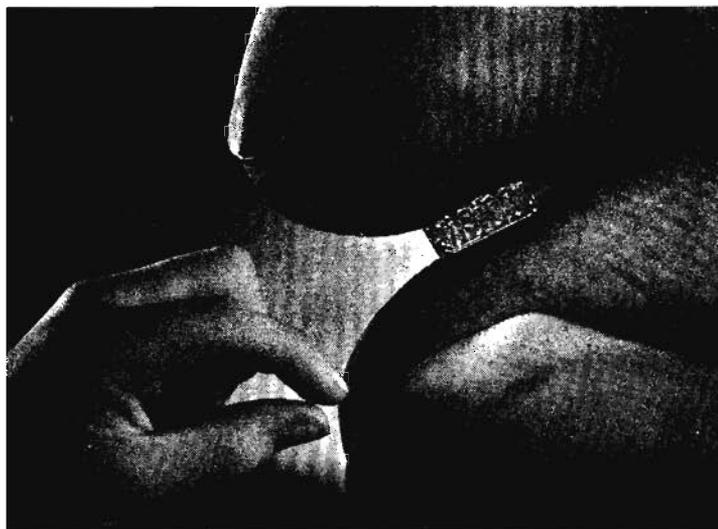


Photo 1 : Ce circuit TTL contient 120 composants intégrés (Cliché Mullard).

(*) En effet, d'après le théorème de Morgan, $\overline{A}B + AB = (A + B)(\overline{A} + \overline{B})$, ce qui donne, en résolvant et en supprimant les parenthèses : $A\overline{A} + A\overline{B} + \overline{A}B + B\overline{B}$. On trouve bien le résultat annoncé en se souvenant que $A\overline{A} = B\overline{B} = 0$ en algèbre binaire.

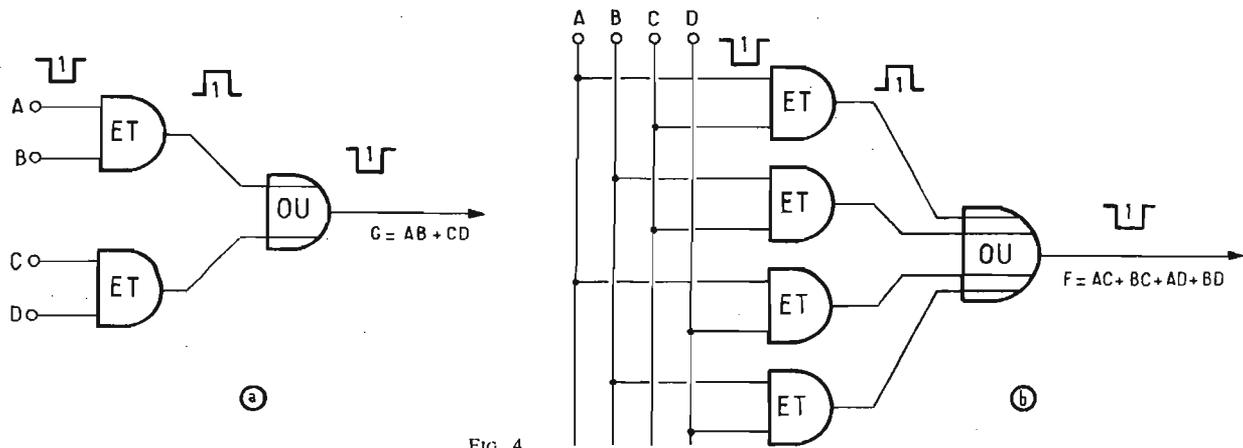


FIG. 4.

disposerait d'un autre résultat. Parfois on a intérêt à travailler en logique mixte : logique positive à l'entrée de l'élément RTL, logique négative à la sortie de l'élément; l'établissement d'une table de vérité montrerait alors que l'élément RTL se comporte comme un circuit logique OU : le transistor ne conduit que lorsqu'un signal est appliqué sur toutes les entrées; lorsque l'on n'applique des signaux que sur certaines des résistances d'entrée, et non sur toutes, le transistor est au niveau bas, il ne conduit pas. Ceci revient à dire que l'on n'obtient un « 1 » (en logique

alors réaliser un circuit absolument identique à un circuit travaillant entièrement en logique positive. On gagne parfois à travailler en logique mixte : on évite de longs et fastidieux calculs en algèbre de Boole, et on visualise immédiatement le rôle d'un circuit intégré complet.

Ainsi l'association de trois circuits RTL, telle l'association de la figure 3, fournit une fonction F, connue sous la dénomination de maxterm; la fonction $G = AB + CD$ est un minterm. Dans une logique mixte, si la logique est positive à l'entrée et la sortie d'un circuit à deux étages

logique négative à l'entrée du premier étage et à la sortie du second étage (Fig. 4).

Malheureusement, il n'est guère aisé de transformer un minterm en un maxterm et il en résulte que l'on trouve plus souvent des systèmes TRL utilisant la logique négative (NON-ET plutôt que la convention positive NON-OU).

En logique négative, un élément « ET » peut alors se construire aisément à l'aide de deux

LOGIQUE DCTL MODIFIÉE

Le circuit de la figure 5 est le circuit type réalisé en couches minces. Si on préfère utiliser un circuit monolithique, c'est-à-dire un circuit ayant encore un plus fort niveau d'intégration, on fait alors appel à la famille DCTL modifiée (Directly couple à transistor logic, ou logique à transistors à couplage direct). La

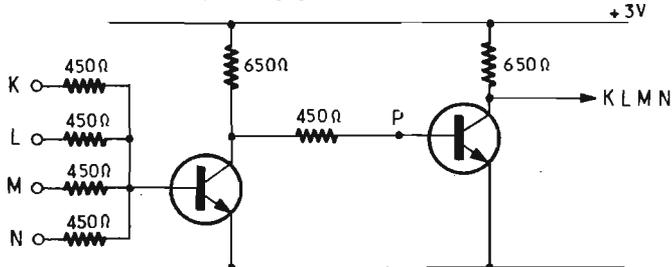


FIG. 5. - Circuit « ET » RTL.

négative) à la sortie que si l'une ou l'autre des entrées (et non toutes) est au niveau « 1 » (logique positive).

De la même façon, un circuit RTL se comporte comme un circuit ET si l'on utilise une logique négative à l'entrée et une logique positive à la sortie. Si maintenant on associe des circuits ET et OU travaillant en logique mixte (Fig. 3), on peut

d'éléments RTL, on a alors un maxterm. Si l'entrée d'un étage est en logique négative, ainsi que la sortie de l'étage suivant, la fonction des deux étages est alors un minterm (Fig. 4).

Un maxterm peut être transformé en minterm : la fonction F, développée s'écrit encore $AC + BC + AD + BD$, qui peut encore s'obtenir par l'assemblage de deux étages, travaillant en

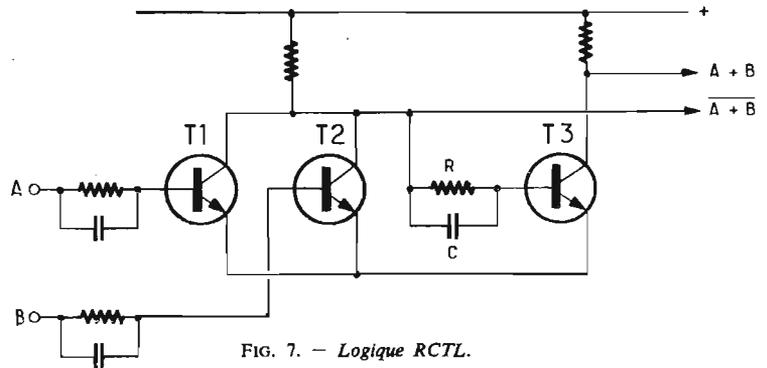


FIG. 7. - Logique RCTL.

transistors (Fig. 5), élément que l'on transforme en circuit « OU » par adjonction d'entrées supplémentaires en P.

Les résistances d'entrée permettent d'augmenter l'impédance d'entrée d'un élément, pour connecter ensemble des éléments identiques sur un seul circuit pilote : ce circuit pilote peut ainsi avoir une sortance élevée.

La réalisation de circuits RTL se fait souvent en couches minces.

figure 6 en est un exemple. Ce circuit présente un avantage sur le précédent : les transistors sont fabriqués en même temps et ils sont, en conséquence, absolument identiques; il en est de même des résistances. Dans les circuits en couche mince, on ne peut éviter d'avoir des composants qui ne sont pas tous parfaitement identiques, et donc d'avoir des écarts parfois notables dans les intensités des courants d'entrée.

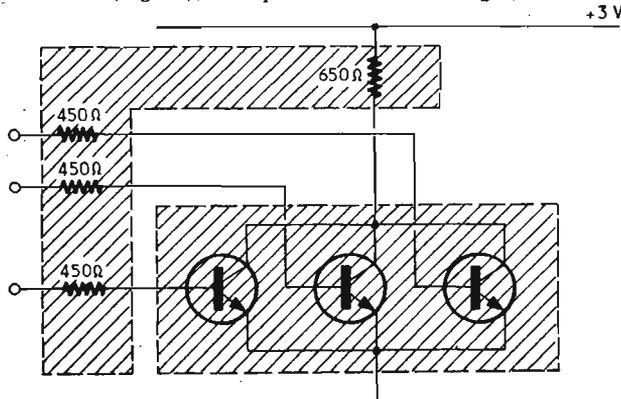


FIG. 6. - DCTL modifié.

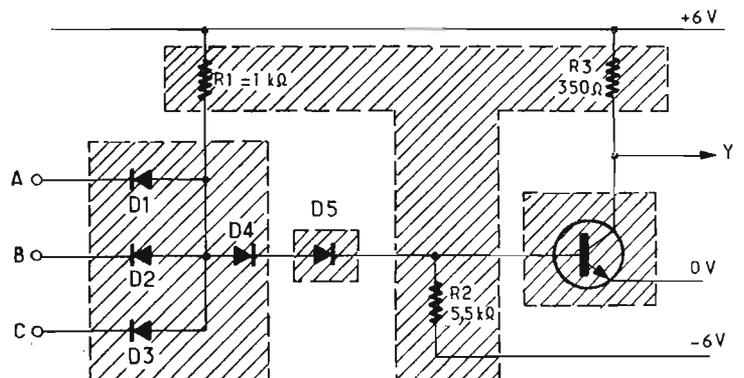


FIG. 8. - Logique DTL.

AMPLIFICATEUR
DIFFERENTIEL D'ENTRÉE

ALIMENTATION
COMPENSÉE

SORTIE EN
EMETTEUR FOLLOWER

FIG. 9. - Circuits ECL et TTL.

- a - ECL vitesse moyenne.
- b - ECL grande vitesse.
- c - TTL moyenne vitesse.
- d - TTL grande vitesse.

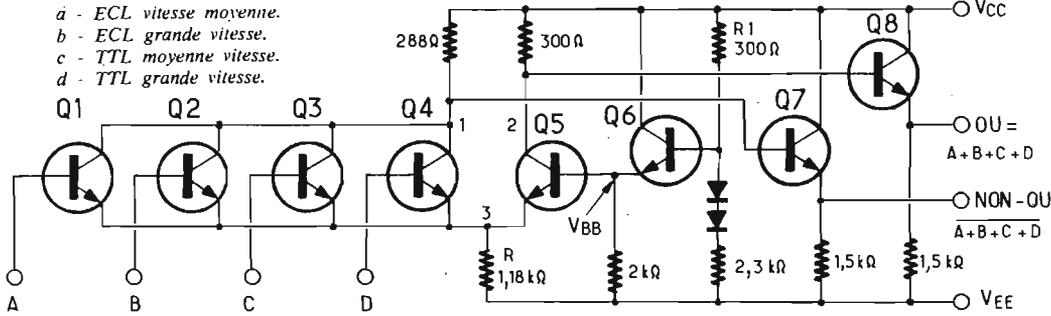


FIG. 9 a.

fisante, le transistor doit être convenablement piloté. Ce qui implique une tension d'alimentation plus élevée que dans les autres systèmes, pour que R_1 ne soit pas trop faible. C'est pourquoi, souvent, on a une tension d'alimentation relativement de forte valeur, avec des valeurs de R_1 et R_2 également élevées. Il en résulte que la vitesse de fonctionnement est réduite et qu'il est, ici encore, nécessaire de trouver un compromis entre sortance, vitesse de fonctionnement et dissipation d'énergie.

Les diodes employées ne sont pas toutes de même nature : les diodes d'entrée doivent être des diodes ultra-rapides, tandis que les

LOGIQUE RCTL
(Resistor-capacitor transistor logic)

Pour éviter d'avoir de tels ennuis et, donc, pour avoir le même courant dans chaque résistance d'entrée, on a intérêt à augmenter la valeur de la résistance; Ce qui diminue d'autant la vitesse de fonctionnement des éléments. Par exemple, si on multiplie par 3 la résistance d'entrée du montage de la figure 6 et par 5 la résistance des collecteurs, la vitesse de fonctionnement passe alors de 10 nanosecondes - par exemple - à 25 nanosecondes.

Augmenter la résistance d'entrée conduit à augmenter également la résistance de collecteur, d'où difficulté accrue pour l'obtention de courants de sortie suffisamment élevés. Ces restrictions peuvent être levées à l'aide de condensa-

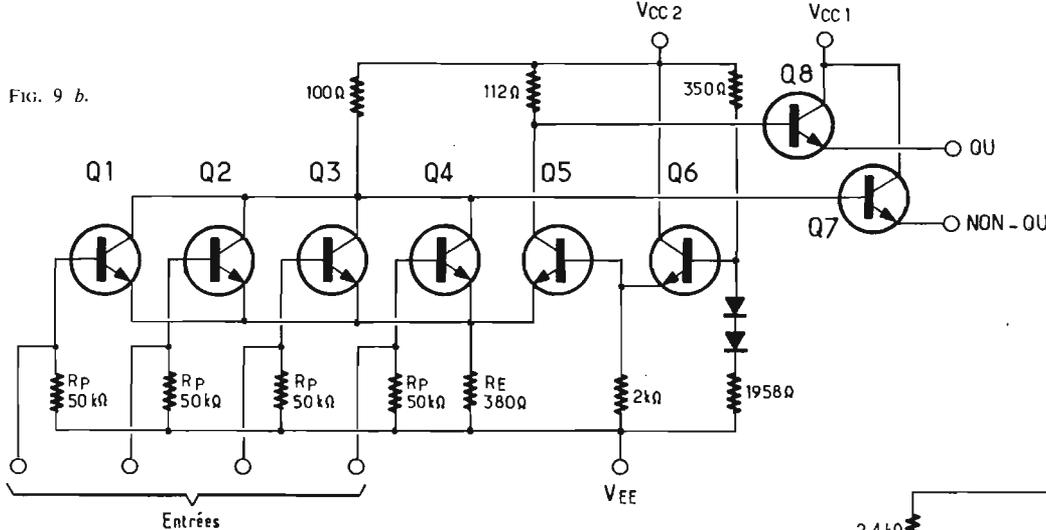
LOGIQUE DTL

Dans les circuits monolithiques, il est plus simple de fabriquer les diodes que les résistances : on aura alors tout intérêt à remplacer les résistances de la famille RTL par des diodes; c'est la famille DTL (Diode Transistor Logic), illustrée par la figure 8.

En logique positive, les diodes D_1 , D_2 et D_3 , associées à R_1 , jouent le rôle « ET » : à la sortie de cette porte, l'équation logique s'écrit ABC . Le niveau haut (donc un « 1 ») n'apparaîtra en effet que lorsqu'il y a « 1 » sur toutes les entrées.

Les diodes D_4 et D_5 servent à empêcher le basculement intempestif du transistor d'un niveau à un autre, notamment à l'empêcher de devenir conducteur lorsqu'il y a un « 0 » sur une entrée :

FIG. 9 b.



teurs shunts, en parallèle sur les résistances d'entrée (Fig. 7).

Quand T_1 et T_2 sont non conducteurs, T_3 est conducteur, à cause de la haute tension V_C , sur les collecteurs de T_1 et T_2 . Si maintenant T_1 conduit, la tension sur son collecteur tombe au niveau de saturation V_S ; si R_S est la résistance de saturation de T_1 et I_C le courant collecteur,

$$I_C R_S = V_C - V_S.$$

Donc, si V_C est beaucoup plus grand que V_S , le courant I_C sera à peu près indépendant de V_S et il n'y aura aucun surcourant dans l'un ou l'autre des transistors.

la sortie, dans cette dernière condition, est alors $Y = 1$. Lorsque $A = B = C = 1$, le transistor bascule à l'état conducteur, et il y a un « 0 » à la sortie Y . Le dispositif se comporte donc comme une porte « NON-ET ».

En logique négative, cette porte se comporte comme un circuit « NON-OU ». Signalons que cette famille est encore dénommée sous le sigle LLL (Low Level Logic, ou logique à bas niveau). Les quatre zones indiquées sur la figure 8 sont les quatre régions de fabrication du circuit sous sa forme monolithique.

Pour que la sortance soit suf-

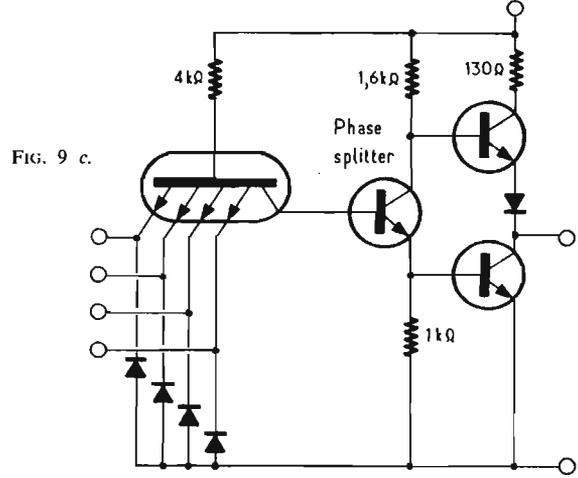


FIG. 9 c.

diodes D_4 et D_5 sont du type à recouvrement lent. Dans certaines conditions, on peut être amené à ne réaliser que des transistors sur le substrat en semi-conducteur et n'utiliser que la fonction base-collecteur pour les diodes d'entrée et la fonction émetteur-base pour les deux autres diodes.

On peut enfin employer un amplificateur à boucle à diode pour protéger le circuit contre la saturation et réduire la vitesse de fonctionnement (Fig. 9).

CIRCUITS ULTRA-RAPIDES :
ECL ET TTL

A la recherche de circuits encore plus rapides, voici deux excellentes familles : les TTL

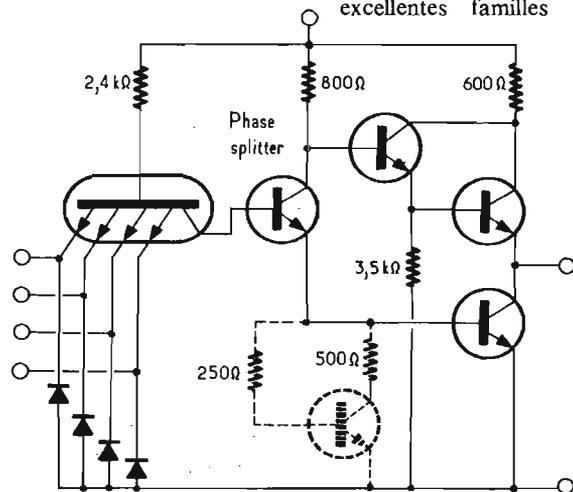


FIG. 9 d.

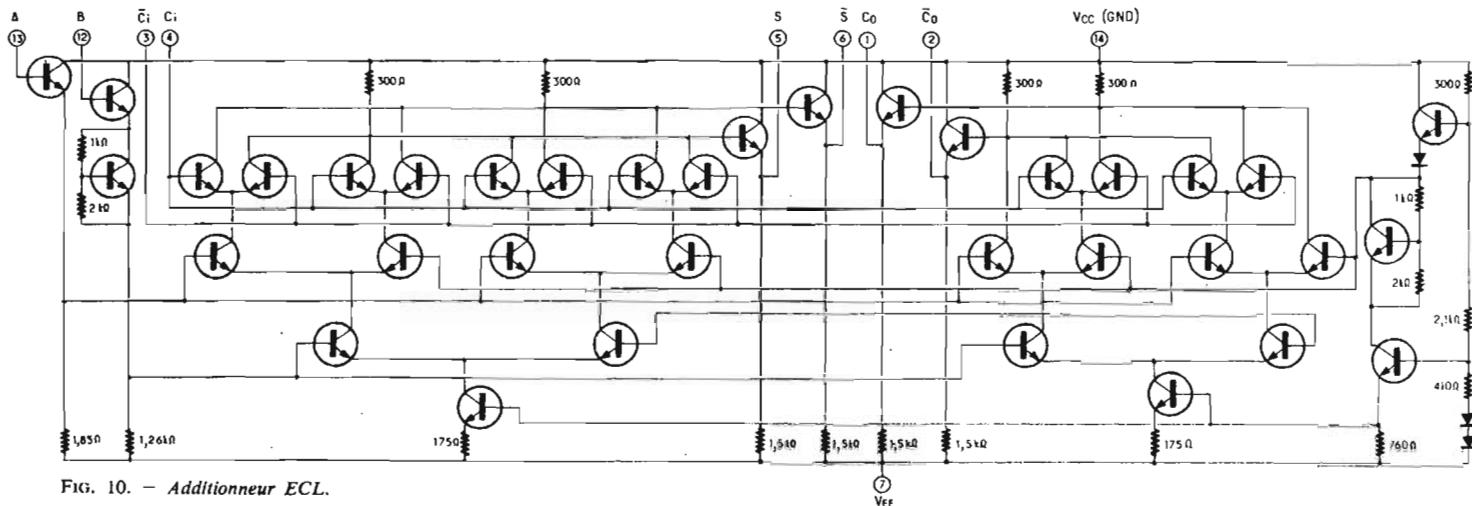


FIG. 10. — Additionneur ECL.

(Transistor Transistor Logic) et ECL (emitter coupled transistor logic). Toutes les deux unités se font en version moyenne à grande vitesse (Fig. 9).

Les deux versions du circuit ECL ont le même mode de fonctionnement. Un échelon de cou-

tances de charge de collecteur. Les sorties sont réalisées après le circuit émetteur-followeur, en logique positive : le niveau « 1 » correspond à une tension de $-0,75$ V, tandis que le niveau « 0 » se situe à $-1,55$ V.

tionnent dans le mode non-saturable, ce qui accroît encore la vitesse de fonctionnement; la grande impédance d'entrée et la faible impédance de sortie permettent des sortances très élevées (jusqu'à 25); les seuils de basculement et les niveaux de sortie sont déterminés par des caractéristiques de diodes et des rapports de résistances, caractéristiques très faciles à déterminer en fabrication de série; les portes ECL peuvent être « empilées » les unes sur les autres pour produire des fonctions complexes, dont le produit vitesse de fonctionnement x puissance est très bon. La figure 10 montre un additionneur complet obtenu par cette technique.

La porte ECL ultra rapide est une version modifiée de la porte moyenne vitesse. Le niveau de puissance et la conception globale du circuit ont été optimisés pour travailler sur une ligne de transmission de 50 ohms d'impédance. Cette famille travaille en un temps de l'ordre de la nanoseconde : un flip-flop peut travailler à une fréquence de 350 MHz.

Les circuits TTL se font également en deux versions : moyenne et grande vitesse. On se rapportera avec intérêt aux précédents articles qui en donnent une description détaillée.

La figure 11 indique les possibilités des circuits TTL et ECL.

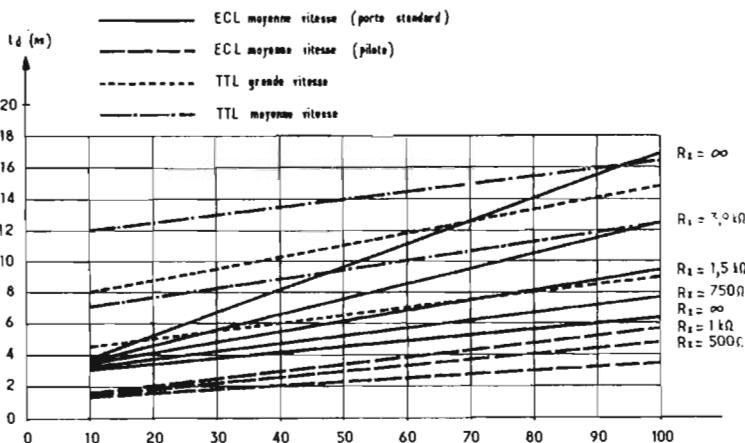


FIG. 11. — Vitesse de fonctionnement en fonction de la capacité de charge.

rant, fourni par la résistance RE est appliqué sur la paire de transistors Q4 et Q5. Ce courant produit une chute de tension, de 0,8 V par exemple, dans l'une des résis-

Les propriétés de ce circuit sont exceptionnelles : bruit très faible; les fonctions « OU » et « NON-OU » sont disponibles simultanément; les transistors fonc-

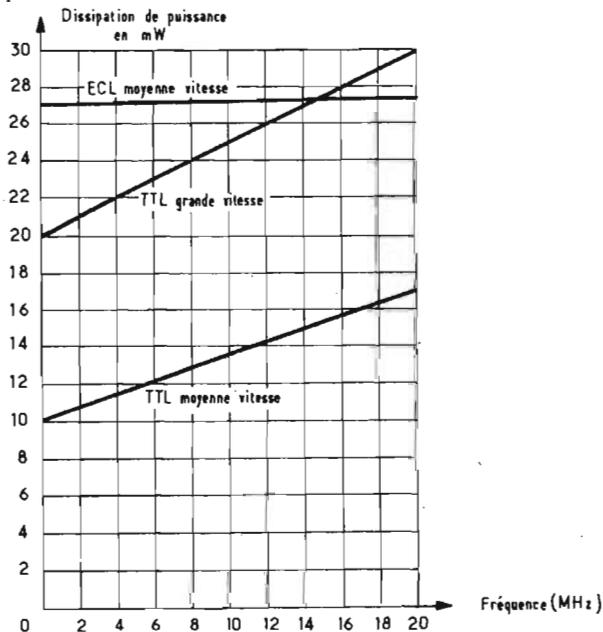


FIG. 12. — Dissipation en fonction de la fréquence.

moyenne et grande vitesse, avec des capacités de charge de 100 pF, et avec différentes valeurs de résistances externes pour les circuits ECL, résistances montées à la sortie de VEE.

La figure 12 indique comment varie la dissipation de puissance quand la fréquence augmente (capacité de charge 15 pF). On constate que la puissance dans les ECL ne varie guère. Pour les circuits TTL moyenne et grande vitesse, les puissances augmentent respectivement de 0,35 et de 0,4 mW/MHz.

On constate donc, qu'aux plus grandes vitesses, ce sont les ECL qui se comportent le mieux; mais lorsque l'on désire le maximum d'immunité aux bruits extérieurs, sans rechercher la grande vitesse de fonctionnement, les TTL conviennent très bien.

LA LOGIQUE CTL

Les circuits CTL (complementary transistor logic) sont disponibles depuis peu seulement, et cela à cause de la difficulté de production de transistors pnp et npn ayant un gain de courant

suffisamment grand, même sous la forme d'un circuit intégré. La vitesse de fonctionnement d'un circuit, du type de celui illustré figure 13, varie entre 2 et 6 nanosecondes. Cet élément doit servir dans l'unité centrale d'un ordinateur moderne.

La fonction logique du circuit représenté est $F = ABC$ en logique positive. L'analyse du montage montre que le courant à

de complémentation (NON), elle doit être ajoutée par des circuits externes.

L'immunité au bruit des CTL est très bonne, puisqu'il y a un émetteur-follower de basse impédance à la sortie.

Tous ces circuits logiques. TRL, DCTL, RCTL, DTL, TTL, ECL, CTL font appel à des transistors « conventionnels » (émet-

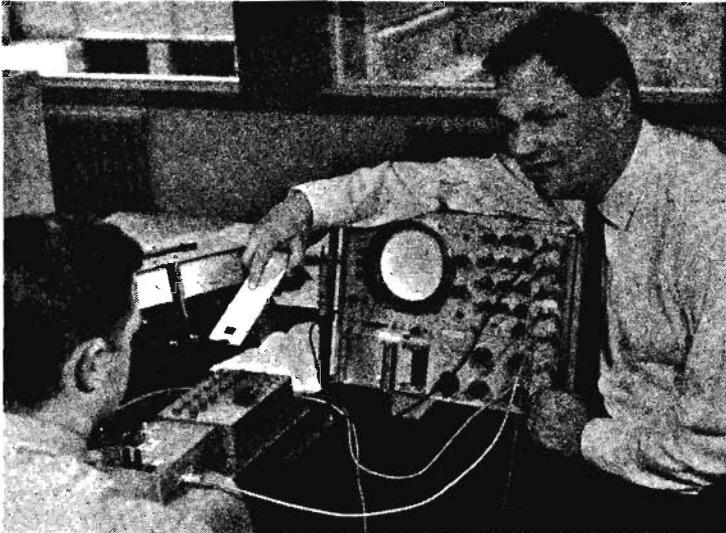


Photo 2 : Le Dr. Richard Foss, de Plessey Microelectronics, étudie la mise au point de circuits logiques ultrarapides ECL.

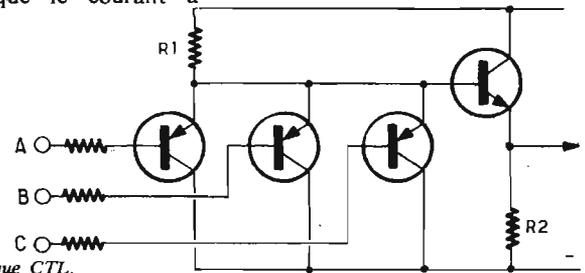


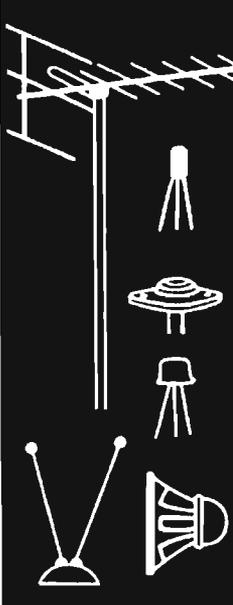
FIG. 13. — Logique CTL.

travers R_1 est redistribué, par commutation, soit dans les transistors pnp, soit dans le transistor npn; ce qui élimine le seuil de vitesse de fonctionnement, associé à la commutation, et ce qui explique la grande vitesse de travail du CTL.

Dans n'importe quel système viable, on doit pouvoir disposer des fonctions « ET », « OU », « NON ». Avec la logique CTL, la fonction « OU » s'obtient sans aucune adjonction de circuit : il suffit de connecter directement les sorties. On dit que le OU est câblé, parfois. Quant à la fonction

teur-base-collecteur), dits bipolaires, car les porteurs de charges électriques sont des électrons (porteurs de charge négative) et des « trous » (porteurs de charge positive). Un autre type de transistors est maintenant disponible — les MOS — qui, sous forme de circuits intégrés, sont vingt fois plus petits que les bipolaires. Nous verrons, dans le prochain article comment les MOS ont engagé la lutte contre les bipolaires pour conquérir les marchés de la micro-électronique, et en particulier l'informatique.

Marc FERRETTI.



LYON RHONE ALPES.

PIECES DETACHEES et cordons de jonction
COMPOSANTS ELECTRONIQUES
CHAINES HI-FI et HAUT-PARLEURS
AUTO-RADIO et antennes
APPAREILS de MESURES

DISTRIBUTEUR
 ARENA-AUDAX-BISSET-COGECCO-C'd'A-CENTRAD-CHINAGLIA-DUAL
 EUROFARAD-FRANCE-PLATINE-GEGO-HECO-HIRSCHMANN-GE-INFRA
 JEAN RENAUD-KF-LENCO-LMT-MERLAUD-METRIX-OREGA-PERLESS-PHILIPS
 PORTENSEIGNE-R.T.C RADIOTECHNIQUE-RADIO CONTROLE
 RADIOMATIC-ROSELSON-SIC-SUPRAVOX-SCOTCH-SIARE-THUILIER
 TOUTELECTRIC-VEGA-VARTA etc...

TOUT POUR LA RADIO

66 COURS LAFAYETTE - LYON 3° - PARKING

AMATEURS ET PROFESSIONNELS : CONSEILLER TECHNIQUE, TEL 60.26.23