

Circuits numériques

Remy
Letocha

CIRCUITS NUMÉRIQUES

FERNAND REMY

JEAN LETOCHA

Professeurs au département d'électrotechnique
Cégep Ahuntsic

LÉON COLLET

Conseiller technique et linguistique

McGraw-Hill, Éditeurs

Montréal Toronto New York Saint Louis San Francisco Auckland
Bogotá Caracas Guatemala Hambourg Le Caire Lisbonne Londres
Madrid Mexico Milan New Delhi Panama Paris San Juan Sao Paulo
Singapour Svdnev Tokvo

CIRCUITS NUMÉRIQUES

Copyright © 1988, McGraw-Hill Éditeurs

Tous droits réservés. On ne peut reproduire, enregistrer, ni diffuser aucune partie du présent ouvrage, sous quelque forme ou par quelque procédé que ce soit, électronique, mécanique, photographique, sonore, magnétique ou autre, sans avoir obtenu au préalable l'autorisation écrite de l'éditeur.

Dépôt légal : 4^e trimestre 1987
Bibliothèque nationale du Québec
Imprimé et relié au Canada

1 2 3 4 5 6 7 8 9 0 B187 0 9 8 7
ISBN 0-07-549439-6

TABLE DES MATIÈRES

Avant-propos

Chapitre 1	Notions fondamentales	1
1.1	Objectifs	1
1.2	Circuits intégrés TTL et CMOS de base	2
1.3	Tension et niveaux logiques d'entrée	3
1.3.1	Exercice sur les signaux interdits	3
1.3.2	Résumé des tensions et niveaux logiques d'entrée	5
1.4	Tensions de sortie de CMOS et de TTL	5
1.4.1	Tensions de sortie d'un CMOS	5
1.4.2	Tensions de sortie d'un TTL	6
1.4.3	Exercice d'analyse de signaux	7
1.4.4	Résumé des tensions et niveaux logiques de sortie	8
1.5	Courants d'entrée et de sortie des circuits TTL et CMOS	8
1.5.1	Courant d'entrée d'un circuit TTL	8
1.5.2	Courant d'entrée d'un circuit CMOS	9
1.5.3	Courants de sortie d'un circuit TTL	10
1.5.4	Courants de sortie d'un circuit CMOS	11
1.5.5	Courant de sortie maximal	11
1.5.6	Exercice sur le pilotage d'une diode électroluminescente (DEL)	12
1.5.7	Exercice sur la sortance et l'immunité au bruit	12
1.5.8	Résumé des courants d'entrée et de sortie	14
1.6	Puissances dissipées dans un circuit de base	14
1.6.1	Puissance continue dissipée dans un circuit TTL	14
1.6.2	Puissance alternative dissipée dans un circuit TTL	17
1.6.3	Puissance totale dissipée dans un circuit TTL	18
1.6.4	Puissance dissipée dans un circuit CMOS	19
1.6.5	Exercice de calcul de capacité de dissipation	21
1.6.6	Exercice de calcul de la puissance dissipée en fonction de la fréquence	23
1.6.7	Résumé des puissances dissipées	25
1.7	Impulsions et fréquences	25
1.7.1	Temps de transition et de propagation	26
1.7.2	Vitesse de commutation	27
1.7.3	Transitions parasites à l'entrée d'un CMOS	29
1.7.4	Exercice sur la limitation en fréquence	30
1.7.5	Exercice sur la fréquence de commutation	31
1.7.6	Résumé des impulsions et fréquences	31
1.8	Expériences de laboratoire	31
1.9	Problèmes	37

Chapitre 2	Interface de CI de base	51
2.1	Objectifs	51
2.2	Interface TTL-TTL	52
2.2.1	Exercice sur les entrées non utilisées	55
2.2.2	Résumé d'interface TTL-TTL	57
2.3	Interface CMOS-CMOS	58
2.3.1	Exercice sur la capacité et le temps de propagation	58
2.3.2	Résumé de l'interface CMOS-CMOS	62
2.4	Interface CMOS-TTL	62
2.4.1	Résumé de l'interface CMOS-TTL	63
2.5	Interface TTL-CMOS 74HC	63
2.5.1	Exercice sur la résistance de rappel	64
2.5.2	Résumé de l'interface TTL-CMOS	66
2.6	Collecteur ouvert	66
2.6.1	Exercice sur l'interface de relais	68
2.6.2	Exercice sur le ET câblé	69
2.6.3	Résumé du circuit à collecteur ouvert	71
2.7	Circuits 3 états	71
2.7.1	Exercice sur le multiplexage par pilote d'état 3	73
2.7.2	Exercice sur un circuit bidirectionnel 3 états	74
2.7.3	Résumé des circuits 3 états	76
2.8	Translation des niveaux	76
2.8.1	Résumé de translation des niveaux	80
2.9	Conformation des signaux	81
2.9.1	Déclencheur ou bascule de Schmitt	82
2.9.2	Rebonds et logique CMOS	85
2.9.3	Éliminateurs de rebonds intégrés	87
2.9.4	Exercice sur les rebonds et la logique TTL	88
2.9.5	Résumé de la conformation des signaux	91
2.10	Interface ECL	91
2.10.1	Résumé de la technologie ou logique ECL	95
2.11	Transmission sur ligne bifilaire	95
2.11.1	Modulation et longueur de ligne	96
2.11.2	Impédance caractéristique	97
2.11.3	Émetteur et récepteur de ligne	98
2.11.4	Émetteur-récepteur de ligne	99
2.11.5	Répéteur de ligne	100
2.11.6	Émetteurs et récepteurs différentiels	101
2.11.7	Immunité au bruit	102
2.11.8	Interface unipolaire et différentielle	104
2.11.9	Normes	105
2.11.10	Exercice sur la transmission par logique de base	106
2.11.11	Résumé de la transmission sur ligne bifilaire	107

2.12	Expériences de laboratoire	108
2.13	Problèmes	110
Chapitre 3 Circuits combinatoires		123
3.1	Objectifs	123
3.2	Fonction de sortie d'une porte	124
3.2.1	Exercice sur l'équation d'un circuit	125
3.2.2	Exercice sur l'état logique d'un circuit	127
3.2.3	Exercice sur la table de vérité de OU exclusif	127
3.2.4	Résumé de la fonction de sortie d'une porte	128
3.3	Chronogramme des circuits combinatoires	128
3.3.1	Exercice sur les chronogrammes statiques et dynamiques	129
3.3.2	Exercice sur compteur de manipulateur	131
3.3.3	Résumé de chronogramme des circuits combinatoires	132
3.4	Additionneurs	132
3.5	Comparateurs	134
3.6	Multiplexeur et démultiplexeur	135
3.7	Codeur et décodeur	137
3.8	Détecteur ou générateur de parité	138
3.9	Multiplicateur	139
3.10	Expériences de laboratoire	144
3.11	Problèmes	148
Chapitre 4 Circuits séquentiels		159
4.1	Objectifs	159
4.2	Circuit séquentiel asynchrone	160
4.3	Circuit séquentiel synchrone	161
4.4	Bascules	163
4.4.1	Bascule \overline{RS}	163
4.4.2	Exercice sur bascule antirebonds	164
4.4.3	Bascule D transparente	165
4.4.4	Bascule D à transition	166
4.4.5	Bascule JK à transition	168
4.4.6	Exercice sur la table d'excitation	169
4.4.7	Exercice de conversion de bascule JK en bascule T	170
4.4.8	Exercice de transformation de bascule JK en bascule D	170
4.4.9	Chronogrammes de bascule	171
4.4.10	Exercice sur le chronogramme du verrou D	173
4.5	Registres parallèle et série	174
4.5.1	Exercice sur le chronogramme de sortie d'un registre	177
4.6	Compteur asynchrone	180
4.6.1	Exercice sur un diviseur horaire de 60 Hz	181
4.6.2	Exercice sur un diviseur horaire de 50 Hz	182

4.7	Compteur synchrone	182
4.7.1	Exercice sur un compteur modulo N à bascule JK	182
4.7.2	Exercice sur un compteur synchrone à bascule D	184
4.8	Expériences de laboratoire	184
4.9	Problèmes	205
Chapitre 5 Constitution des puces ou circuits programmables		223
5.1	Objectifs	223
5.2	Puces programmables de base	224
5.2.1	Lignes d'entrée et lignes de produit	226
5.2.2	Exercice sur les fonctions programmables	226
5.2.3	Lignes non utilisées	227
5.2.4	Exercice sur le remplacement de logique combinatoire	228
5.2.5	Exercice de lecture de puces PAL	231
5.2.6	Programmation des fusibles	232
5.2.7	Fusibles antipiratage	235
5.2.8	Fusibles fantômes	236
5.2.9	Exercice sur la convention de marquage des fusibles	238
5.2.10	Programmation machine et marquage des fusibles	240
5.3	Expériences de laboratoire	245
5.4	Problèmes	247
Chapitre 6 PAL série 20 et série 24		251
6.1	Objectifs	251
6.2	PAL en configuration sortie directe	252
6.3	PAL en configuration sortie inversée	253
6.4	PAL en configuration sortie complémentée	255
6.5	PAL en configuration sortie programmable	256
6.6	PAL en configuration sortie registre	257
6.7	PAL en configuration OU exclusif	258
6.8	PAL en configuration arithmétique	259
6.9	PAL en configuration produit partagé	260
6.10	PAL en configuration registre asynchrone	265
6.11	Circuits programmés HMSI	268
6.12	Résumé des PAL des séries 20 et 24	268
6.13	Problèmes	269
Chapitre 7 Programmation des PAL		273
7.1	Objectifs	273
7.2	Programmation machine	274
7.3	Programmation spécialisée	274

7.4	Programmation universelle	275
7.5	Logiciel PALASM	275
7.5.1	Opérateurs et symboles logiques	275
7.5.2	Exercice sur des équations booléennes PALASM	276
7.5.3	Exercice sur le format PALASM d'entrée et de sortie	277
7.5.4	Exercice sur le décompte des fusibles	281
7.6	Équations pour les sorties inversées	281
7.7	Fonction état 3	282
7.7.1	Exercice sur la fonction état 3 programmable	283
7.8	Fonction de maintien et d'exception	284
7.9	Exercice sur un compteur piloté par la fonction OU exclusif	285
7.10	Conception d'une commande de feux de circulation	286
7.10.1	Établissement du bullogramme	286
7.10.2	Codage du bullogramme	287
7.10.3	Table de vérité des bascules et des sorties d'état	288
7.10.4	Équations des sorties d'état	288
7.10.5	Équations des entrées des bascules D	289
7.10.6	Sélection du circuit	291
7.10.7	Transposition des équations dans le format PALASM	292
7.10.8	Testabilité du séquenceur	293
7.10.9	Exercice sur le marquage et le décompte des fusibles	294
7.11	Expériences de laboratoire	294
7.12	Problèmes	300
Chapitre 8 Familles de puces ou circuits programmables		305
8.1	Objectifs	305
8.2	Les quatre familles de circuits programmables	306
8.3	Puces programmables PLE	307
8.3.1	Exercice d'implantation d'une fonction OU exclusif sur un PLE5P8	308
8.4	Programmation PLEASM	309
8.4.1	Exercice de programmation PLEASM d'implantation d'une fonction NON-OU exclusif sur un PLE5P8	309
8.5	Circuits IFL, FPGA, FPLA, FPLS	311
8.6	Puces programmables VLSI	311
8.7	Puces programmables CMOS, CMOS-E ² , ECL	313
8.8	Circuits programmables CMOS effaçables	313
8.9	Programmation d'un CMOS effaçable	316
8.10	Exercice sur l'architecture des macrocellules	318
8.11	Avenir des puces ou circuits programmables	319
8.12	Expérience de laboratoire	319

11.3	Architecture d'une ROM	368
11.3.1	Introduction	368
11.3.2	Architecture interne d'une ROM	370
11.4	Exemples de mémoires mortes ROM	376
11.4.1	MCM68364	376
11.4.2	MCM65255	377
11.5	Mémoires ROM programmables (PROM)	378
11.6	Mémoires mortes programmables électriquement et effaçables par rayonnement ultraviolet (EPROM)	381
11.6.1	Principe de fonctionnement	381
11.6.2	Programmation d'une EPROM	382
11.6.3	Exemples de mémoires EPROM	385
11.7	Mémoires mortes programmables effaçables électriquement (EEPROM)	390
11.7.1	Principe de fonctionnement	390
11.7.2	Exemple de mémoire EEPROM : la 2817A d'Intel	392
11.7.3	Applications des mémoires EEPROM	395
11.8	Applications des mémoires mortes	395
11.8.1	Réalisation de circuits logiques combinatoires	395
11.8.2	Circuits logiques séquentiels à mémoire morte	403
11.9	Expérience de laboratoire	404
11.10	Problèmes	405

Chapitre 12 Mémoires à écriture/lecture ou à accès sélectif ou vives ou RAM 407

12.1	Objectifs	407
12.2	Survol du sujet	408
12.3	Architecture d'une mémoire RAM statique	408
12.4	Fonctionnement d'une RAM statique	412
12.5	Exemple de RAM statique	414
12.6	Architecture d'une RAM dynamique	415
12.7	Fonctionnement d'une RAM dynamique	417
12.8	Exemple de RAM dynamique	418
12.9	Mémoires à double accès	420
12.10	Mémoire NVRAM = RAM rémanente	423
12.11	Expérience de laboratoire	424
12.12	Questions et problèmes	425

Chapitre 13 Mémoires spéciales : Piles, CAM, CCD et mémoires à bulles magnétiques 427

13.1	Objectifs	427
13.2	Survol du sujet	428

Chapitre 9	Techniques de construction et de dépannage	321
9.1	Objectifs	321
9.2	Problèmes de câblage	322
9.3	Câblage dynamique	323
9.4	Erreurs de plan	324
9.5	Problèmes de conception	326
9.6	Sonde logique et voltmètre	328
9.7	Conclusion sur sonde logique et voltmètre	331
9.8	Générateur d'impulsions	331
9.9	Détecteur de courant	331
9.10	Pince logique	331
9.11	Comparateur logique	332
9.12	Oscilloscope	332
9.13	Analyseur logique	332
9.14	Résumé des techniques de construction et de dépannage	333
9.15	Expériences de laboratoire	334
9.16	Problèmes	337
Chapitre 10	Généralités sur les mémoires	343
10.1	Objectifs	343
10.2	Survol du sujet	344
10.3	Classification des mémoires. Mémoires à semiconducteurs et mémoires magnétiques	344
10.3.1	Classification selon le type de mémoire	344
10.3.2	Classification des mémoires selon la technologie des semiconducteurs	346
10.4	Organisation des mémoires	348
10.4.1	Généralités, adressage, commande et principe des implantations	348
10.4.2	Expansion de la longueur des mots et de la capacité des mémoires	352
10.5	Décodeurs	355
10.5.1	Cycles de lecture et d'écriture du microprocesseur MC6800	356
10.5.2	Cycles d'écriture et de lecture du microprocesseur 6809	360
10.5.3	Cycles d'écriture et de lecture du microprocesseur Z80	362
10.6	Expérience de laboratoire	365
10.7	Problèmes	365
Chapitre 11	Mémoires mortes (ROM)	367
11.1	Objectifs	367
11.2	Survol du sujet	368

13.3	Mémoires à piles FIFO	428
13.3.1	Architecture d'une pile FIFO	428
13.3.2	Fonctionnement en écriture/lecture d'une mémoire FIFO	432
13.3.3	Exemple de mémoire FIFO : l'Am2812 d'Advanced Micro Devices	438
13.3.4	Applications des mémoires FIFO	439
13.4	Mémoires associatives CAM	440
13.4.1	Introduction	440
13.4.2	Mémoires associatives CAM	441
13.5	Mémoires à registres à couplage de charge CCD	443
13.5.1	Introduction	443
13.5.2	Principe du couplage de charge	444
13.6	Mémoires à bulles magnétiques	447
13.6.1	Introduction	447
13.6.2	Principe de fonctionnement	448
13.6.3	Architecture d'une mémoire à bulles	450
13.7	Questions et problèmes	452
Chapitre 14 Logiciels de simulation de circuits logiques		455
14.1	Objectifs	455
14.2	Survol du sujet	456
14.3	Quelques logiciels de simulation de circuits logiques	456
14.3.1	Quelques logiciels de simulation logique sous MS/DOS	456
14.3.2	Logiciel Logimac	459
Appendice A Fiches techniques		461
Appendice B Formules et tableaux		477
Appendice C Définitions		483
C.1	Tableaux	483
C.2	Tensions d'alimentation	488
C.3	Tensions des niveaux	489
C.4	Excursion des tensions d'entrée V_I et de sortie V_O	491
C.5	Courants d'alimentation	493
C.6	Courants des niveaux	494
C.7	Temps de propagation et temps de transition	497
C.8	Temps de commande et de synchronisation	501
C.9	Temps des mémoires	503
C.10	Résumé des temps	505
C.11	Problèmes	505
Appendice D Solution des problèmes de numéros impairs		509

Appendice E	Solution des problèmes de l'appendice C	547
Appendice F	Projets d'étudiants	549
F.1	Alarme à boucle	549
F.2	Programmeur de 2732	553
F.3	Commande d'accès	557
Bibliographie		563
Index		565

Avant-propos

Ce livre couvre toute la matière et tous les objectifs du cours d'électrotechnique des cégeps (collèges d'enseignement général et professionnel) québécois, intitulé « Circuits numériques ». Il est conçu pour les personnes versées en circuits logiques.

Si la passion de l'électronique numérique vous dévore, passez immédiatement aux expériences de laboratoire et aux problèmes de fin de chapitre et lisez cet ouvrage durant vos périodes de découragement. Nous avons parsemé le texte de quelques remontants.

Si on vous impose cette lecture, scrutez attentivement la démarche intellectuelle respectée lors de la rédaction de cet ouvrage.

Si vous êtes enseignant ou enseignante, nous partageons votre enthousiasme : aussi avons-nous sans réserve versé notre expérience dans le creuset.

Si vous êtes autodidacte, ou si les concepts sont importants pour vous, vous penserez que ce livre est écrit pour vous. Petite confidence : nos meilleurs étudiants et étudiantes sont des autodidactes en puissance.

Si vous devez vous hâter, n'étudiez que les chapitres nécessaires : ils sont tous indépendants.

Si le temps vous presse, retenez seulement les sections indispensables : elles sont toutes indépendantes ou presque.

Si vous n'avez pas d'ordre, feuilletez, avancez, reculez, arrêtez-vous çà et là, barbouillez un schéma intéressant.

Si vous êtes conseiller pédagogique ou technique, responsable de programme, coordonnatrice, bref si vous êtes spécialiste en louanges et en critiques, sachez que nous connaissons vos méthodes de fureteur. Aussi, la table des matières... c'est sérieux !

Si vous êtes autonome ou incrédule, nous sommes étonnés de vous retrouver ici. Votre place est au coeur de l'action : qu'attendez-vous pour aller au laboratoire ?

Enfin, si vous avez besoin de directives :

1. Lisez le titre des chapitres ;
2. Lisez les objectifs ;
3. Lisez au moins une ou deux sections de l'appendice sur les définitions ;
4. Lisez attentivement le chapitre qui vous convient ;
5. Faites les exercices avec nous. Ils sont parfois plus importants que le texte. Ils sont indispensables à l'assimilation de la théorie et constituent parfois le pivot central de la théorie ;
6. Vérifiez votre degré d'assimilation de la matière en résolvant les problèmes en fin de chapitre ;
7. Allez souvent au laboratoire. C'est la façon la plus efficace de dépasser le contenu de cet ouvrage ;
8. Et n'oubliez pas de vous enrichir en partageant vos découvertes avec vos collègues, vos employées, votre patron (lui qui vous a offert ce livre) votre enseignant ou enseignante (en ménageant sa susceptibilité) et aussi avec les auteurs.

Fernand Remy
Jean Letocha

1.1 Objectifs

Après étude de ce chapitre, l'étudiant devra savoir

1. Les différences fondamentales entre la famille TTL et la famille CMOS.
2. Diagnostiquer les perturbations générées par des signaux indéterminés injectés à l'entrée des circuits.
3. Comparer les tensions d'entrée et de sortie des circuits TTL et CMOS.
4. Comparer les courants d'entrée et de sortie des circuits TTL et CMOS.
5. Calculer la sortance des circuits.
6. Comparer les puissances dissipées dans les circuits TTL et CMOS.
7. Analyser l'influence de la fréquence de fonctionnement et de la capacité de charge.
8. Calculer la capacité de dissipation d'un circuit CMOS.
9. Utiliser les fiches techniques des fabricants.
10. Effectuer des mesures comparatives en laboratoire.

1.2 Circuits intégrés TTL et CMOS de base

Si vous êtes abonné à une revue d'électronique, la naissance ou la disparition d'une série de circuits intégrés ne vous décourage plus. La technologie des circuits intégrés numériques de base est TTL (*Transistor-Transistor Logic*) ou CMOS (*Complementary Metal Oxide Semi-conductor*). Les séries de ces deux familles sont résumées au tableau 1.1. Pour les besoins de notre étude et de nos expériences de base nous avons surtout retenu les séries relativement performantes et facilement disponibles 74LS de la famille TTL et 74HC (ou 74HCT) de la famille CMOS.

Sans anticiper sur les chapitres réservés aux circuits programmables, signalons que la technologie des séries de base de ces derniers est LS ou CMOS.

Tableau 1.1 Séries de base des circuits numériques TTL et CMOS.

Famille TTL			
Série	Commentaire	$P(\text{mW})(1)$	$t_p(\text{ns})(2)$
74...	standard (3)	10	10
74H...	standard haute vitesse (3)	20	5
74L...	standard faible consommation (3)	1	30
74S...	Schottky (3)	20	3
74AS...	S performante (3)	8	2
74LS...	S faible consommation	2	10
74ALS...	LS performante	2	4
74F...	standard rapide	4	3
Famille CMOS			
Série	Commentaire	$P(\text{mW})(1)$	$t_p(\text{ns})(2)$
4000	alimentation de 3 à 18 V (3)	0	100
45...	alimentation de 3 à 18 V	0	100
74C...	brochage compatible TTL (3)	0	50
74HC...	74C haute vitesse	0	10
4HCT...	74HC à niveau compatible TTL	0	10
74AC...	74C performante	0	3
74ACT...	74CT performante	0	3

(1) puissance dissipée par porte à 0 Hz pour les CMOS et jusqu'à 1 MHz pour les TTL

(2) temps de propagation moyen pour une alimentation de 5 V

(3) série partiellement ou totalement désuète

1.3 Tensions et niveaux logiques d'entrée

Les tensions appliquées aux broches d'entrée des circuits intégrés numériques doivent appartenir à des domaines admissibles. C'est ainsi que sur la figure 1.1a, l'entrée des circuits TTL 74LS00 et CMOS 74HCT00 reconnaîtra une tension d'entrée V_i inférieure ou égale à 0,8 V comme un niveau bas L et reconnaîtra une tension d'entrée supérieure ou égale à 2 V comme un niveau haut H. De la même façon, à la figure 1.1b l'entrée du circuit CMOS 74HC00 reconnaîtra une tension inférieure ou égale à 1 V comme un niveau bas L et reconnaîtra une tension d'entrée supérieure ou égale à 3,5 V comme un niveau haut H.

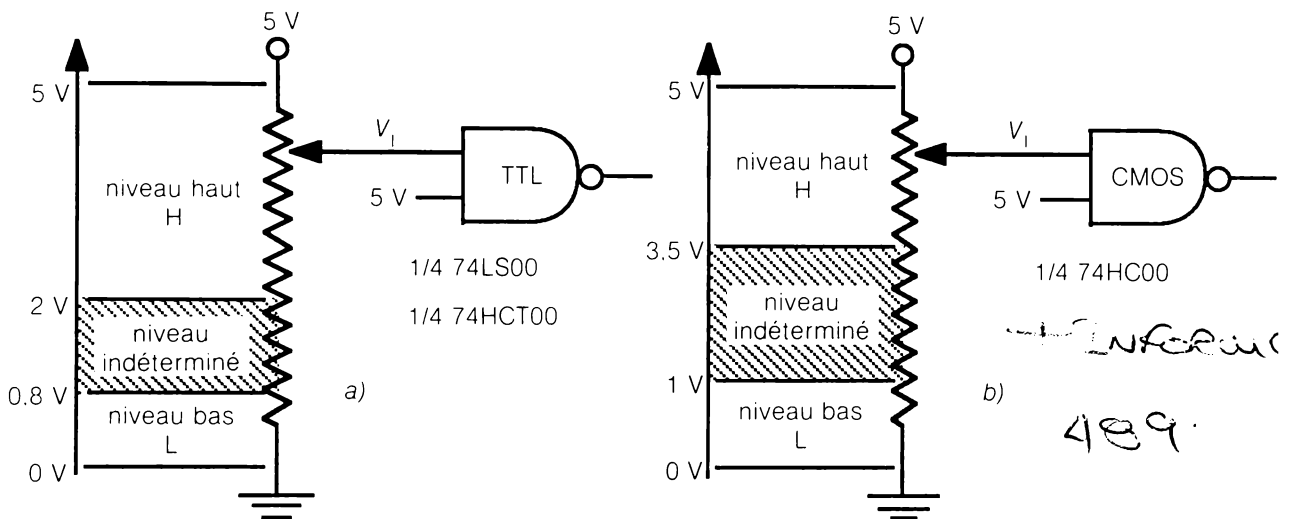


Figure 1.1 Les 2 niveaux logiques d'entrée pour un circuit. a) TTL(LS) et CMOS (HCT) et b) CMOS (HC).

1.3.1 Exercice sur les signaux interdits

1. La figure 1.2 représente quatre impulsions positives d'entrée du circuit 74LS00.

4 CIRCUITS NUMÉRIQUES

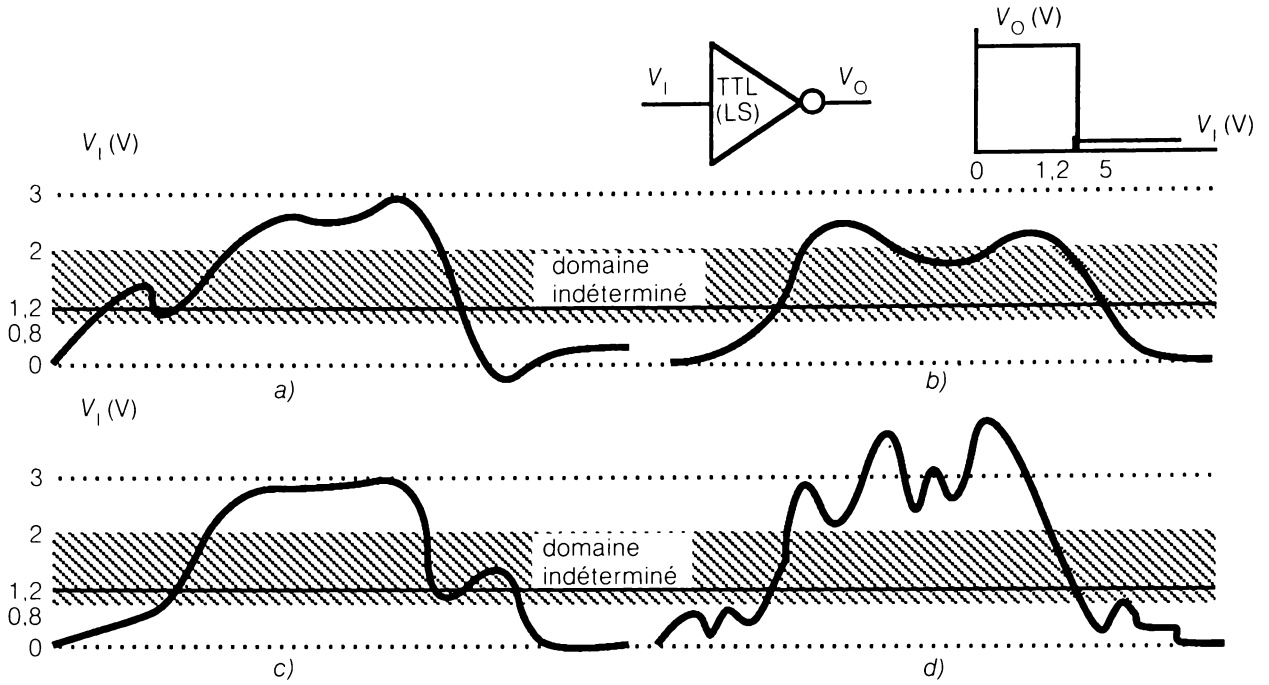


Figure 1.2 Pour l'exercice de 1.3.1.

Déterminez chaque impulsion qui, selon le 74LS00, est discontinue (interdite) et chaque impulsion qui, selon le 74LS00, est continue (permise).

Solution

Les impulsions représentées en *a*, *b* et *c* sont interdites. Selon le TTL seule l'impulsion représentée en *d* est continue. Le montage de la figure 1.1a simule l'exercice. Dans le cas des signaux en *a* et *c*, une impulsion parasite apparaît à la sortie de la porte quand le signal d'entrée oscille autour de la tension de seuil qui est d'environ 1,2 V pour la série 74LS (1,5 V environ pour la série 74ALS). Le signal d'entrée en *b* oscille également dans le domaine indéterminé, mais son niveau est toujours supérieur au seuil de basculement de la porte. Dans un montage, le signal représenté en *b* génère une série de dérangements intermittents et bien frustrants !

La tension d'entrée bas $V_{IL} = 0,8 \text{ V}$ et la tension d'entrée haut $V_{IH} = 2 \text{ V}$ sont généralement valables pour tous les circuits de la famille TTL et pour les circuits CMOS de la série 74HCT. Consultez les spécifications du fabricant chaque fois que vous utilisez un circuit CMOS n'appartenant pas à la série 74HCT.

À titre indicatif, nous donnons au tableau 1.2 les tensions d'entrée haut et bas des circuits TTL et CMOS de base.

Tableau 1.2 Tensions d'entrée haut et bas des circuits TTL et CMOS.

	TTL		CMOS	
	toute série	série 74HCT	série 74HC	série 4000 (V_{DD} :3 à 18 V)
$V_{IHmin}(V)$	2	2	3,5	$0,7 V_{DD}$
$V_{ILmax}(V)$	0,8	0,8	1	$0,3 V_{DD}$

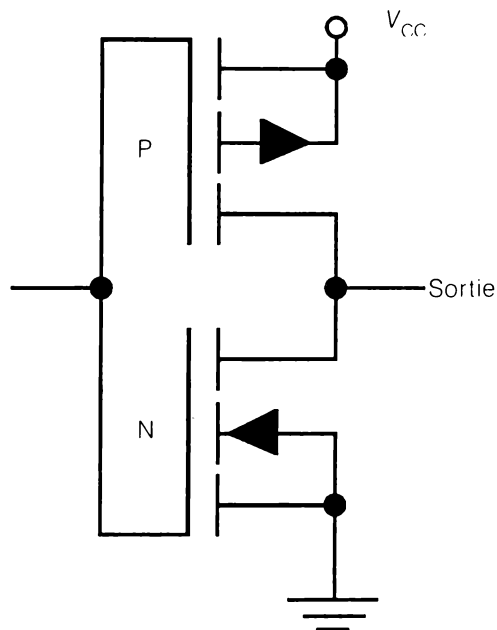
1.3.2 Résumé des tensions et niveaux logiques d'entrée

Pour qu'un circuit intégré fonctionne sans problème, il faut que les signaux appliqués aux broches d'entrée respectent les tensions minimale et maximale fournies par le fabricant. Le fonctionnement erratique d'un montage est souvent dû à la violation de cette règle élémentaire.

1.4 Tensions de sortie de CMOS et de TTL

1.4.1 Tensions de sortie d'un CMOS

La figure 1.3 représente l'étage de sortie d'un circuit intégré CMOS. Quand le canal P conduit, le canal N est ouvert. La sortie du CI égale pratiquement le niveau de l'alimentation V_{CC} . Lorsque le canal N conduit, le canal P est ouvert. La sortie du CI égale pratiquement le niveau de la masse. Si $V_{CC} = 5 V$, les tensions de sortie à vide seront donc, pour un circuit CMOS, $V_{OH} = 5 V$ et $V_{OL} = 0 V$.

**Figure 1.3** Étage de sortie d'un CMOS.

1.4.2 Tensions de sortie d'un TTL

La figure 1.4 représente l'étage de sortie d'un circuit TTL. Pour le 0 logique, Q_1 et Q_2 sont ouverts et Q_3 conduit. La tension de sortie est donc de l'ordre de 0,3 V. Pour le 1 logique, Q_3 est ouvert, et Q_1 et Q_2 conduisent.

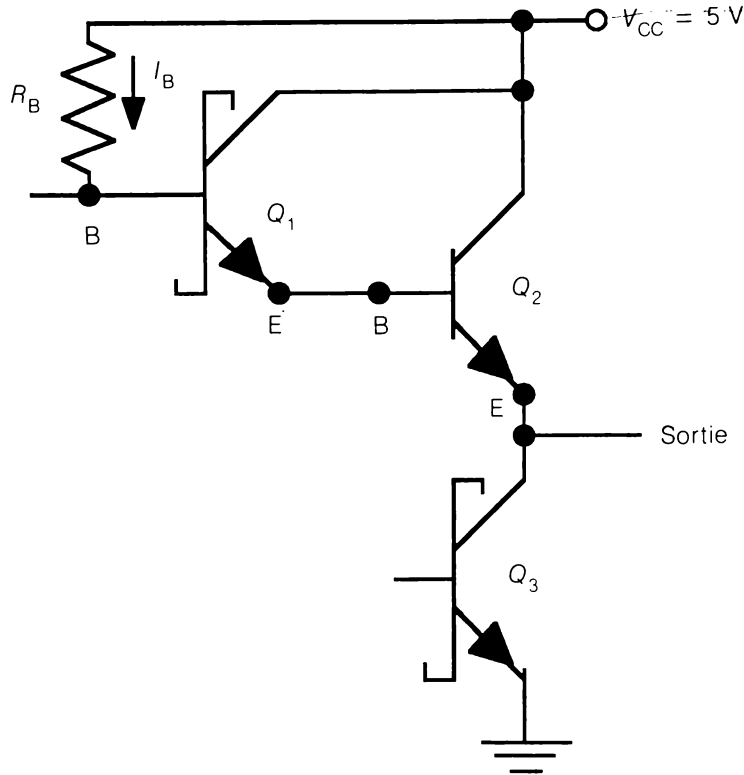


Figure 1.4 Étage de sortie d'un TTL.

Si on admet une tension V_{BE} de 0,7 V, on voit que la tension de sortie est égale à $(5 - R_B I_B - 0,7 - 0,7)$ V. Si la sortie n'est pas chargée, $I_B \approx 0$ mA et la tension de sortie est de 3,6 V environ.

Les tensions de sortie seront donc pour un circuit TTL non chargé : $V_{OH} \approx 3,6$ V et $V_{OL} \approx 0,3$ V. À titre documentaire nous donnons au tableau 1.3 les tensions de sortie des circuits TTL et CMOS chargés au maximum et utilisés dans des conditions de service sévères. Nous vous conseillons de bien analyser les fiches du fabricant avant d'adopter des sorties moins rigoureuses.

Tableau 1.3 Tensions de sortie des circuits TTL et CMOS chargés au maximum.

	TTL	CMOS ($V_{CC} = 5$ V)
$V_{OH_{min}}$ (V)	2,4	4,5
$V_{OL_{max}}$ (V)	0,5	0,5

1.4.3 Exercice d'analyse de signaux

Soit les cinq montages représentés à la figure 1.5.

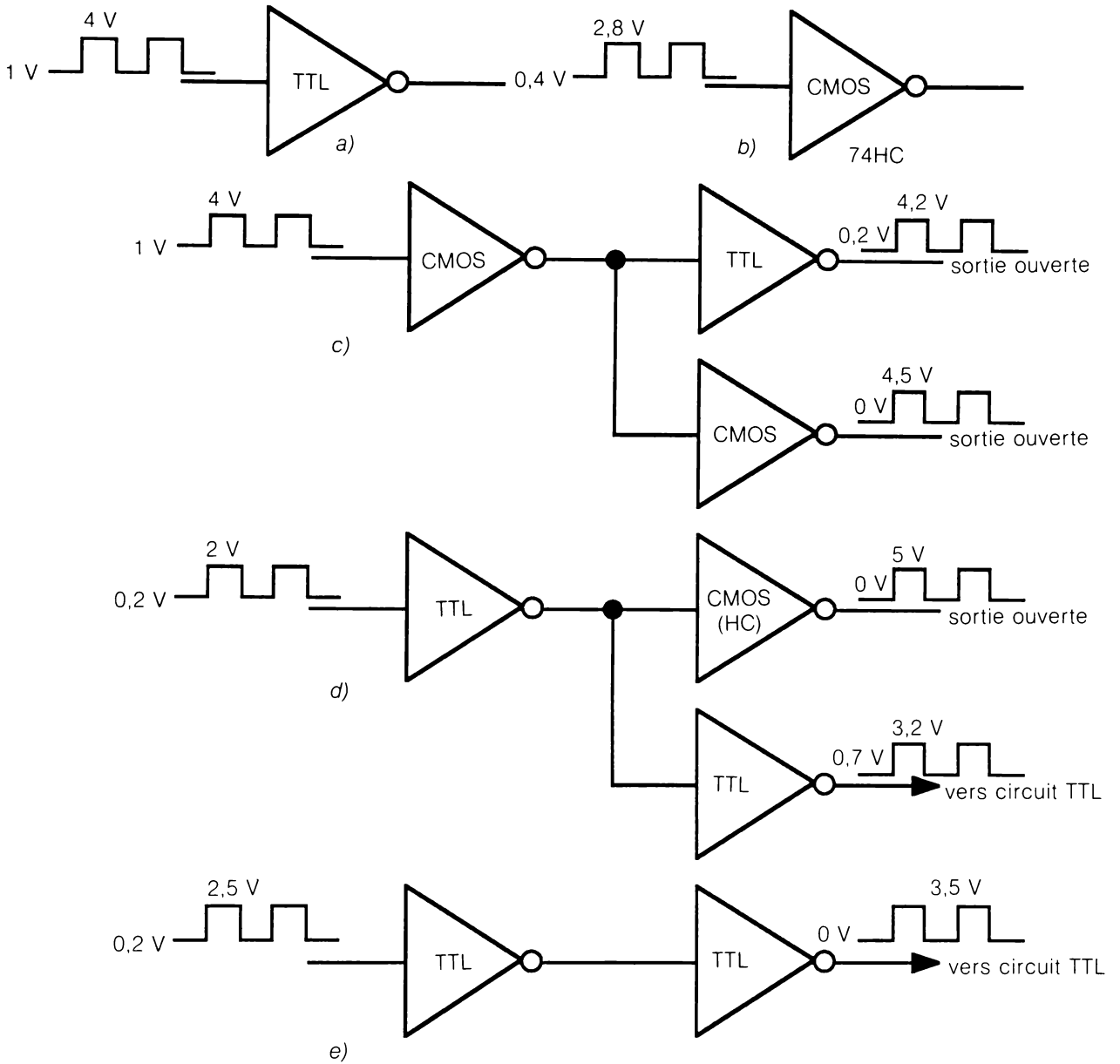


Figure 1.5 Pour l'exercice de 1.4.3.

Trouvez les anomalies des cinq montages de la figure 1.5.

8 CIRCUITS NUMÉRIQUES

Solution

Montage *a* : le niveau bas du signal d'attaque du TTL doit être égal ou inférieur à 0,8 V.

Montage *b* : le niveau haut du signal d'entrée du CMOS doit être supérieur ou égal à 3,5 V.

Montage *c* : le niveau haut du signal de sortie du TTL ne peut atteindre 4,2 V ; le niveau haut du signal de sortie du CMOS égale 5 V.

Montage *d* : le niveau haut de l'entrée du CMOS exige une tension minimale de 3,5 V et la sortie haute du TTL ne peut garantir qu'une tension de 2,4 V ; le niveau bas de sortie du TTL ne peut pas être supérieur à 0,5 V.

Montage *e* : le niveau bas de la sortie ne peut être nul puisqu'il est égal à la tension de saturation V_{CEsat} du transistor Q_3 de la figure 1.4.

1.4.4 Résumé des tensions et niveaux logiques de sortie

Les niveaux disponibles à la sortie des CI ne sont pas toujours compatibles avec les exigences d'entrée des circuits raccordés en aval. C'est ainsi qu'un circuit TTL ne peut piloter un circuit CMOS de la série 74HC. Évidemment, au laboratoire ce montage va fonctionner 9999 fois sur 10 000. Mais cela veut aussi dire qu'il peut faire défaut toutes les secondes s'il est commuté à la fréquence de 10 kHz.

1.5 Courants d'entrée et de sortie des circuits TTL et CMOS

1.5.1 Courant d'entrée d'un circuit TTL

La figure 1.6 représente le circuit équivalent d'entrée du 74LS00 attaqué par un niveau bas de 0,4 V.

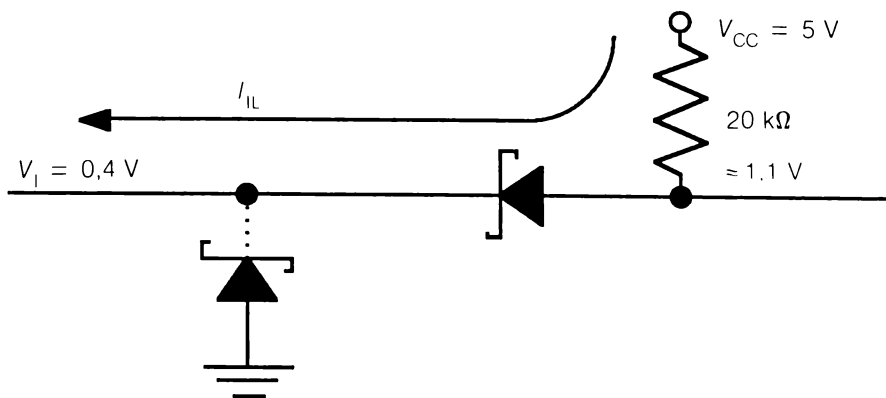


Figure 1.6 Courant d'entrée bas du 74LS00.

Selon la loi d'Ohm, le courant quittant la broche d'entrée est d'environ 0,2 mA. Comme ce courant quitte le CI, on convient qu'il est négatif. Selon la fiche technique, $I_{ILmax} = -0,4 \text{ mA}$. Il ne s'agit pas de la valeur type calculée, mais d'une valeur qui tient compte du « pire » lorsque, par exemple, $V_{CC} = 5,5 \text{ V}$. Il faut concevoir les montages en fonction de la pire éventualité.

La figure 1.7 représente le même circuit d'entrée attaqué cette fois par un niveau haut. Le courant est très faible. On peut rarement le mesurer avec un ampèremètre classique. Comme ce courant entre dans le CI, on convient qu'il est positif. Selon la fiche technique, $I_{IHmax} = 20 \mu\text{A}$.

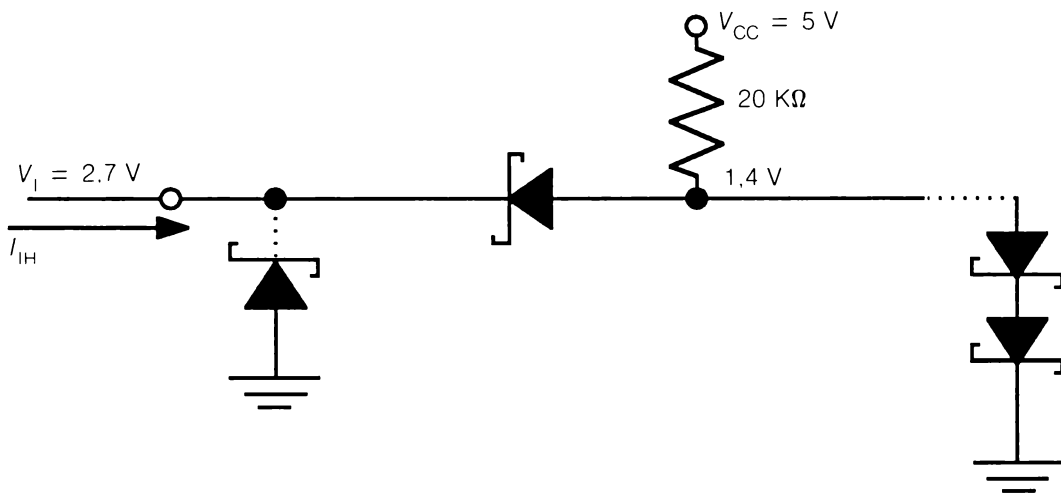


Figure 1.7 Courant d'entrée haut du 74LS00.

1.5.2 Courant d'entrée d'un circuit CMOS

La figure 1.8 représente le circuit équivalent d'entrée d'un CMOS. Les grilles étant isolées, le courant est pratiquement nul pour toute tension d'entrée comprise entre 0 V et V_{CC} . Exemple : $I_{IH} = I_{IL} = \pm 0,1 \mu\text{A}$ pour le 74HC00.

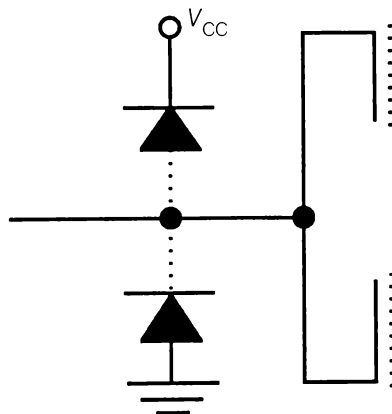


Figure 1.8 Circuit équivalent d'entrée d'un CMOS.

1.5.3 Courants de sortie d'un circuit TTL

La figure 1.9 montre les courants de sortie haut et bas d'un TTL 74LS00. Par convention, le courant I_{OH} quittant le CI est négatif. Exemple : $I_{OH} = -400 \mu A$ pour le 74LS00. Par convention, le courant I_{OL} entrant dans le CI est positif. Exemple : $I_{OL} = 8 \text{ mA}$ pour le 74LS00.

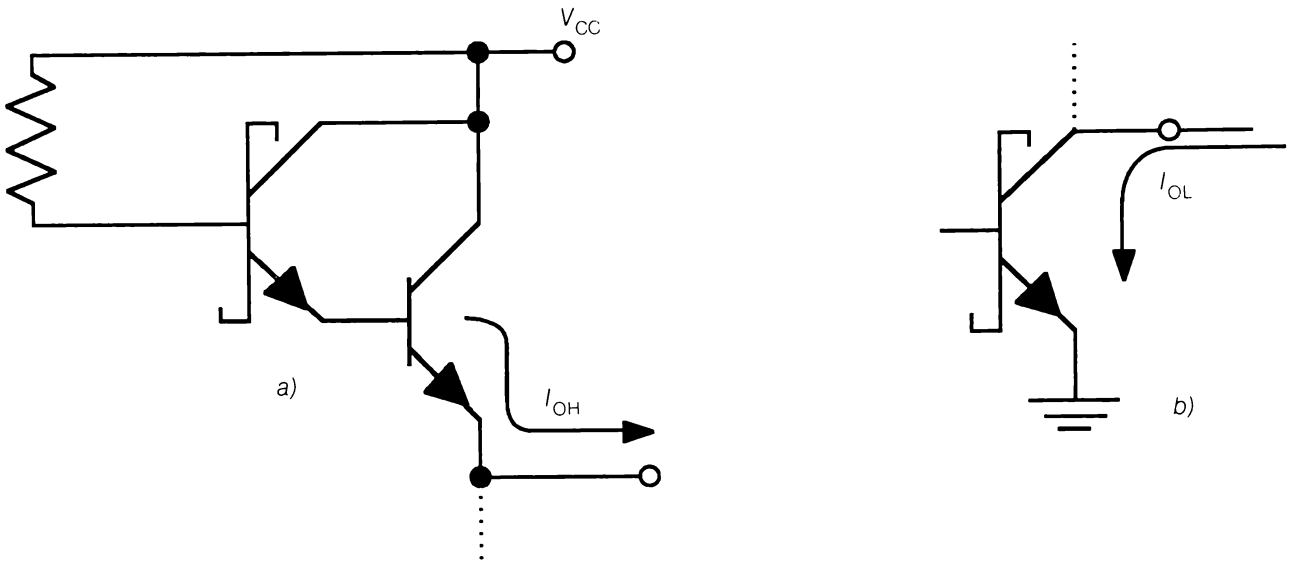


Figure 1.9 a), I_{OH} ; b), I_{OL} , d'un circuit 74LS00.

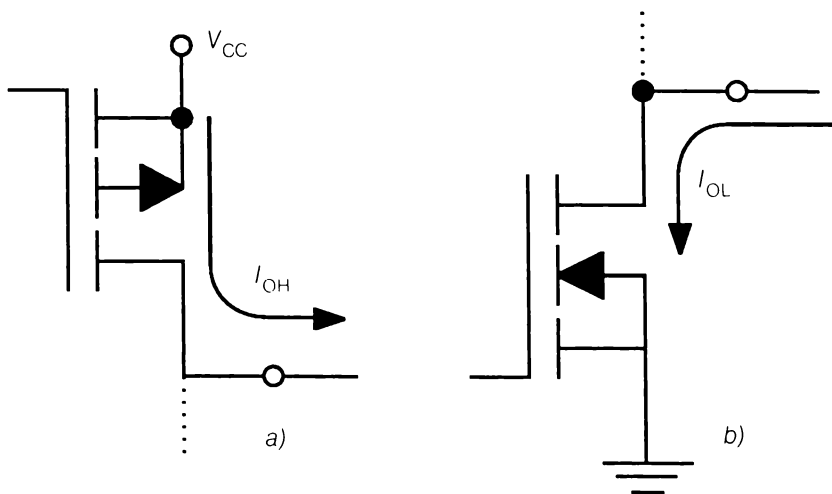


Figure 1.10 a), I_{OH} ; b), I_{OL} , d'un circuit CMOS.

1.5.4 Courants de sortie d'un circuit CMOS

La figure 1.10 montre les courants de sortie haut et bas d'un circuit CMOS. À titre documentaire, les courants de sortie pour le CMOS 74HC00 sont $I_{OH} \approx -4 \text{ mA}$ et $I_{OL} \approx 4 \text{ mA}$.

Le tableau 1.4 résume les courants d'entrée et de sortie des circuits de base. Les deux premières expériences de laboratoire en fin de chapitre précisent les conditions de mesure de ces courants.

Tableau 1.4 Courants d'entrée et de sortie des circuits de base.

	74LS	74HC (T)	4000	unité
I_{IH} : courant d'entrée haut	20	0	0	μA
I_{IL} : courant d'entrée bas	-400	0	0	μA
I_{OH} : courant de sortie haut	-0,4	-4	-0,5	mA
I_{OL} : courant de sortie bas	8	4	0,5	mA

1.5.5 Courant de sortie maximal

Les valeurs des courants de sortie haut et bas I_{OH} et I_{OL} garantissent que les tensions de sortie haut et bas V_{OH} et V_{OL} sont dans la fourchette autorisée. Mais en acceptant que la tension de sortie V_O sorte de la fourchette autorisée, on tire un courant de sortie I_O beaucoup plus élevé. Comme l'indique la figure 1.11, le courant maximal I_O varie beaucoup en fonction de la série. Certains échantillons ne peuvent fournir ce courant : il s'agit d'une valeur maximale à ne pas dépasser et non d'une valeur minimale garantie.

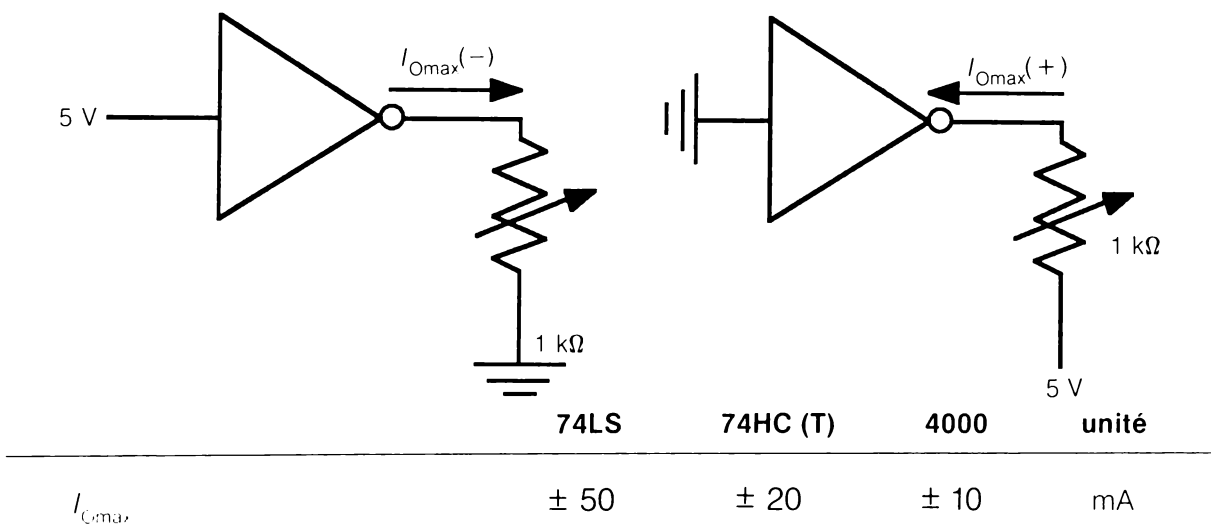


Figure 1.11 Courant de sortie maximal autorisé.

1.5.6 Exercice sur le pilotage d'une diode électroluminescente (DEL)

Pilotez une DEL à l'aide d'un circuit des séries 74LS, 74HC et 4000.

Solution

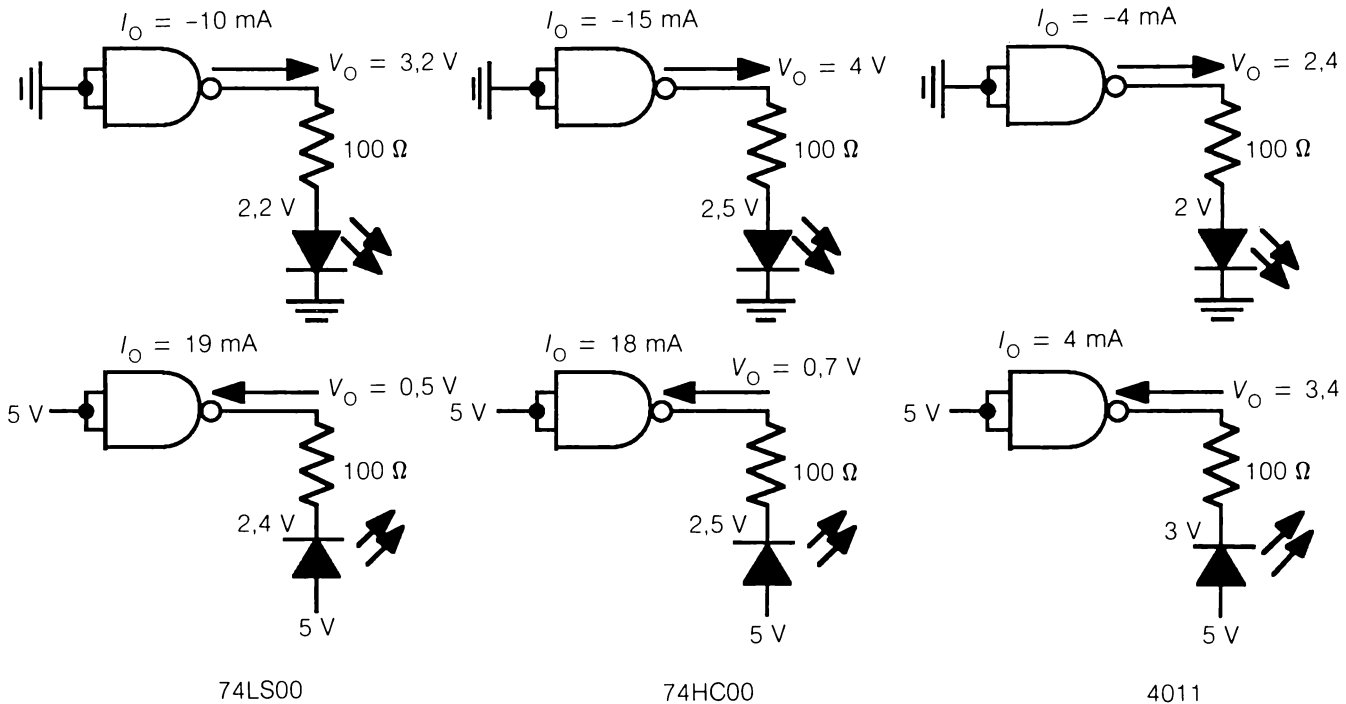


Figure 1.12 Pour la solution de l'exercice de 1.5.6. Un circuit de base peut fournir un courant élevé. Mais les tensions de sortie ne sont plus logiquement utilisables.

La figure 1.12 suggère deux solutions pour chacun des trois circuits. Remarquez qu'à une seule exception (laquelle?), les valeurs des tensions de sortie sont logiquement interdites.

1.5.7 Exercice sur la sortance et l'immunité au bruit

Soit le montage représenté à la figure 1.13.

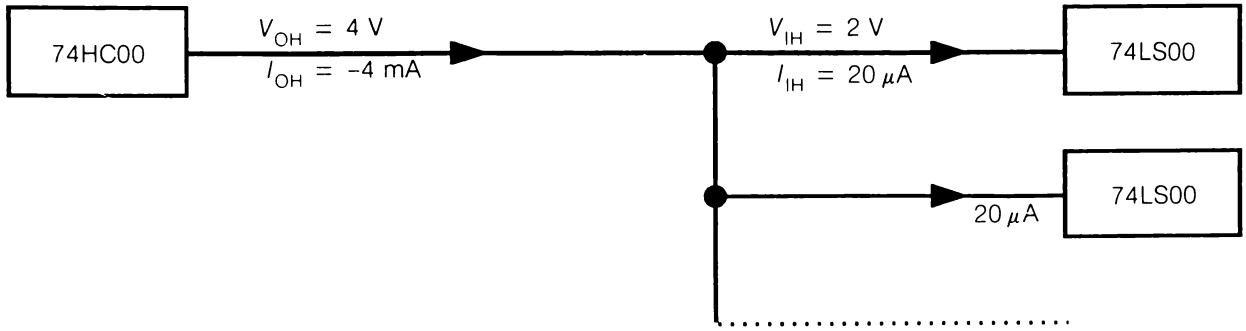


Figure 1.13 Pour l'exercice de 1.5.7.

Calculez la sortance du CMOS 74HC00 pour des charges TTL 74LS00. Calculez aussi l'immunité au bruit pour chaque niveau.

Solution

La fiche technique du 74HC00 donne

$$V_{OHmin} = 4\text{ V pour } I_{OH} = -4\text{ mA}$$

$$V_{OLmax} = 0,3\text{ V pour } I_{OL} = 4\text{ mA}$$

La fiche technique du 74LS00 donne

$$V_{IHmin} = 2\text{ V}$$

$$I_{IHmax} = 20\text{ }\mu\text{A}$$

$$V_{ILmax} = 0,8\text{ V}$$

$$I_{ILmax} = -0,4\text{ mA}$$

La figure 1.13 illustre la donnée du problème pour le niveau haut. Pour ce niveau, l'immunité au bruit égale $V_{OH} - V_{IH} = 2\text{ V}$; ce qui est excellent. Le nombre de charges

théoriquement permises pour le niveau haut égale $S_H = \frac{|I_{OH}|}{|I_{IH}|} = \frac{4\text{ mA}}{20\text{ }\mu\text{A}} = 200$.

La figure 1.14 illustre la donnée du problème pour le niveau bas. L'immunité au bruit pour le niveau bas égale $V_{IL} - V_{OL} = 0,5\text{ V}$; ce qui est bon. Le nombre de charges

permises pour le niveau bas égale $S_L = \frac{|I_{OL}|}{|I_{IL}|} = \frac{4\text{ mA}}{0,4\text{ mA}} = 10$. Donc, dans la pire

éventualité, la sortance $S = 10$.

14 CIRCUITS NUMÉRIQUES

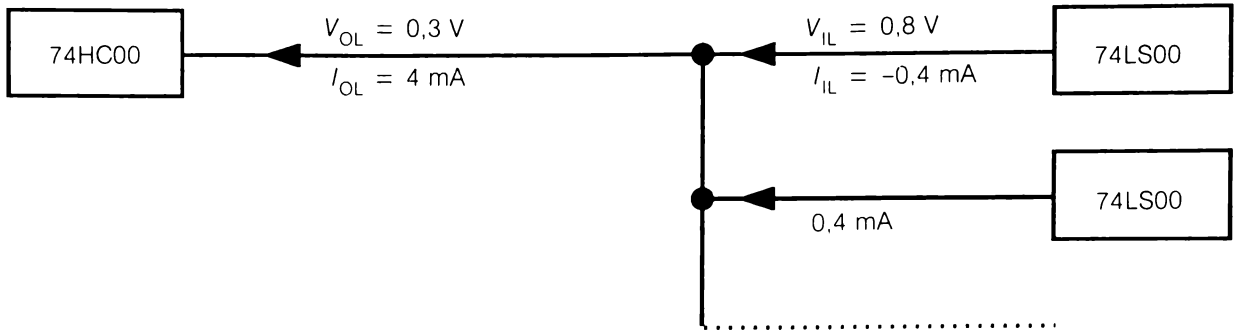


Figure 1.14 Sortance du 74HC00 pour le niveau bas.

1.5.8 Résumé des courants d'entrée et de sortie

Pour les circuits CMOS, retenez que

1. Les courants continus d'entrée sont pratiquement nuls ;
2. Le courant de sortie haut I_{OH} est généralement égal au courant de sortie bas I_{OL} ;
3. Le courant de court-circuit est de l'ordre de -25 mA pour la série 74HCT et de l'ordre de -5 mA pour la série 4000. (Reportez-vous au point 5 de l'expérience 2 de laboratoire.)

Pour les circuits TTL, retenez que

1. Le courant d'entrée haut est relativement faible (de l'ordre de la dizaine de μA) pour toutes les séries ;
2. Le courant d'entrée bas est fonction de la série choisie (74LS, 74ALS, 74F, etc.). On utilise ce courant d'entrée bas pour calculer la sortance du circuit pilote placé en amont ;
3. Généralement, le courant de sortie bas égale quelques dizaines de fois le courant de sortie haut ;
4. Les courants de sortie haut et bas sont surtout fonction de la série choisie ;
5. Le courant de court-circuit de la série 74LS est de l'ordre de -50 mA . (Reportez-vous au point 5 de l'expérience 1 de laboratoire.)

1.6 Puissances dissipées dans un circuit de base

1.6.1 Puissance continue dissipée dans un circuit TTL

Calculons la puissance dissipée dans un circuit TTL. Pour les besoins de notre propos, la figure 1.15 représente le circuit équivalent du 74LS00. Mais si vous aimez les complications, vous pouvez raisonner sur le schéma plus complexe de votre catalogue.

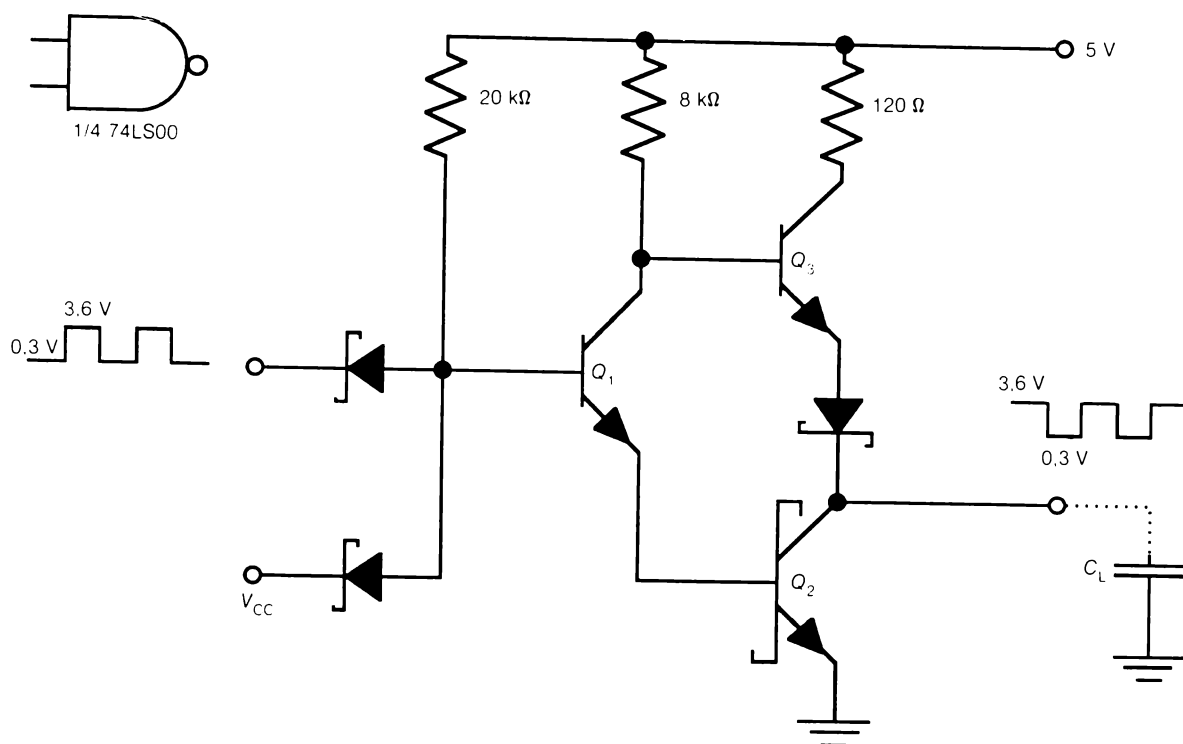


Figure 1.15 Circuit équivalent du 74LS00.

La puissance dissipée P_D égale la somme de la puissance continue P_C et de la puissance alternative P_A , soit

$$P_D = P_C + P_A \quad (1)$$

Laissons pour l'instant la charge capacitive C_L ouverte et calculons la puissance continue P_C .

$$P_C = \frac{P_{CL} + P_{CH}}{2} \quad (2)$$

P_{CL} est la puissance continue dissipée quand le signal d'entrée est de niveau bas. P_{CH} est la puissance continue dissipée quand le signal d'entrée est de niveau haut. Quand la tension d'entrée est au niveau bas, Q_1 et Q_2 sont ouverts. Q_3 n'étant pas chargé, le circuit équivalent est celui de la figure 1.16. Le seul courant fourni par l'alimentation est celui qui traverse la résistance de $20 \text{ k}\Omega$. La puissance continue dissipée pour le niveau bas d'entrée égale

$$P_{CL} = 4,7 \text{ V} \times 0,2 \text{ mA} \approx 1 \text{ mW} \quad (3)$$

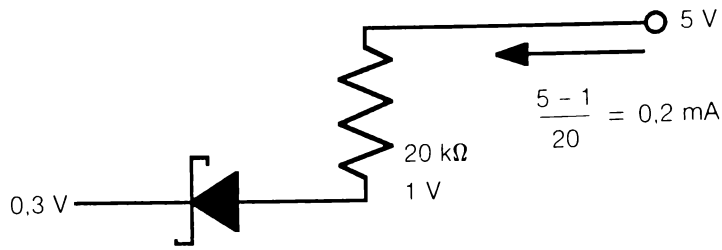


Figure 1.16 Courant d'alimentation pour le niveau bas d'entrée du 74LS00.

Quand la tension d'entrée est au niveau haut, Q_1 et Q_2 conduisent et Q_3 est ouvert. Le circuit équivalent de la figure 1.17 donne la valeur du courant d'alimentation. La puissance continue dissipée pour le niveau haut d'entrée égale

$$P_{CH} = 5 \text{ V} \times 0,68 \text{ mA} = 3,4 \text{ mW} \quad (4)$$

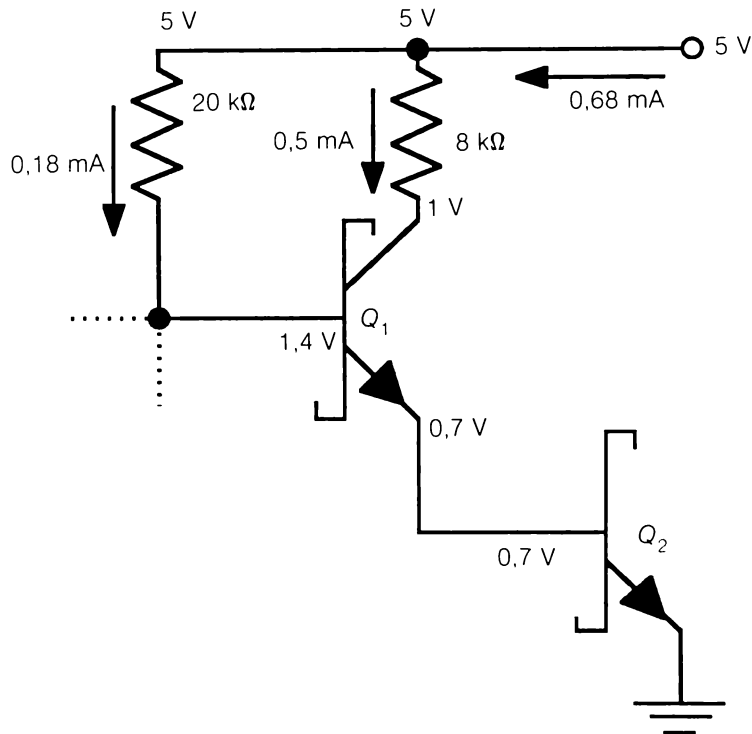


Figure 1.17 Courant d'alimentation pour le niveau haut d'entrée du 74LS00.

Les équations (2), (3) et (4) donnent

$$P_C = \frac{1 \text{ mW} + 3,4 \text{ mW}}{2} \approx 2 \text{ mW} \quad (5)$$

Dans cette expression, P_C est la puissance continue dissipée dans le circuit 74LS00.

1.6.3 Puissance totale dissipée dans un circuit TTL

Les équations (1), (5) et (6) donnent

$$P_D = 2 + (C_L V^2 f) 10^{-3} \quad (7)$$

Dans cette expression,

P_D = puissance dissipée dans le circuit 74LS00 en mW ;

C_L = charge capacitive en pF ;

V = excursion de la tension de sortie en V ;

f = fréquence du signal en MHz.

En prenant $C_L = 50$ pF et $V = 3,3$ V on obtient la courbe de puissance totale dissipée en fonction de la fréquence représentée à la figure 1.19. Cette courbe en trait plein indique que, sauf pour les fréquences élevées, la puissance totale dissipée dans un circuit TTL est principalement due à la puissance continue. Sur la même figure et en traits interrompus nous avons représenté les courbes de dissipation (fournies par Motorola) de différentes séries de la famille TTL.

1.6.2 Puissance alternative dissipée dans un circuit TTL

À cette puissance continue de 2 mW s'ajoute une puissance dissipée alternative pratiquement attribuable à la charge capacitive C_L . Selon la figure 1.15, C_L se charge à travers Q_3 et se décharge dans Q_2 . La figure 1.18 illustre comment l'énergie qui transite par C_L est aussi l'énergie dissipée dans le circuit. Rappelons que l'énergie* $E = C_L V^2$ et considérons l'énergie dissipée pendant une période T . Il vient

$$E = P_A T = C_L V^2$$

$$\frac{P_A}{f} = C_L V^2$$

$$P_A = C_L V^2 f \quad (6)$$

Dans cette expression,

P_A = puissance alternative dissipée dans le circuit ;

C_L = charge capacitive à la sortie du circuit ;

V = excursion de la tension aux bornes de C_L ;

f = fréquence du signal carré.

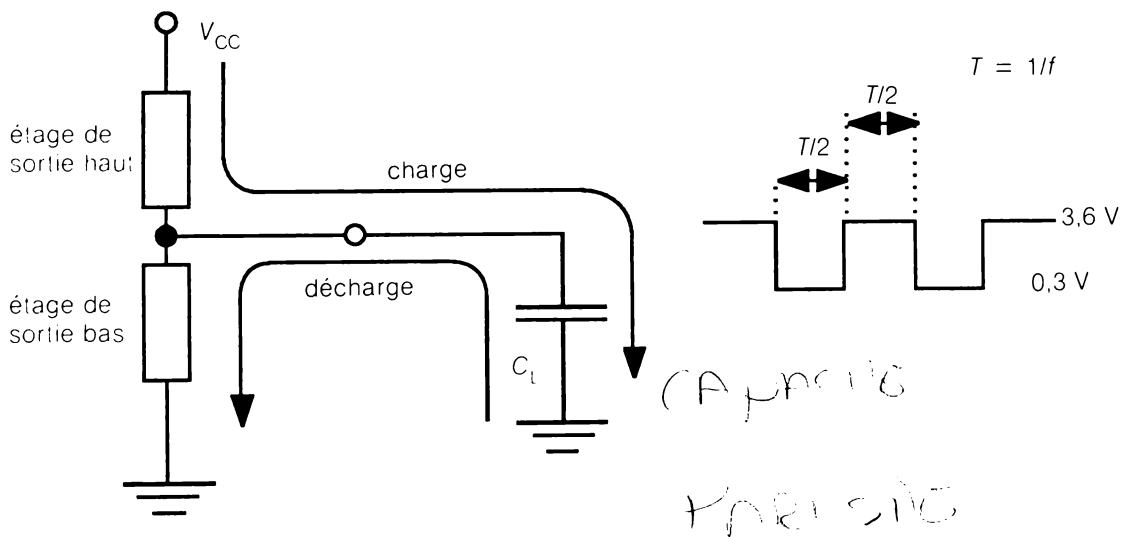


Figure 1.18 Circuit équivalent de sortie chargé par un condensateur.

*Voir la section de l'appendice B intitulée Condensateur : puissance et énergie.

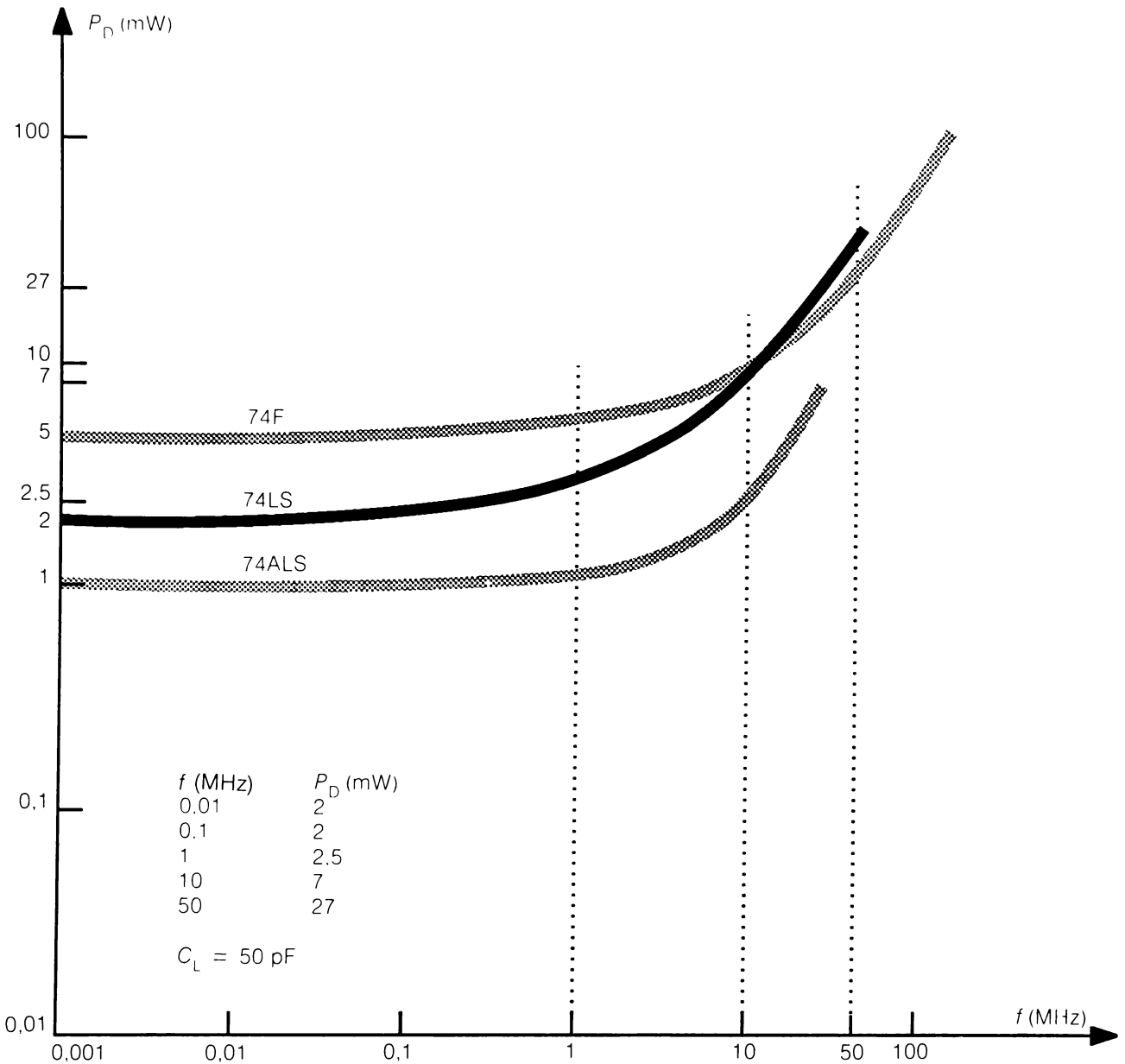


Figure 1.19 Puissance totale dissipée en fonction de la fréquence dans un circuit TTL.

1.6.4 Puissance dissipée dans un circuit CMOS

La figure 1.20 représente le circuit équivalent pour calculer la puissance dissipée dans un circuit CMOS. Si les temps de transition du signal d'attaque ne sont pas trop longs, la puissance dissipée dans le circuit se limite à la puissance alternative. En effet, dans les pires conditions, le courant I_{CC} n'atteint que quelques μA . La capacité interne du circuit est représentée par C_{PD} . Cette capacité de dissipation varie d'un circuit à

l'autre. L'exercice 1.6.5 ci-dessous permet de la calculer. Pour les besoins de notre démonstration, nous prendrons $C_{PD} = 20 \text{ pF}$, valeur relevée sur la fiche technique du 74HC00.

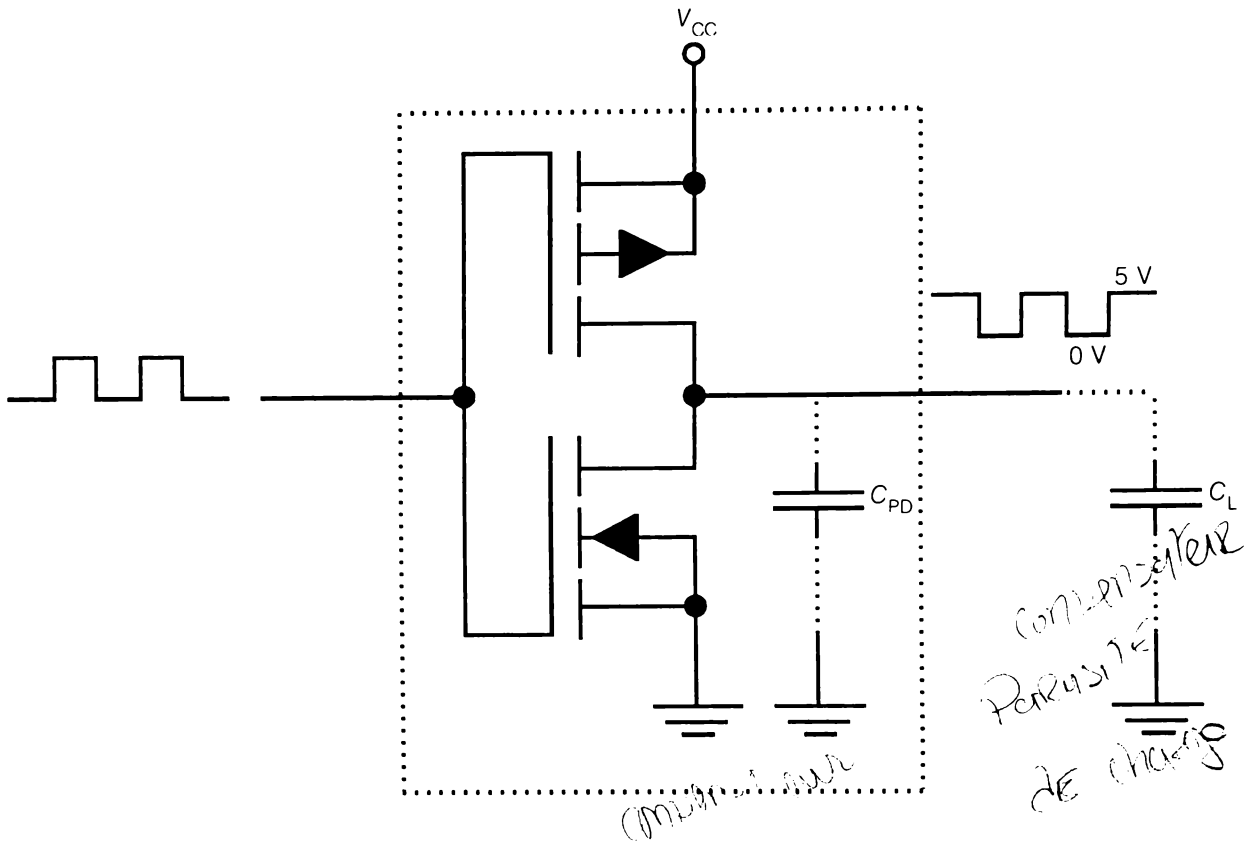


Figure 1.20 Circuit équivalent d'un CMOS.

Comme pour le circuit TTL, nous maintiendrons la capacité de charge C_L à 50 pF . La formule (6) de la puissance alternative dissipée dans le circuit TTL donne $P_A = C_L V^2 f$. Dans le cas d'un CMOS, il faut ajouter la capacité C_{PD} en parallèle avec C_L . Comme la puissance dissipée P_D est une puissance alternative, il vient

$$P_D = (C_{PD} + C_L) V^2 f \quad (8)$$

Prenons $V \approx 5 \text{ V}$ et traçons la courbe de la puissance dissipée d'un CMOS en fonction de la fréquence (figure 1.21). On voit que le CMOS consomme plus que le TTL dès qu'on monte en fréquence. Cela ne veut pas dire qu'un projet CMOS consommera davantage en haute fréquence que le même projet construit avec du TTL. Ce serait parfois vrai si tous les circuits commutaient en même temps à haute fréquence ; ce qui est très loin de la réalité comme l'illustre l'exercice 1.6.6 ci-dessous.

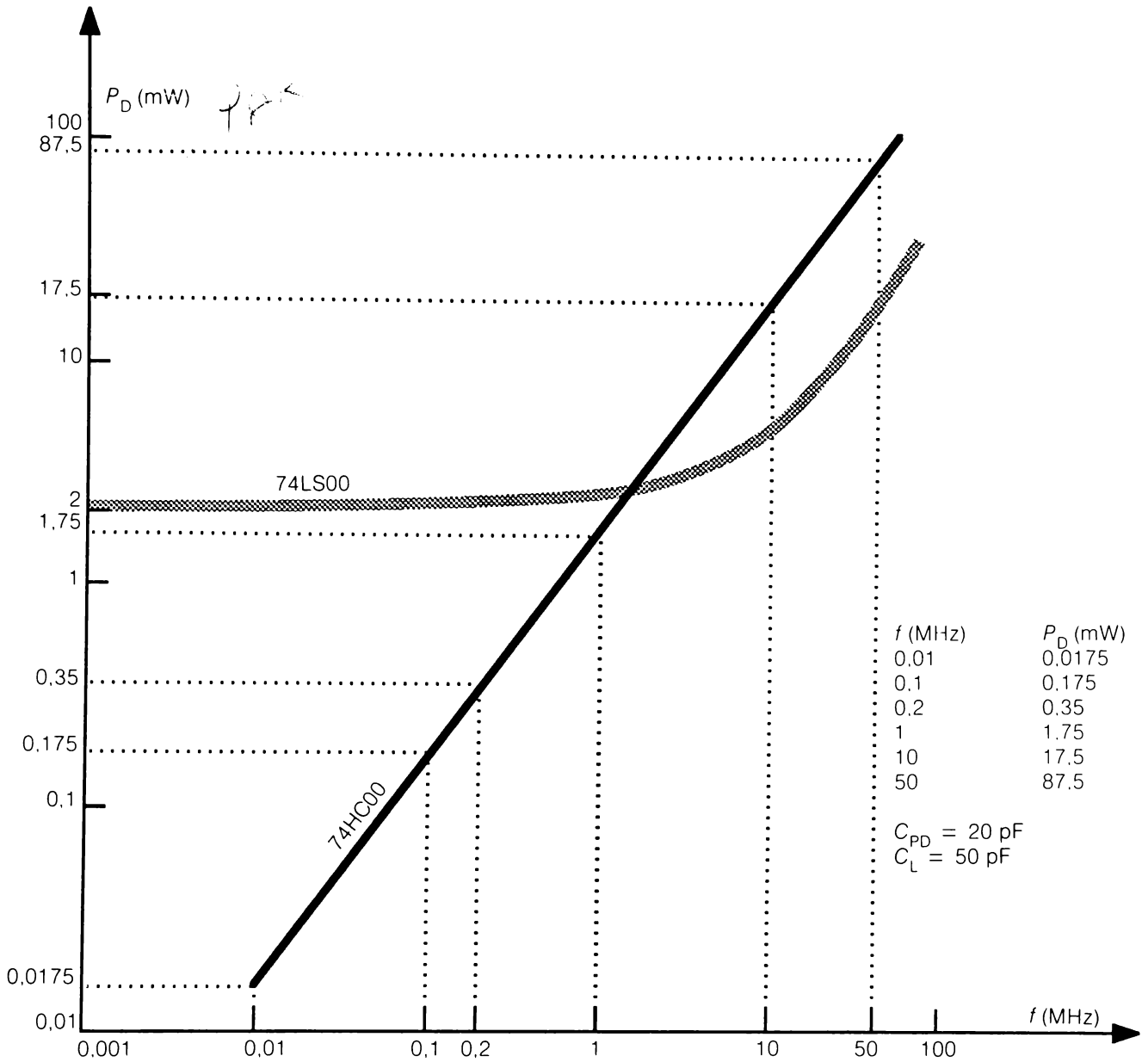


Figure 1.21 Puissance dissipée en fonction de la fréquence d'un CMOS.

1.6.5 Exercice de calcul de capacité de dissipation

Imaginez un moyen de calculer la capacité de dissipation C_{PD} d'une porte logique CMOS.

Solution

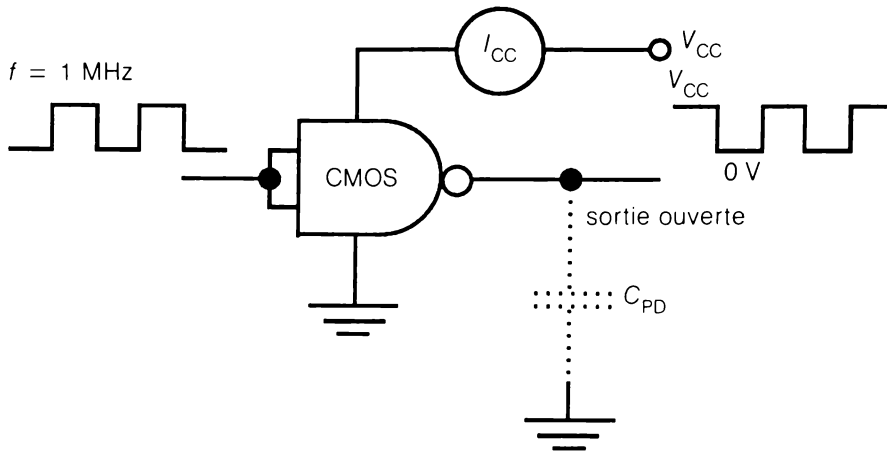


Figure 1.22 Pour la solution de l'exercice de 1.6.5. Montage élémentaire pour mesurer C_{PD} .

Dans le montage de la figure 1.22, la seule puissance dissipée P_D dans le circuit est pratiquement due à la capacité de dissipation C_{PD} . Cette puissance est évidemment fournie par l'alimentation. Pour s'en convaincre, il suffit de faire $f = 0 \text{ Hz}$ et le courant I_{CC} devient nul (sauf bien sûr si vous avez oublié des entrées flottantes sur les autres portes du circuit). Il vient

$$P_D = V_{CC} I_{CC} \quad (9)$$

$$\text{Or, } P_D = (C_{PD} + C_L) V^2 f \quad (\text{formule 8})$$

Dans notre montage : $C_L = 0 \text{ F}$ et $V = V_{CC}$. D'où

$$P_D = C_{PD} V_{CC}^2 f \quad (10)$$

Les équations (9) et (10) donnent

$$V_{CC} I_{CC} = C_{PD} V_{CC}^2 f$$

$$C_{PD} = \frac{I_{CC}}{V_{CC} f}$$

À titre documentaire, la figure 1.23 représente la méthode qu'utilise Motorola pour mesurer C_{PD} .

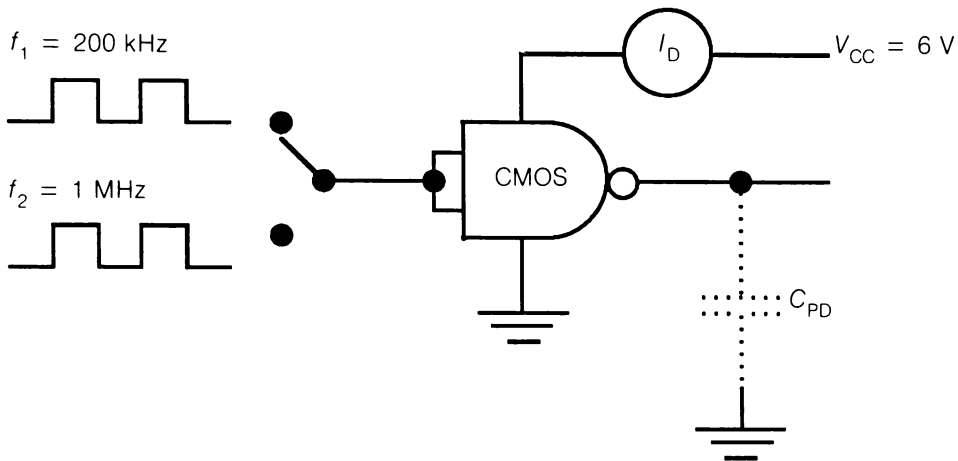


Figure 1.23 Pour l'exercice de 1.6.5. Principe utilisé par Motorola pour le calcul de C_{PD} .

Dans ce cas,

$$P_{D1} = C_{PD} V_{CC}^2 f_1 + I_{CC} V_{CC}$$

$$P_{D2} = C_{PD} V_{CC}^2 f_2 + I_{CC} V_{CC}$$

$$P_{D2} - P_{D1} = C_{PD} V_{CC}^2 (f_2 - f_1)$$

$$C_{PD} = \frac{P_{D2} - P_{D1}}{V_{CC} V_{CC} (f_2 - f_1)}$$

$$C_{PD} = \frac{I_{D2} - I_{D1}}{V_{CC} (f_2 - f_1)}$$

Handwritten derivation:

$$\frac{V_{CC} (I_{D1} - I_{D2})}{V_{CC} V_{CC} (f_1 - f_2)} = \frac{I_{D1} - I_{D2}}{V_{CC} (f_1 - f_2)}$$

La méthode est à peine plus compliquée et a l'avantage de tenir compte de la composante continue.

1.6.6 Exercice de calcul de la puissance dissipée en fonction de la fréquence

Calculez la puissance dissipée dans le circuit CMOS 74HC163 utilisé en diviseur de fréquence. La fréquence d'horloge est de 10 MHz et toutes les sorties sont chargées avec 50 pF.

Solution

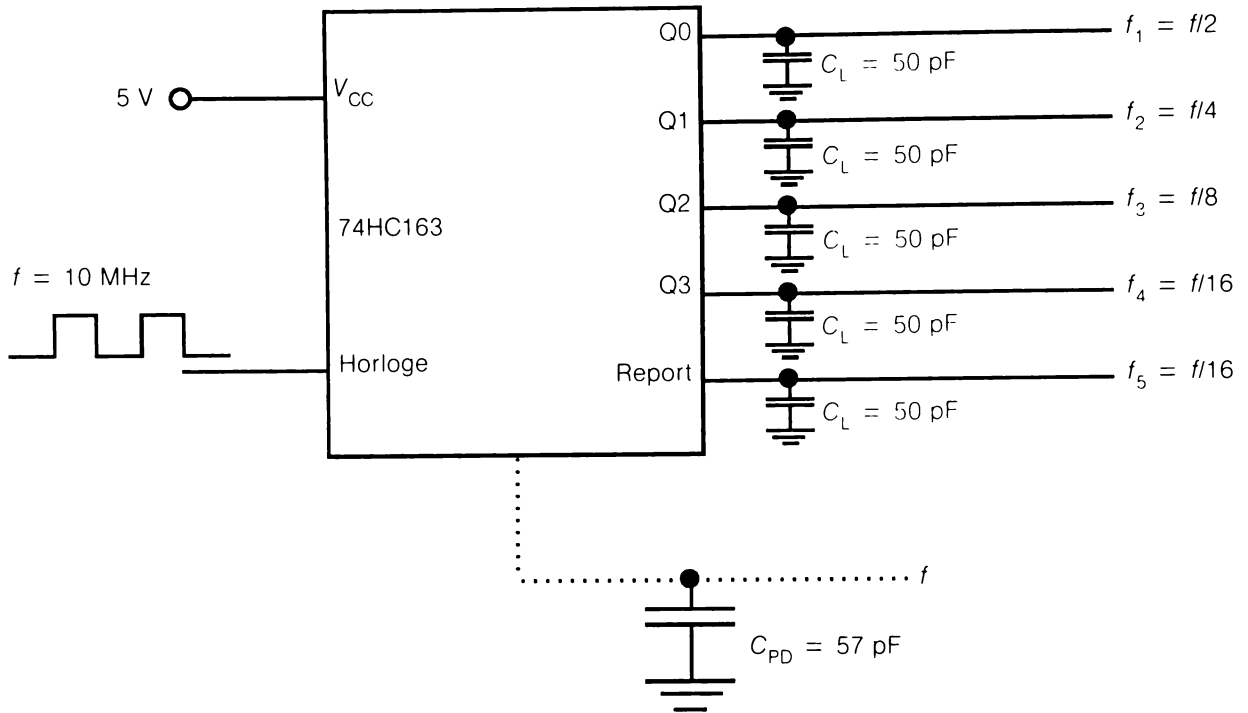


Figure 1.24 Pour la solution de l'exercice de 1.6.6. Circuit équivalent pour calculer la puissance dissipée.

La figure 1.24 illustre les données de l'exercice. La valeur de la capacité de dissipation $C_{PD} = 57 \text{ pF}$ est donnée par la fiche technique pour la fréquence maximale d'utilisation. Nous avons vu que la puissance dissipée dans le circuit pour une charge capacitive C commutée à la fréquence f par une tension V égale $P_D = CV^2f$, d'où

$$P_{\text{totale}} = C_{PD}V_{CC}^2f + C_LV_{CC}^2f/2 + C_LV_{CC}^2f/4 + C_LV_{CC}^2f/8 + C_LV_{CC}^2f/16 + C_LV_{CC}^2f/16$$

D'où, après simplification

$$P_{\text{totale}} = V_{CC}^2f(C_{PD} + C_L)$$

$$P_{\text{totale}} = 26,75 \text{ mW}$$

Remarquez que nous avons négligé la composante continue $V_{CC} I_{CC}$. La fiche technique donne $I_{CC} = 8 \mu\text{A}$. La puissance continue vaut donc $40 \mu\text{W}$; ce qui est négligeable dans ce cas.

En remplaçant le circuit par son équivalent TTL 74LS163 la puissance dissipée devient

$$P_{\text{totale}} = P_{\text{continue}} + P_{\text{alternative}}$$

La puissance continue donnée par la fiche technique est de 93 mW. La puissance alternative se calcule comme ci-dessus mais en faisant $C_{PD} = 0$ F et en prenant $V \approx 4$ V. Il vient

$$P_{\text{totale}} \approx 93 + 7 \approx 100 \text{ mW}$$

1.6.7 Résumé des puissances dissipées

La puissance dissipée dans un circuit TTL est principalement due à la puissance continue dissipée au repos. La puissance alternative est souvent négligeable jusqu'aux hautes fréquences. Dans un CMOS, la puissance au repos est pratiquement nulle. Elle augmente ensuite en fonction de la fréquence.

La puissance dissipée est souvent une variable prioritaire dans l'étude d'un projet.

1.7 Impulsions et fréquences

Selon la figure 1.25, trois variables de temps définissent une impulsion :

1. temps de transition haute t_r ;
2. largeur t_w ;
3. temps de transition basse t_f .

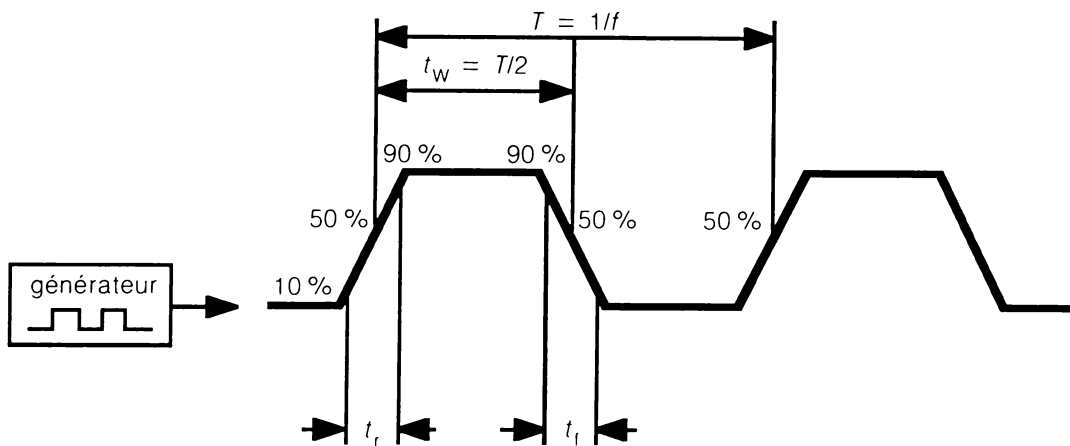


Figure 1.25 Définition d'une impulsion.

Remarquez que les temps de transition de montée t_r et de descente t_f ne sont significatifs que si on les compare à la largeur t_w . La figure 1.26 donne les oscillogrammes de trois signaux à temps de transition égaux. On voit bien que les temps de transition limitent la fréquence.

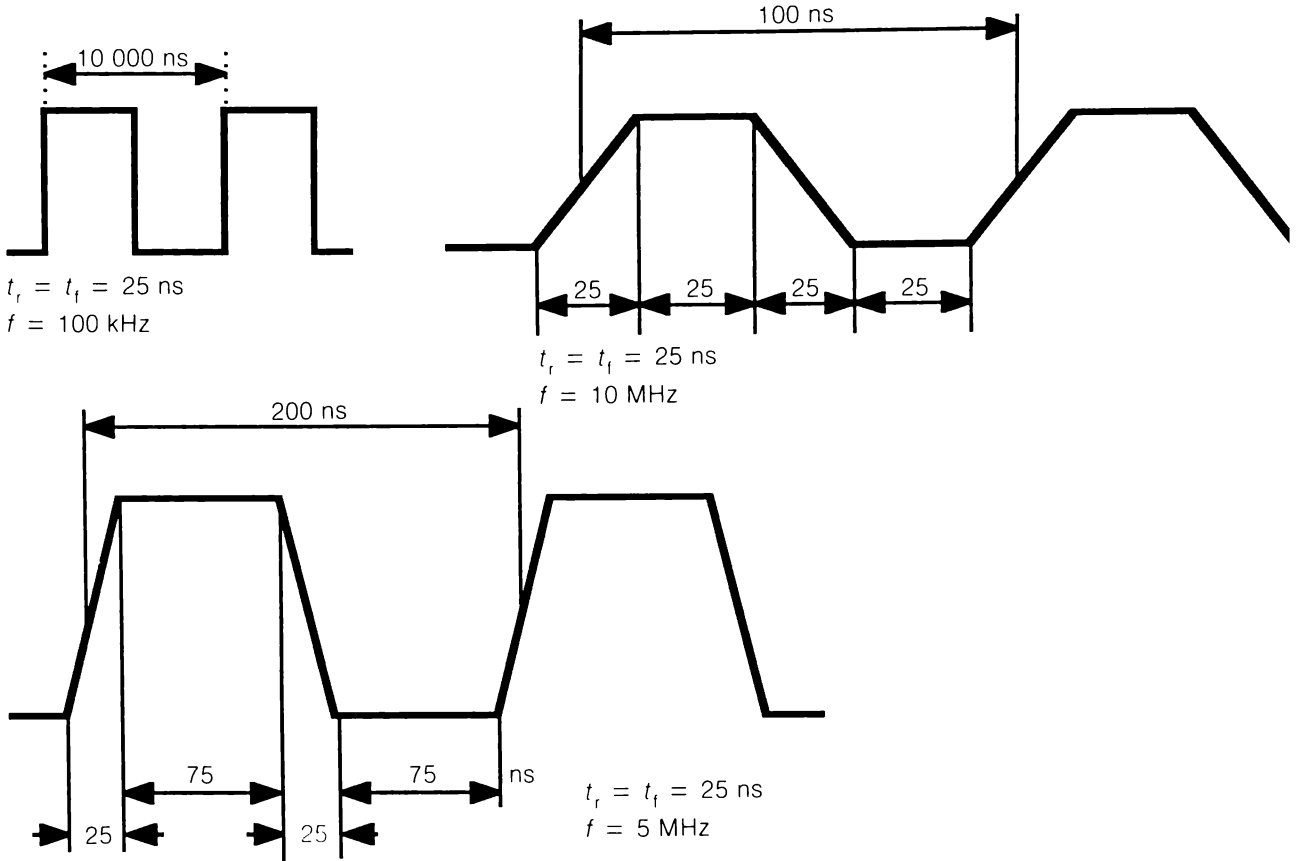


Figure 1.26 Limitation de la fréquence par les temps de transition.

1.7.1 Temps de transition et de propagation

On représente les temps de transition t_r et t_f à l'entrée du CI de la figure 1.27 par t_{TLH} et t_{THL} , T, L et H étant respectivement mis pour transition, Low (bas) et High (haut) à la sortie du CI. Mais il est possible que l'auteur de votre catalogue n'ait pas adopté ces symboles. Vous pouvez même très bien, comme nous, vous trouver en présence d'une troisième terminologie ! Nous représenterons les temps de transition à la sortie du circuit par respectivement t_{TLH} et t_{THL} . Nous représenterons les temps de propagation par t_{PLH} pour la propagation haute et t_{PHL} pour la propagation basse. C'est le temps que prend le circuit pour amener sa sortie à un niveau haut ou à un niveau bas. Le fabricant donne le point V_T : 50 % pour un CMOS, 1,3 V pour un 74LS et 74 ALS, 1,5 V pour un 74F. Ce point représente la tension de basculement du circuit. Les temps de propagation et de transition dépendent de la famille et de la série, de la charge C_L et de la tension d'alimentation dans le cas d'un CMOS de l'ancienne série 4000.

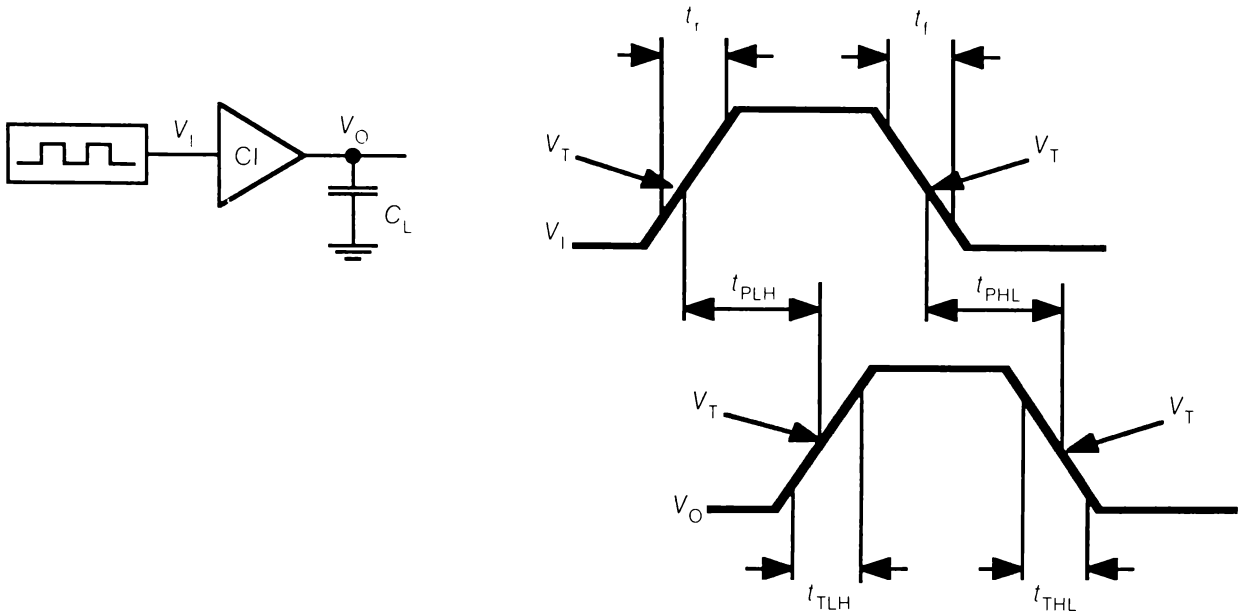


Figure 1.27 Temps de transition et de propagation d'un circuit intégré.

1.7.2 Vitesse de commutation

Montrons de nouveau que les temps de la figure 1.27 limitent la fréquence maximale de fonctionnement du circuit. Nous utiliserons les temps de propagation qui apparaissent toujours dans les fiches techniques. Selon la figure 1.28, la sortie du circuit non inverseur devrait être au niveau haut avant que l'entrée chute au niveau bas. Pour ce cas extrême :

$$t_w = t_{PLH} = T/2 \approx \frac{1}{2f_{\max}}$$

$$f_{\max} \approx \frac{1}{2t_{PLH}}$$

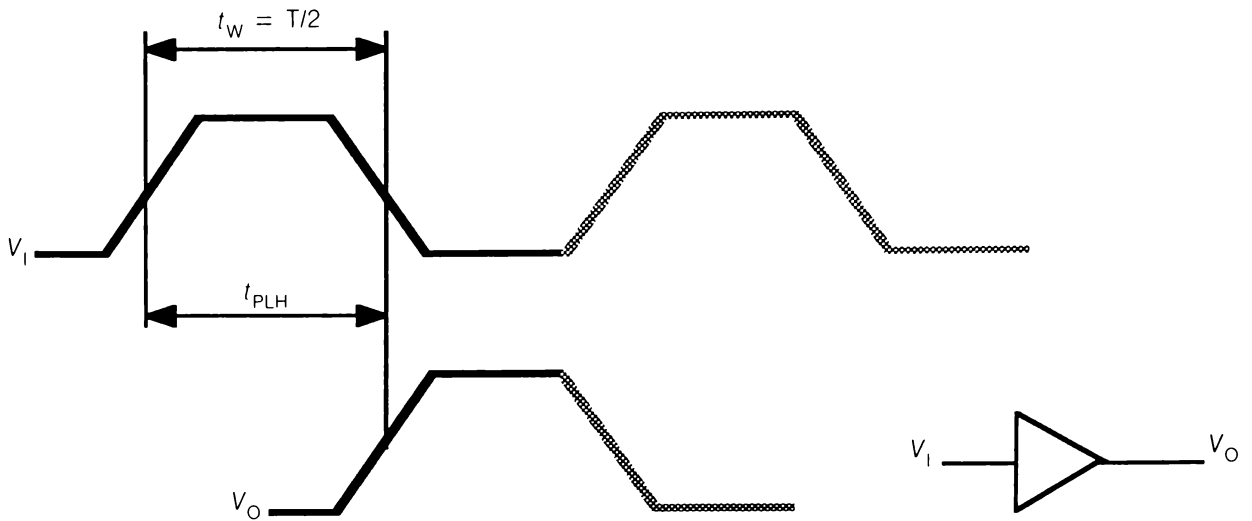


Figure 1.28 Valeur limite du temps de propagation.

$$f_{\max} \approx \frac{1}{2t_{p\max}} \quad (11)$$

Dans cette expression,

f_{\max} = fréquence maximale de commutation ;

$t_{p\max}$ = le plus grand des deux temps de propagation.

Le tableau 1.5 compare les vitesses de commutation de quelques circuits simples.

Tableau 1.5 Fréquence de commutation en fonction de C_L et de t_p .

	C_L (pF)	t_{PLH} (ns)	t_{PHL} (ns)	$f_{\max} = \frac{1000}{2 t_p}$ (MHz)
CMOS : 4011C	15	100	100	5
CMOS 74HC00	15	15	15	33
TTL 74LS00	15	15	15	33
TTL 74ALS00	50	13	9	38
TTL 74F00	50	5	4.3	100

1.7.3 Transitions parasites à l'entrée d'un CMOS

Comme le montre la figure 1.29, le seuil de basculement d'un CMOS se situe à environ 45 % de la tension d'alimentation.

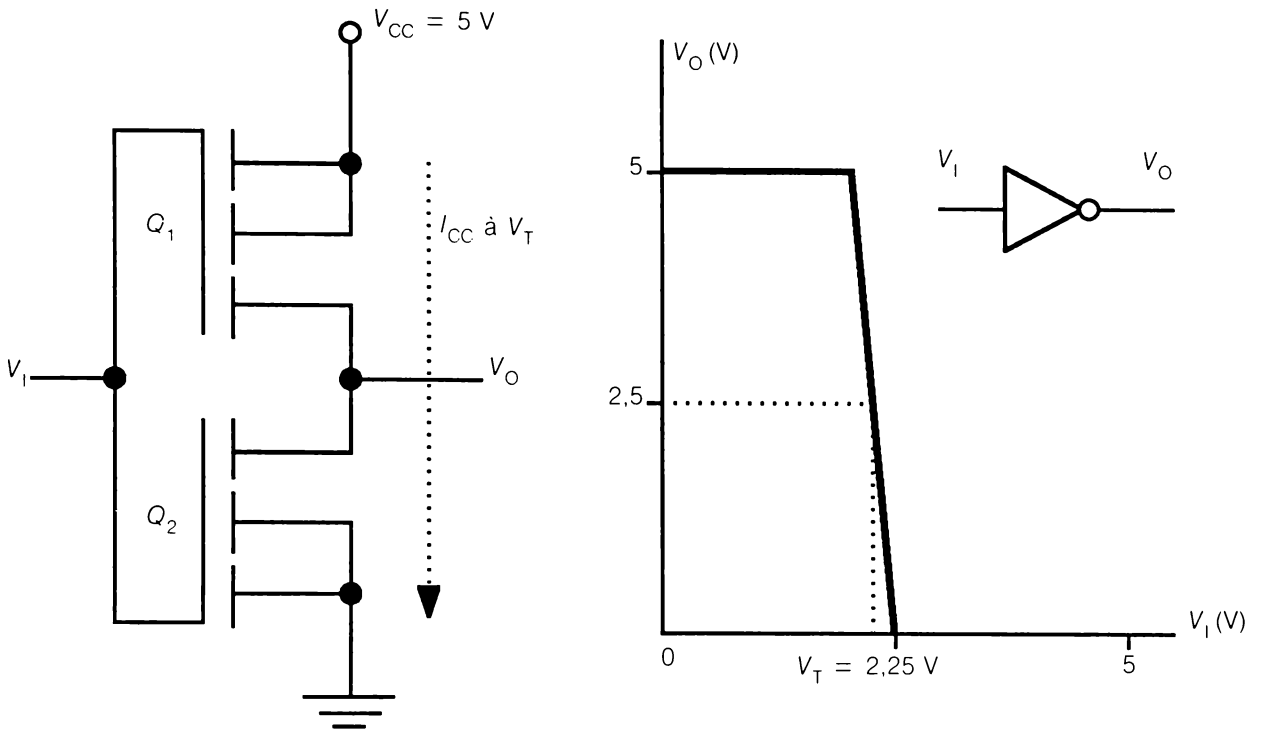


Figure 1.29 Seuil de basculement et courant parasite de transition.

Si V_I est inférieur au seuil de basculement V_T , Q_1 conduit et Q_2 est ouvert. Et quand V_I est supérieur au seuil, Q_1 est ouvert et Q_2 conduit. Dans ces deux états, le courant I_{CC} est nul. Mais quand V_I passe lentement par le point de basculement, les transistors Q_1 et Q_2 conduisent et un courant I_{CC} circule entre l'alimentation et la masse. Non seulement ce courant parasite de commutation augmente la puissance dissipée, mais il amène la sortie à osciller dans la région indéterminée ; ce que n'apprécie pas du tout les circuits raccordés en aval. En fait le circuit fonctionne comme un amplificateur extrêmement sensible au bruit de l'entrée. Pour éviter cette commutation parasite, il suffit que les temps de transition du signal d'entrée soient de courte durée comme l'indique la figure 1.30. Le chapitre suivant comporte des techniques de conformation du signal.

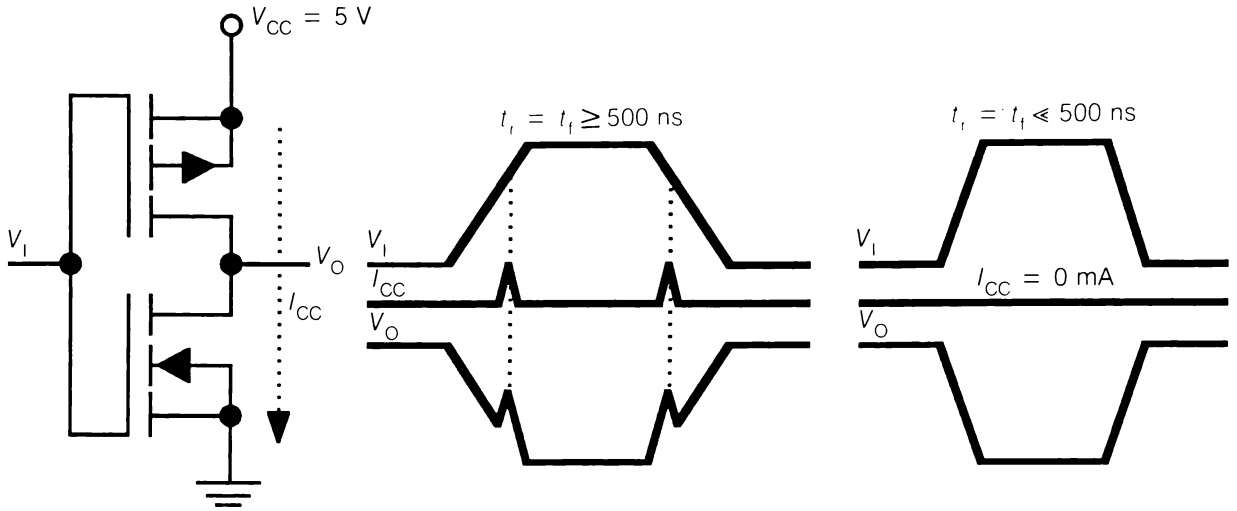


Figure 1.30 Des temps de transition trop longs à l'entrée d'un CMOS perturbent le fonctionnement du circuit.

1.7.4 Exercice sur la limitation en fréquence

Vérifiez graphiquement qu'un signal carré de 20 MHz est incompatible avec des transitions de 30 ns.

Solution

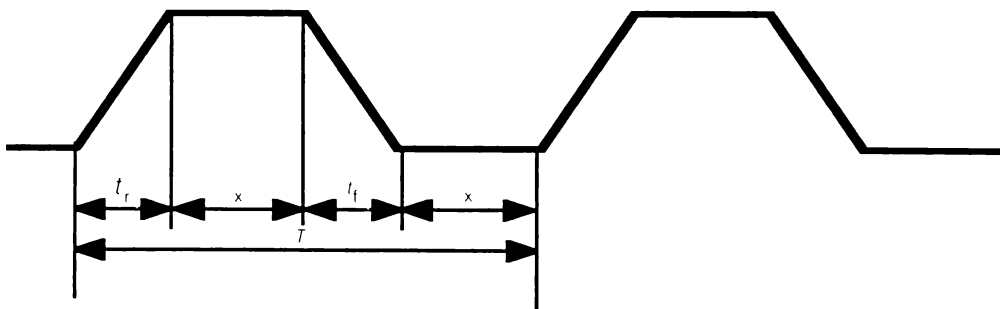


Figure 1.31 Pour la solution de l'exercice de 1.7.4. La somme des temps partiels est égale à la période T .

$$T = \frac{1}{f} = 50 \text{ ns}$$

$$t_r = t_f = 30 \text{ ns}$$

$$T = t_r + t_f + 2x \text{ (figure 1.31)}$$

$$x = \frac{T - t_r - t_f}{2} = \frac{50 - 30 - 30}{2} = -5 \text{ (à rejeter)}$$

1.7.5 Exercice sur la fréquence de commutation

Calculez la fréquence de commutation du 74HC00 chargé par 50 pF et alimenté sous $V_{CC} = 5\text{ V}$.

Solution

La fiche technique donne

$$t_{PLH} = t_{PHL} = 18\text{ ns}$$

La formule (11) élaborée pour les circuits de base donne

$$f_{\max} = \frac{1}{2t_{P\max}} = \frac{1}{2 \times 18\text{ ns}} = 28\text{ MHz.}$$

1.7.6 Résumé des impulsions et fréquences

Nous avons vu l'importance qu'ont les temps de propagation sur la fréquence de commutation. Même si l'on dispose de bons instruments de mesure, la détection et la correction d'un défaut dû au non-respect des temps de propagation est toujours une opération frustrante. Mais faut-il toujours faire une étude dynamique chaque fois que l'on utilise un circuit? En logique combinatoire restreinte, ce n'est pas souvent nécessaire. Mais en logique séquentielle (même restreinte) une étude dynamique est souvent indispensable. Nous en ferons au chapitre 2. Les temps de transition sont surtout utiles dans les essais évaluatifs et de mise au point.

1.8 Expériences de laboratoire

1. Circuit TTL de base

1a. Tracez la courbe de transfert du circuit représenté à la figure 1.32.

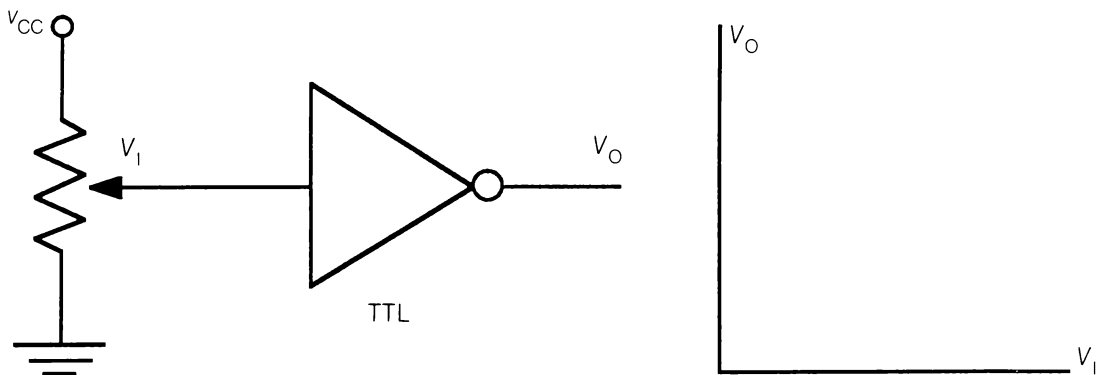


Figure 1.32 Pour l'expérience 1a.

1b. Mesurez la tension V_{OH} du circuit représenté à la figure 1.33 dans les conditions définies par la fiche technique telles $I_{OH\max}$, etc.

32 CIRCUITS NUMÉRIQUES

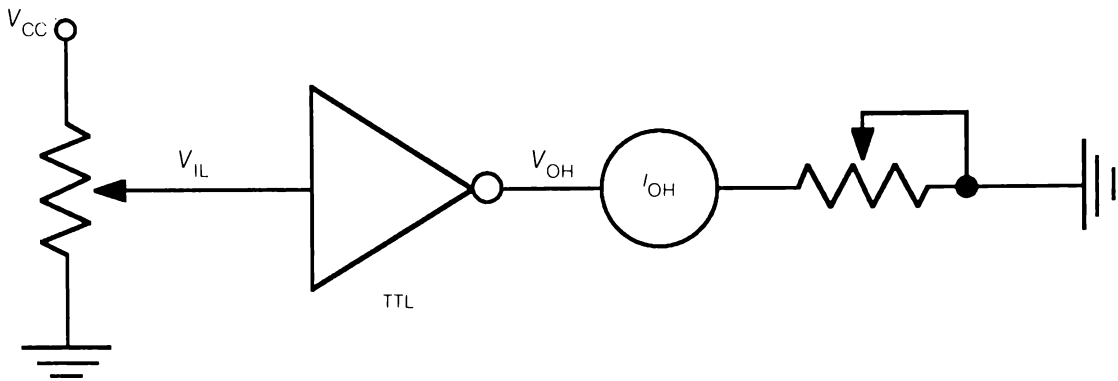


Figure 1.33 Pour l'expérience 1b.

- 1c. Mesurez la tension V_{OL} du circuit représenté à la figure 1.34 dans les conditions définies par la fiche technique.

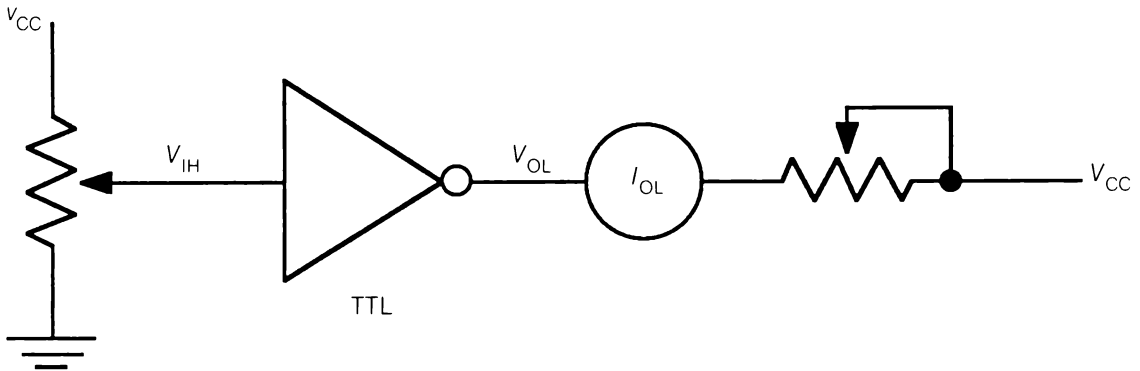


Figure 1.34 Pour l'expérience 1c.

- 1d. Mesurez le courant I_{IL} du circuit représenté à la figure 1.35 dans les conditions définies par la fiche technique.

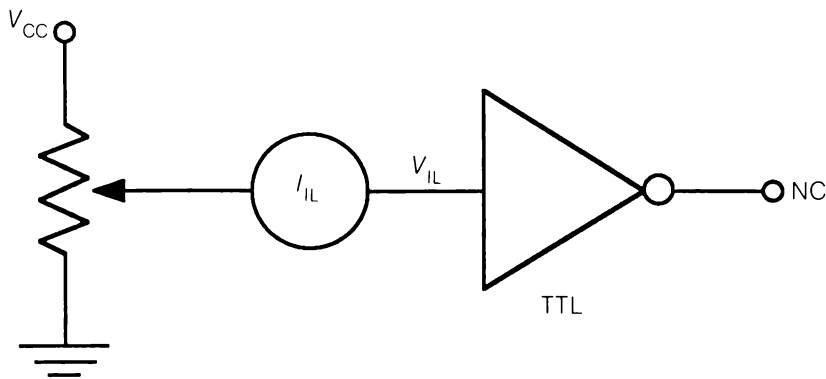


Figure 1.35 Pour l'expérience 1d.

- 1e. Mesurez le courant I_{OS} (courant de sortie en court-circuit) du circuit représenté à la figure 1.36.

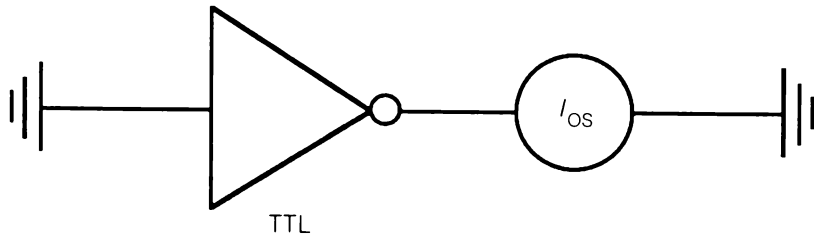


Figure 1.36 Pour l'expérience 1e.

2. Circuit CMOS de base

2a. Tracez la courbe de transfert du circuit représenté à la figure 1.37.

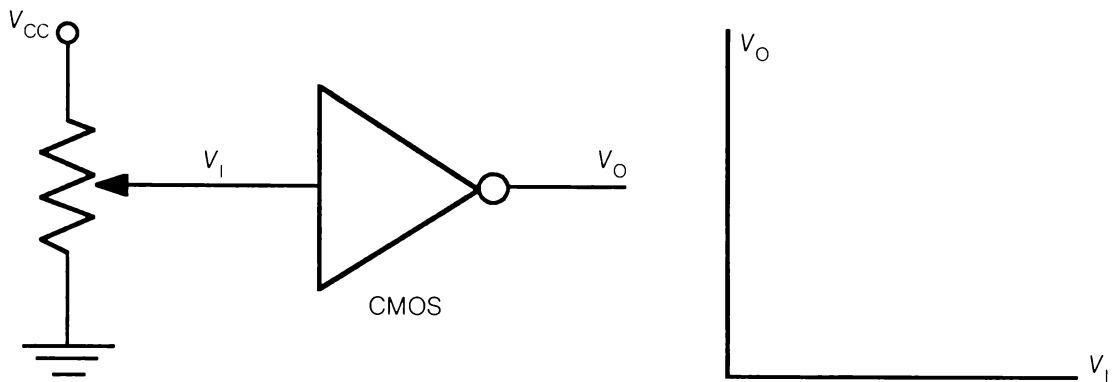


Figure 1.37 Pour l'expérience 2a.

2b. Mesurez le courant I_{OH} du circuit représenté à la figure 1.38 dans les conditions définies par la fiche technique.

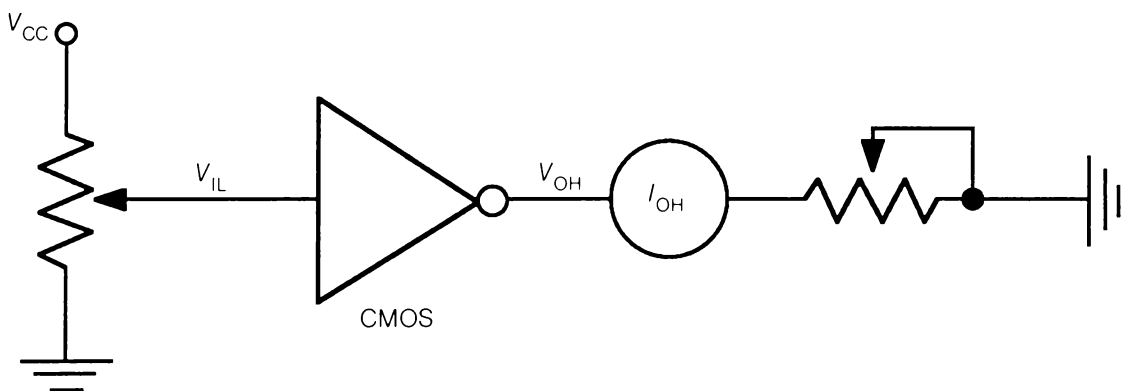


Figure 1.38 Pour l'expérience 2b.

2c. Mesurez le courant I_{OL} , du circuit représenté à la figure 1.39, défini par le fabricant.

34 CIRCUITS NUMÉRIQUES

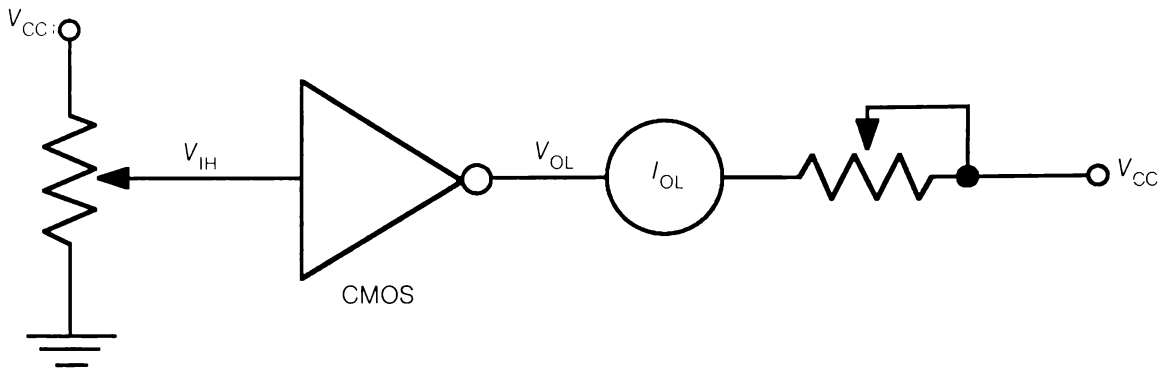


Figure 1.39 Pour l'expérience 2c.

2d. Mesurez le courant I_{CC} à vide du circuit représenté à la figure 1.40.

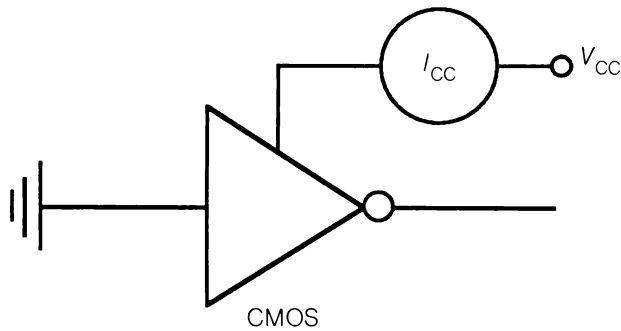


Figure 1.40 Pour l'expérience 2d.

2e. Mesurez le courant de court-circuit I_{OS} du circuit représenté à la figure 1.41.

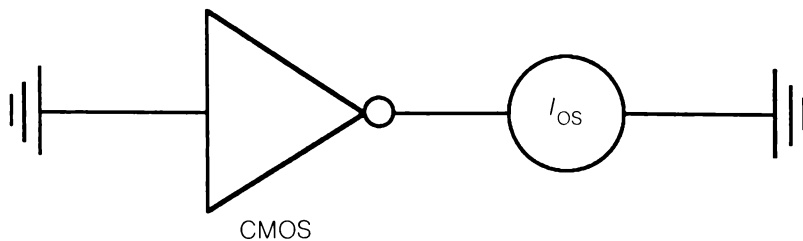


Figure 1.41 Pour l'expérience 2e.

3. Chronogramme de base

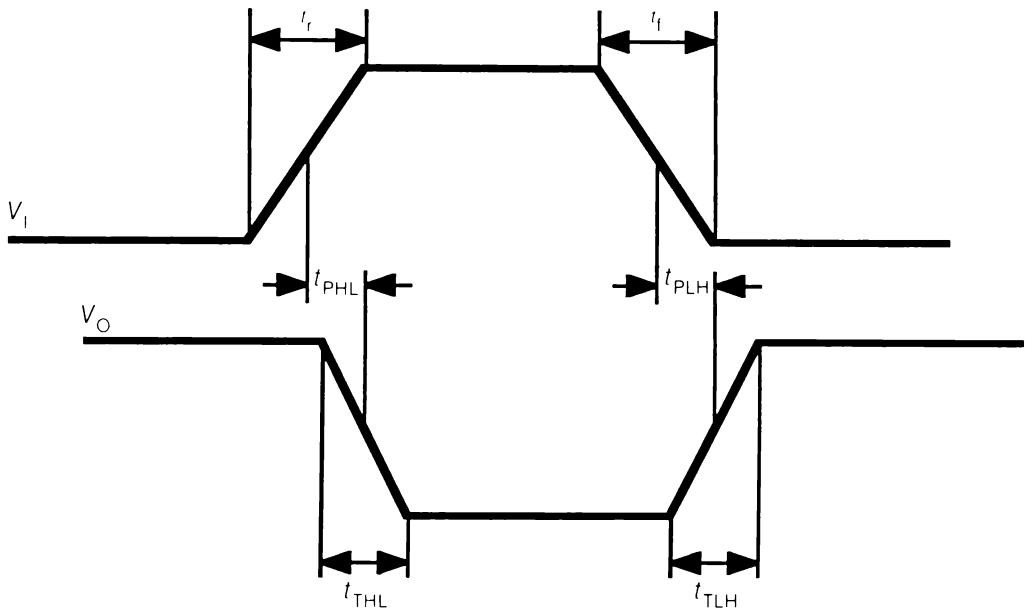
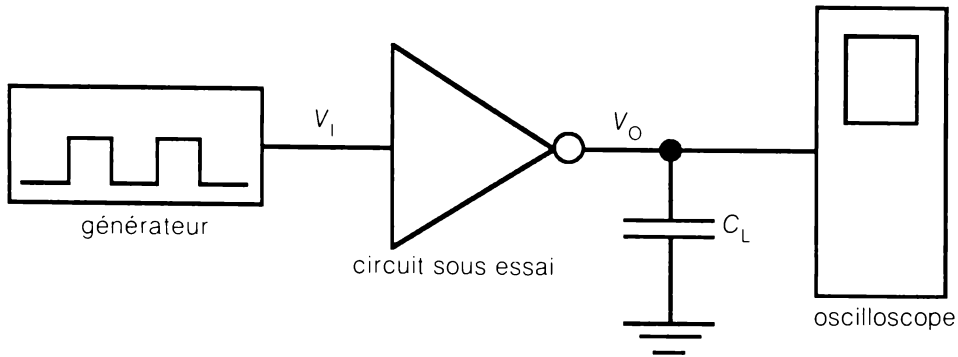


Figure 1.42 Pour l'expérience 3.

Mesurez les temps du circuit représenté à la figure 1.42 dans des conditions qui vous permettront de les comparer à ceux fournis par la fiche technique.

- N.B.** a) Si votre équipement n'est pas sophistiqué, utilisez un circuit intégré assez lent de la série 4000, par exemple ;
 b) N'oubliez pas de mesurer la capacité des câbles d'essai.

4. Capacités de dissipation, de charge et d'entrée

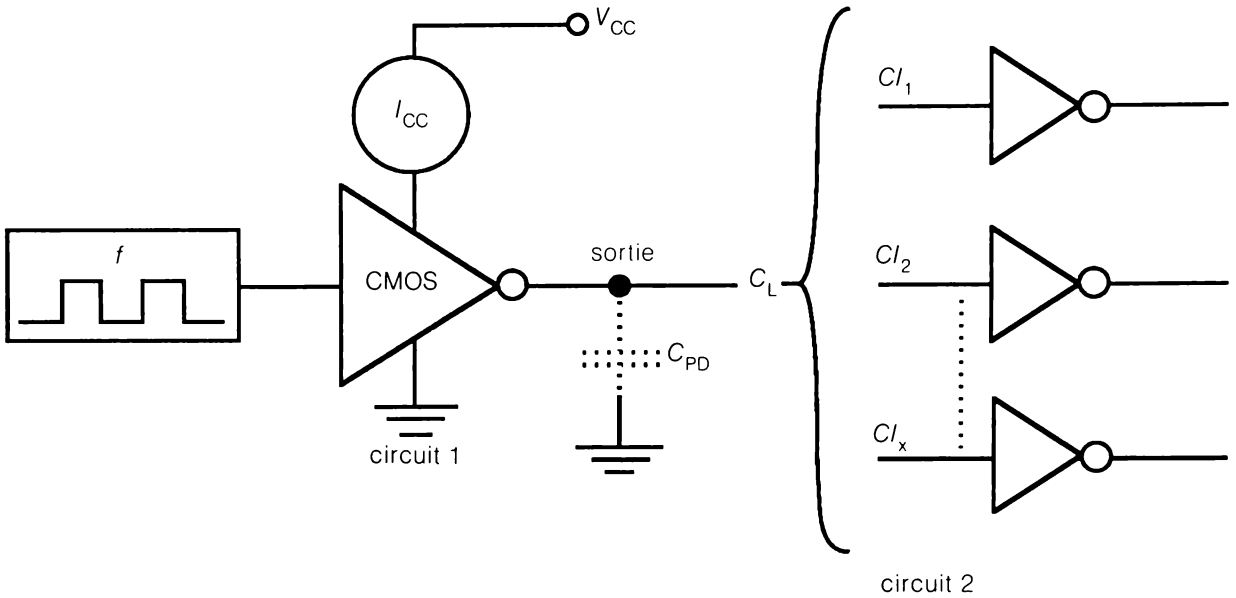


Figure 1.43 Pour l'expérience 4.

Soit le circuit représenté à la figure 1.43.

- a) Calculez la capacité de dissipation C_{PD} du circuit 1 ;
- b) Calculez la capacité d'entrée C_I du circuit 2 ;
- c) Comparez vos résultats avec ceux du fabricant.

Suggestions

- a) Pour $f = 0$ Hz et la sortie ouverte vous devez mesurer $I_{CC} \approx 0 \mu A$;
- b) Montez jusqu'à $f \approx 150$ kHz ou jusqu'à une lecture convenable du micro-ampèremètre. Expérimentez autant que possible dans les mêmes conditions que le fabricant ;
- c) Vous pouvez maintenant calculer C_{PD} ;
- d) Chargez le circuit avec une, deux, trois, x entrées du circuit 2 (que vous n'oubliez pas d'alimenter) et mesurez chaque fois le courant I_{CC} . N'ajoutez pas de capacité parasite (ex. : oscilloscope).
- e) Calculez $C_{total} = C_{PD} + C_L$ et C_I .

4. Courant de sortie pratique

Soit le montage de la figure 1.47.

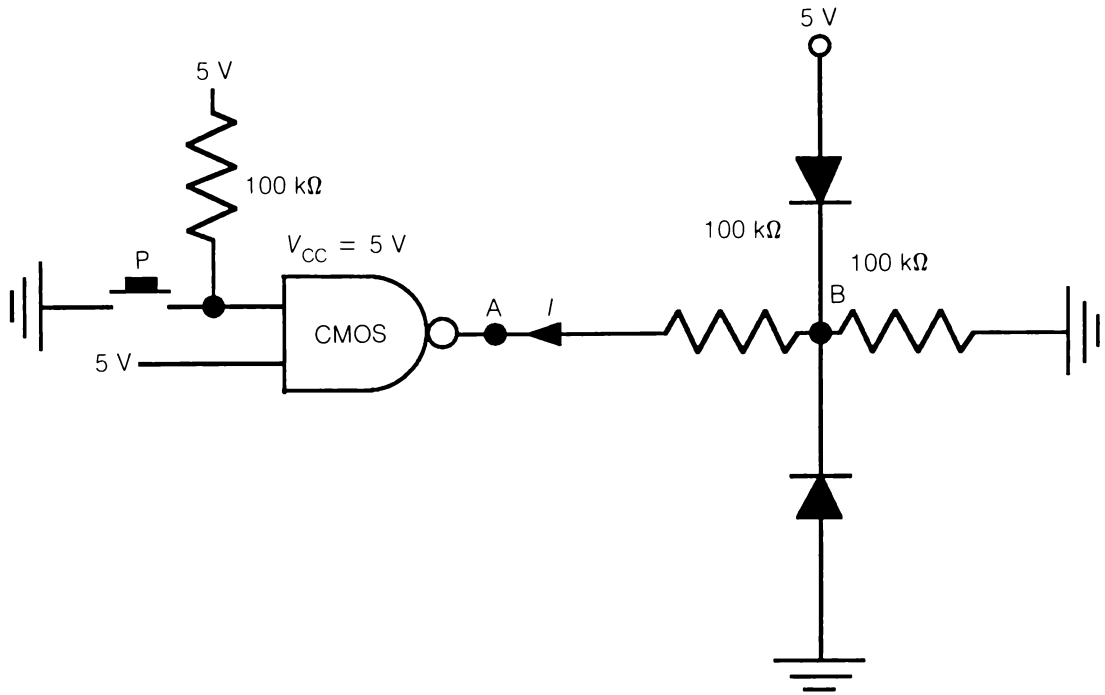


Figure 1.47 Pour le problème 4.

Quand P est relâché, trouvez

- a) la tension en A ;
- b) la tension en B ;
- c) le courant I .

Quand P est enfoncé, trouvez

- d) la tension en A ;
- e) la tension en B ;
- f) le courant I .

1.9 Problèmes

1. Incompatibilité TTL et CMOS

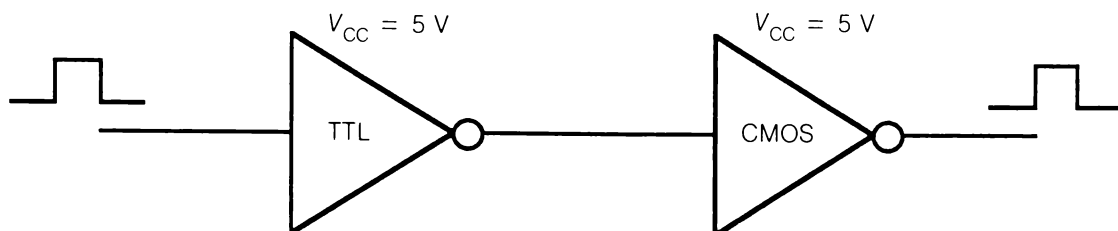


Figure 1.44 Pour le problème 1.

Pourquoi le montage de la figure 1.44 est-il incohérent ?

2. Tension d'entrée et tension d'alimentation

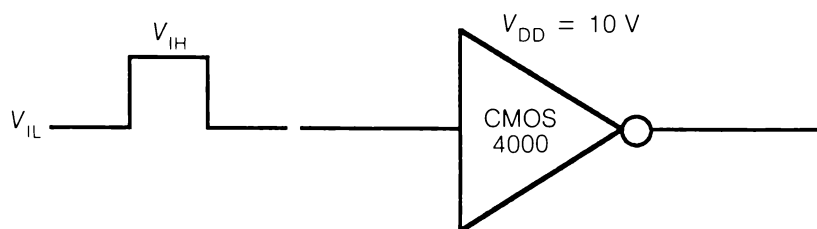


Figure 1.45 Pour le problème 2.

Trouvez V_{ILmax} et V_{IHmin} du circuit intégré de la figure 1.45.

3. Tension de sortie pratique

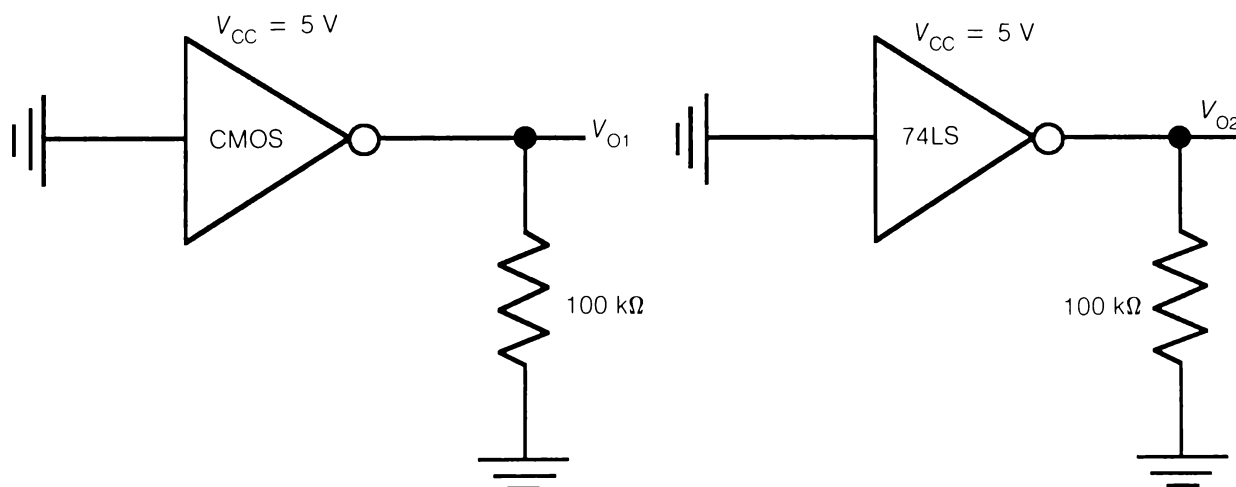


Figure 1.46 Pour le problème 3.

Quelle est la valeur approximative de V_{O1} et celle de V_{O2} du CMOS et du 74LS de la figure 1.46 ?

5. Courant d'entrée d'un TTL

Soit le montage de la figure 1.48.

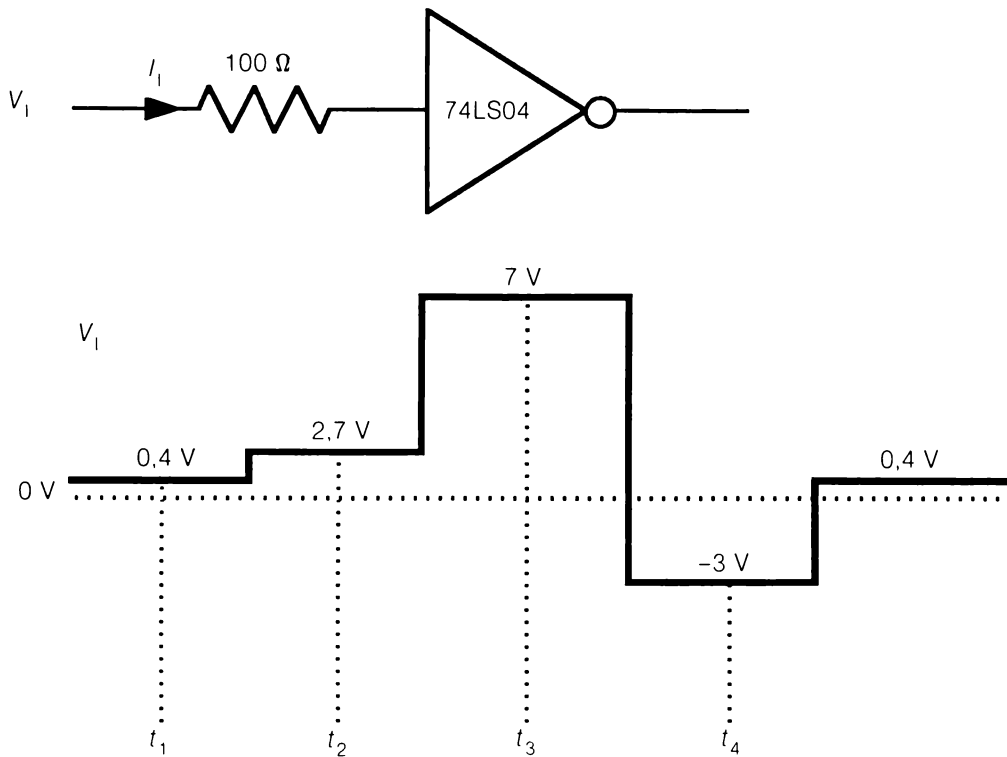


Figure 1.48 Pour le problème 5.

Consultez la fiche technique du 74LS04 et déterminez le courant max ou min I_I aux instants

- t_1 ;
- t_2 ;
- t_3 ;
- t_4 .

Remarque : Vous pouvez utiliser la fiche technique du 74LS00 pour tous les circuits de base SSI de la série 74LS.

40 CIRCUITS NUMÉRIQUES

6. Courant de sortie d'un TTL

Soit le montage de la figure 1.49.

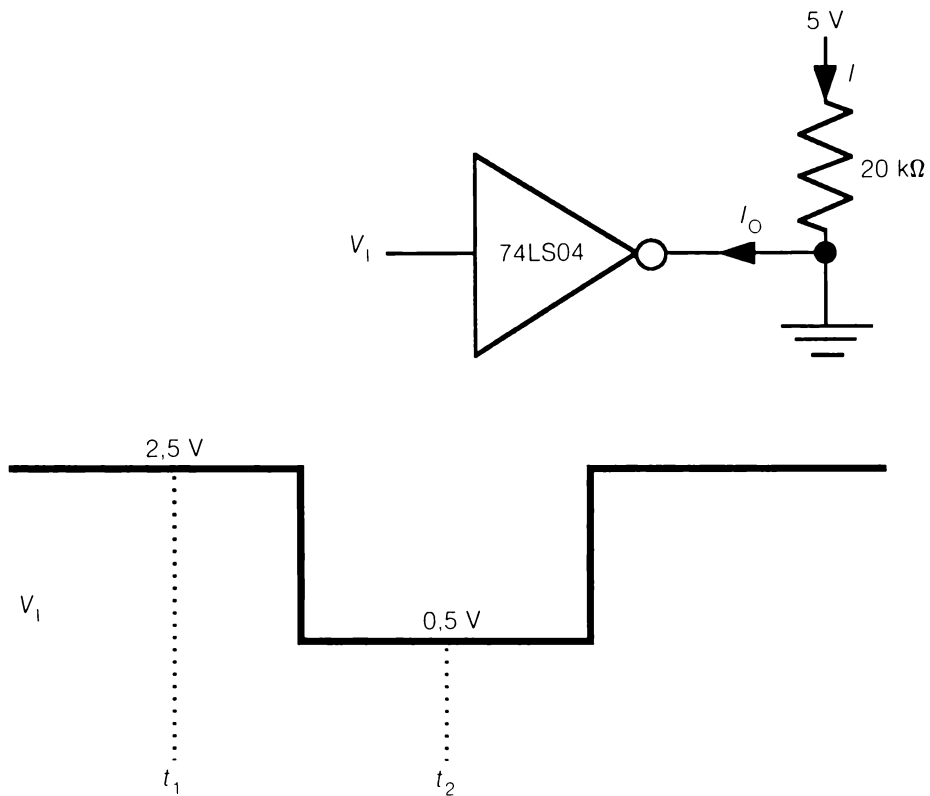
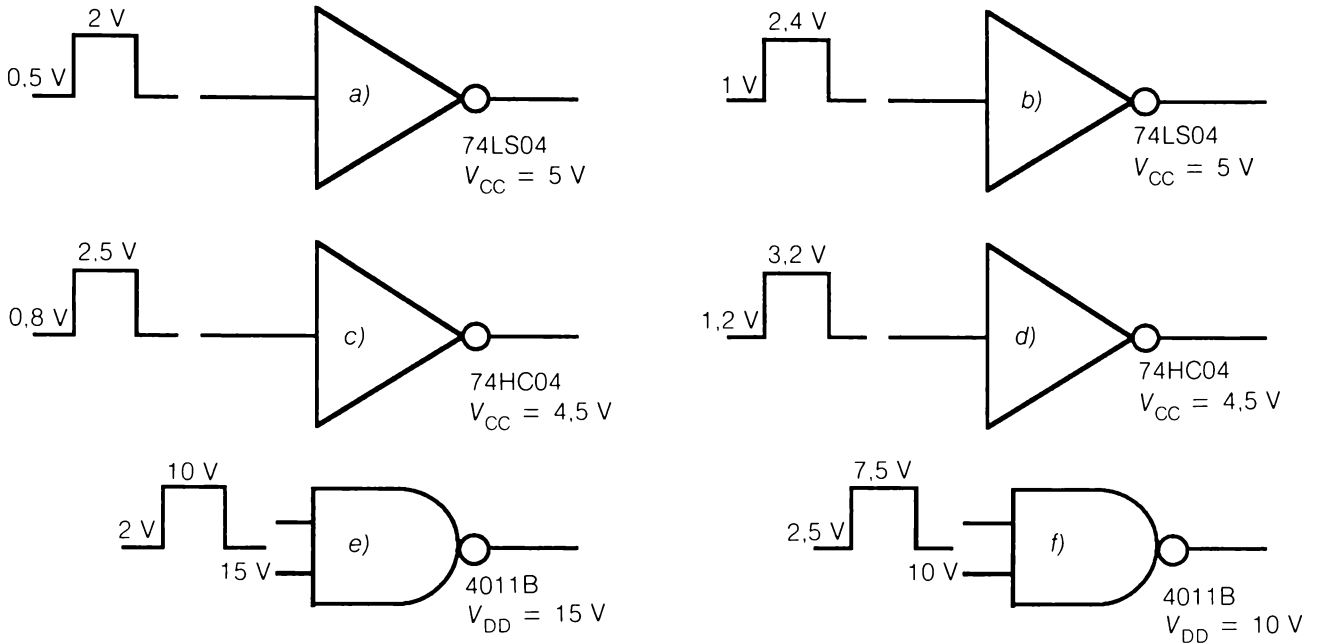


Figure 1.49 Pour le problème 6.

Consultez la fiche technique et le schéma du 74LS04, et déterminez les courants max ou min I_O et I aux instants

- t_1 ;
- t_2 .

7. Tensions d'entrée permises**Figure 1.50** Pour le problème 7.

Considérez l'impulsion d'attaque de chaque circuit de la figure 1.50 et dites si elle est permise ou interdite. Dans ce dernier cas, justifiez votre réponse.

8. Charges non classiques

Soit le montage de la figure 1.51.

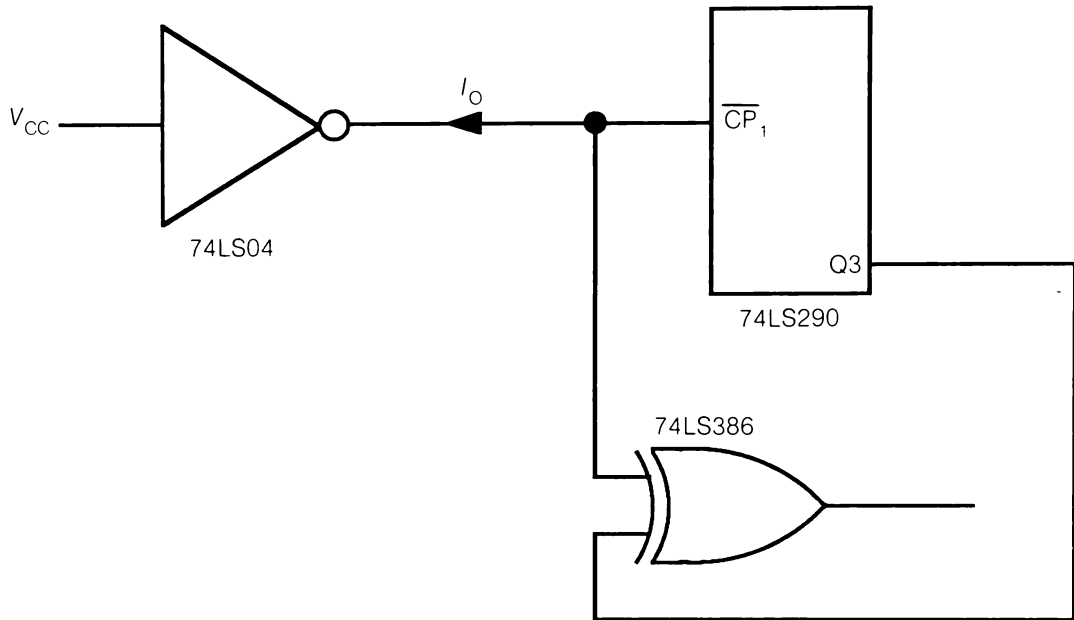


Figure 1.51 Pour le problème 8.

Déterminez le courant I_{Omax} .

La fiche technique du 74LS290 donne $I_{IL} (\overline{CP}_1)_{max} = -3,2 \text{ mA}$

9. Courant d'alimentation d'un TTL

Soit le montage de la figure 1.52.

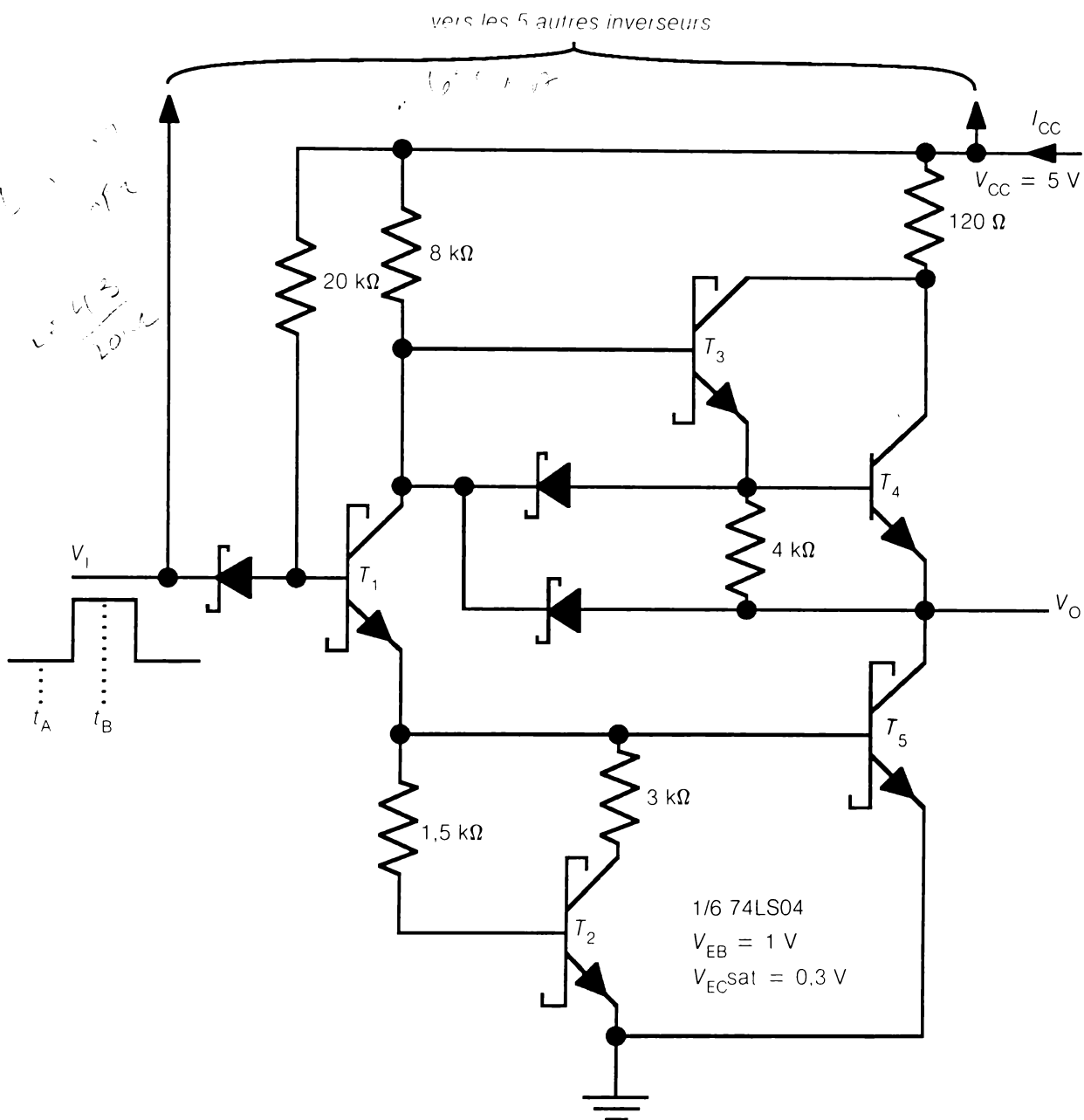


Figure 1.52 Pour le problème 9.

Calculez aux instants

- t_A , le courant I_{CC} , appelé I_{CCH} , pour la sortie de niveau haut ;
- t_B , le courant I_{CC} , appelé I_{CCL} , pour la sortie de niveau bas.

10. Puissance dissipée dans un TTL

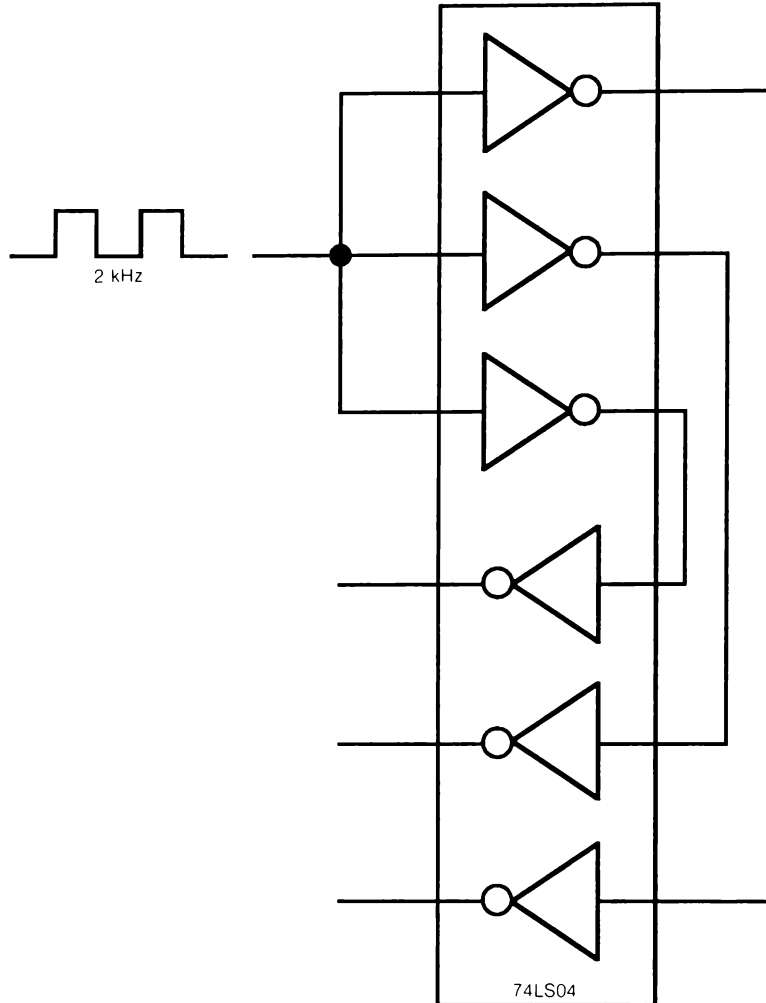


Figure 1.53 Pour le problème 10.

Calculez la puissance dissipée dans le CI de la figure 1.53. La capacité d'une entrée 74LS est de l'ordre de 5 pF.

11. Puissance dissipée en fonction de la charge

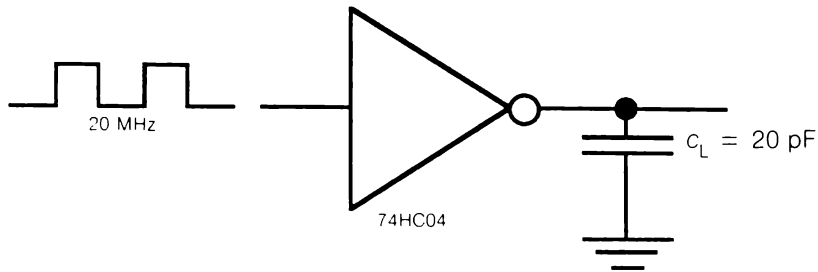


Figure 1.54 Pour le problème 11.

Calculez la puissance dissipée dans le CI de la figure 1.54.

12. Puissance en fonction de la fréquence

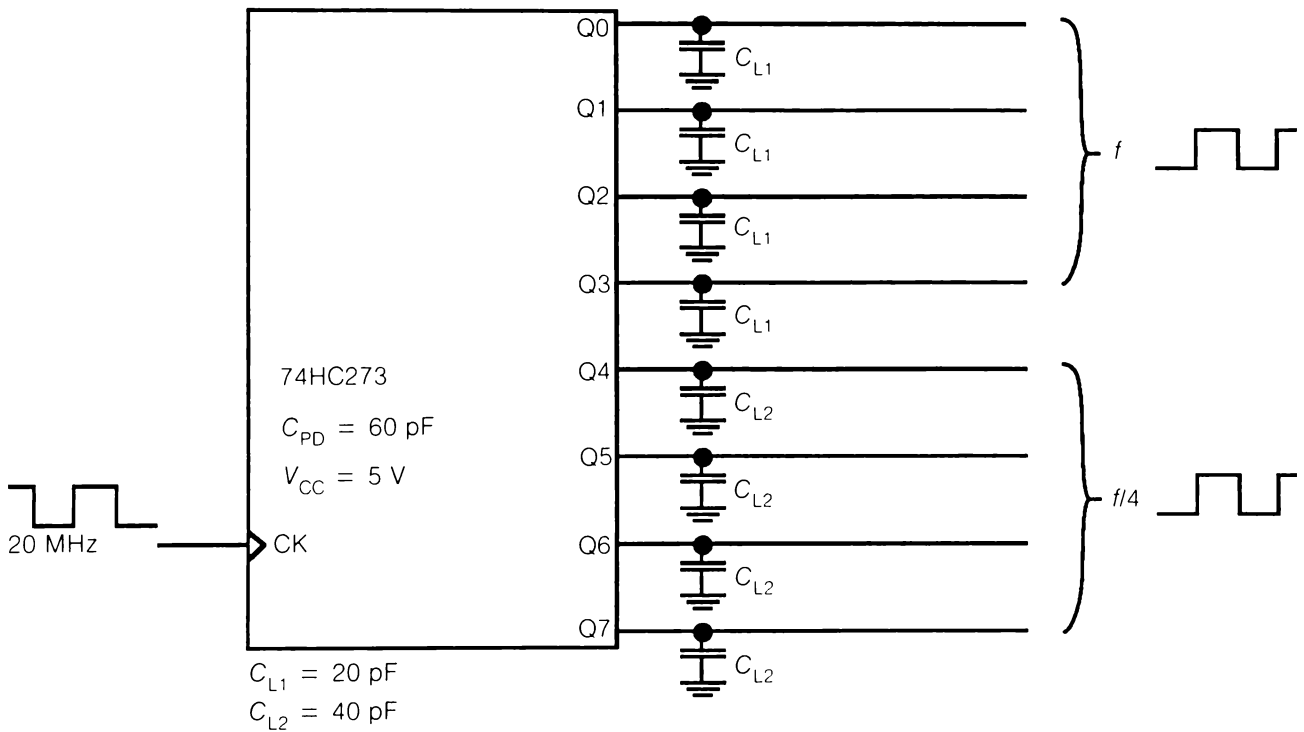


Figure 1.55 Pour le problème 12.

Calculez la puissance dissipée dans le CI de la figure 1.55.

13. Bascule de Schmitt

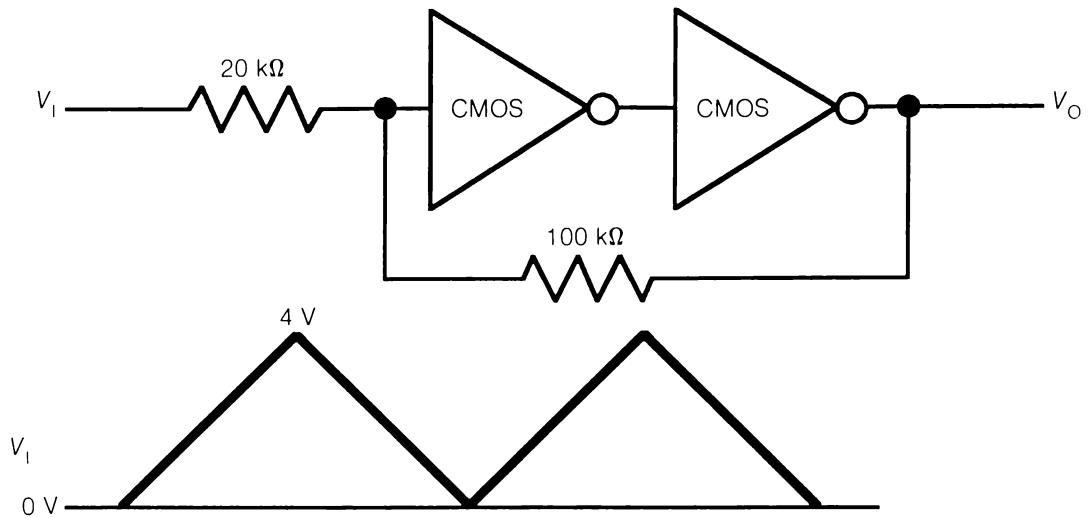


Figure 1.56 Pour le problème 13.

Soit le montage de la figure 1.56. Supposez que le seuil de basculement des inverseurs est de 2,5 V. Calculez les tensions de basculement du déclencheur et tracez le signal de sortie V_O .

14. Bascule de Schmitt à seuil variable

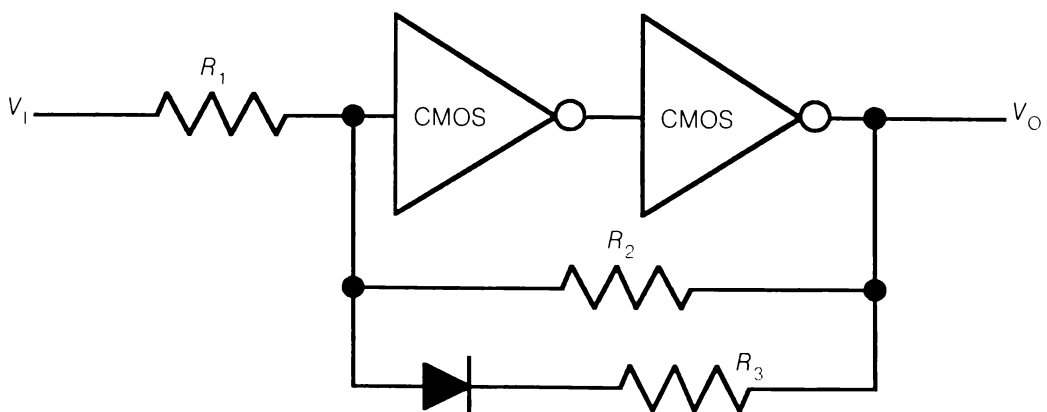


Figure 1.57 Pour le problème 14.

Soit le montage de la figure 1.57. Supposez que le seuil de basculement des inverseurs est de 2,2 V et calculez R_1 , R_2 et R_3 pour obtenir $V_{T+} = 2,5$ V et $V_{T-} = 2$ V.

15. Multivibrateur monostable déclenché sur la transition haute

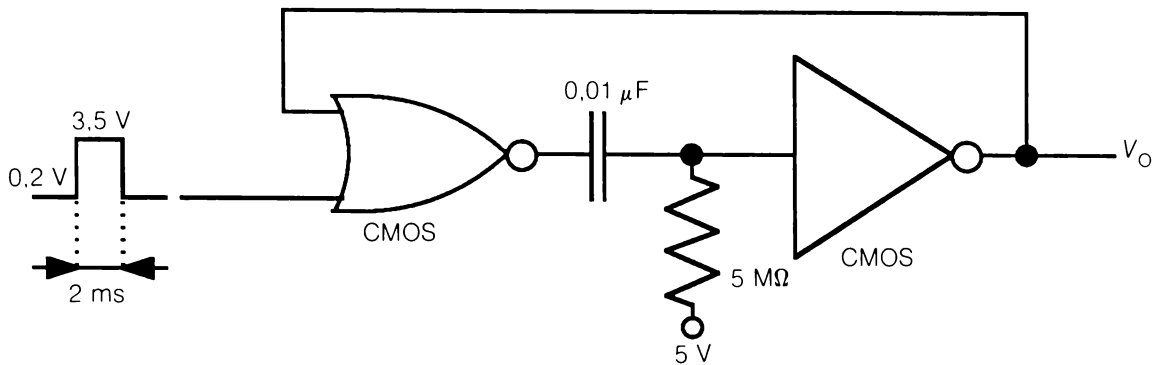


Figure 1.58 Pour le problème 15.

Soit le montage de la figure 1.58. Supposez que le seuil de basculement de l'inverseur est de 2,2 V. Calculez la largeur de l'impulsion de sortie V_O et tracez cette impulsion.

16. Multivibrateur monostable à excursion limitée

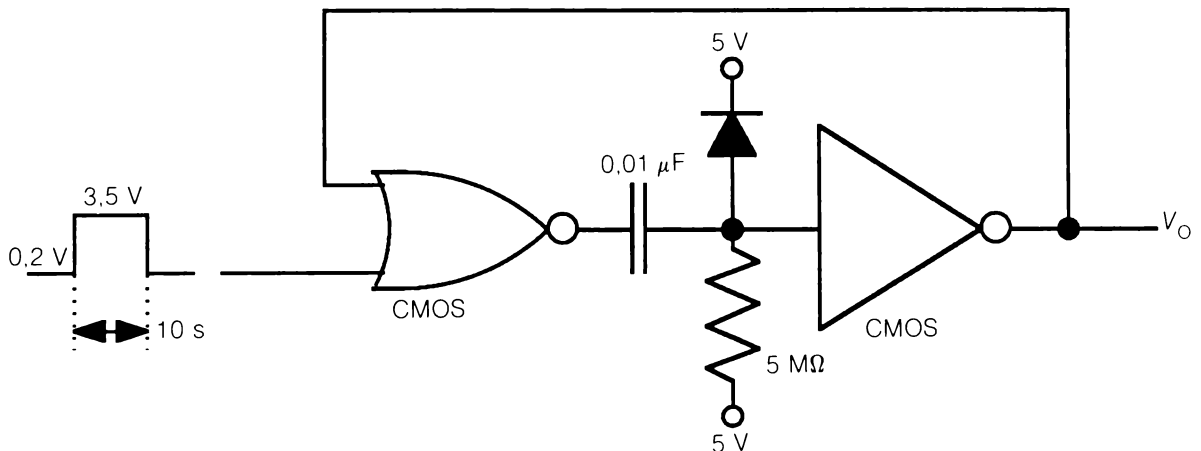


Figure 1.59 Pour le problème 16.

Soit le montage de la figure 1.59. Supposez que le seuil de basculement de l'inverseur est de 2,2 V. Calculez la largeur de l'impulsion de sortie V_O .

17. **Multivibrateur monostable actionné durant la transition basse**

Avec deux portes CMOS, implantez un multivibrateur monostable déclenchant sur la transition basse.

18. **Horloge ou multivibrateur astable**

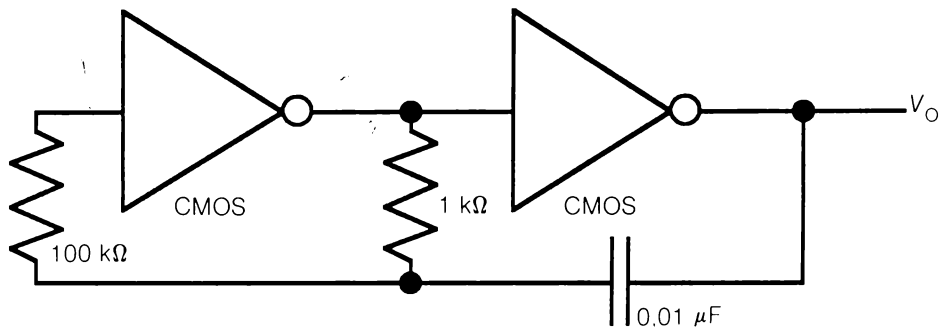


Figure 1.60 Pour le problème 18.

Soit le montage de la figure 1.60. Supposez que le seuil de basculement des inverseurs est de 2,5 V et calculez la fréquence du signal de sortie V_O .

19. Temps de transition et de propagation de la série 4000

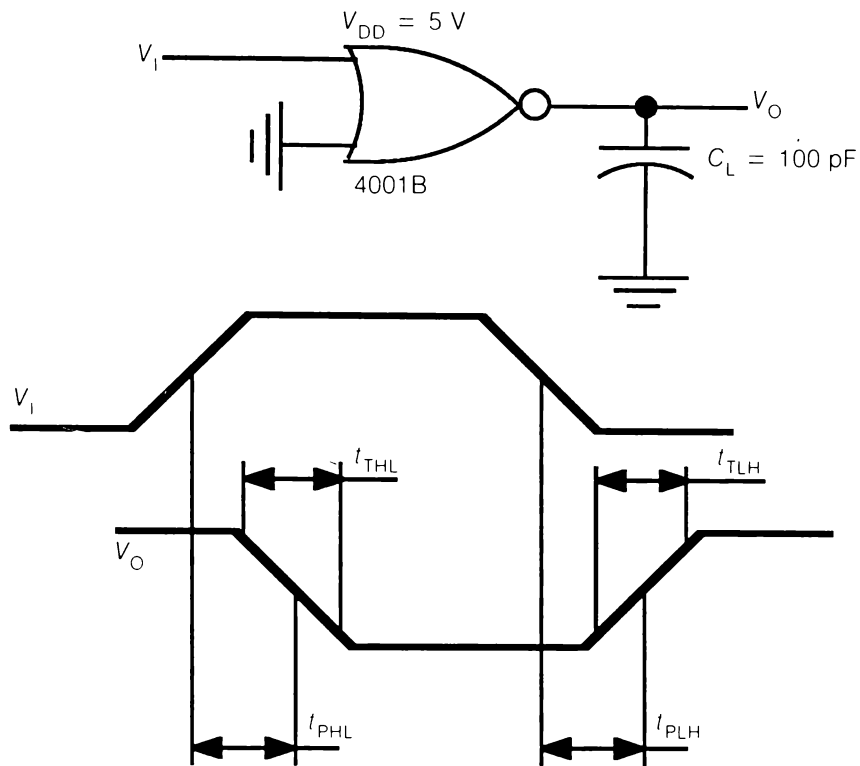
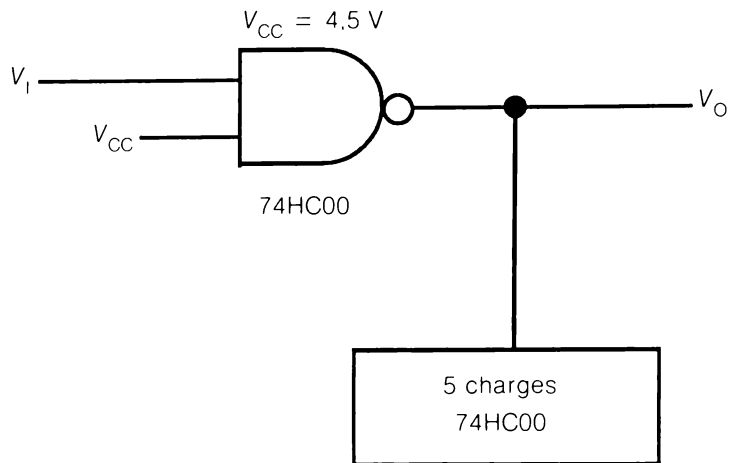


Figure 1.61 Pour le problème 19.

Soit le montage de la figure 1.61. Consultez la fiche technique du 4001B et calculez

- t_{TLH} ;
- t_{THL} ;
- t_{PLH} ;
- t_{PHL} .

20. Temps de transition et de propagation de la série 74HC



Utiliser les valeurs garanties à 25 °C

Figure 1.62 Pour le problème 20.

Soit le montage de la figure 1.62. Consultez la fiche technique du 74HC00 et déterminez

- a) t_{TLH} ;
- b) t_{THL} ;
- c) t_{PLH} ;
- d) t_{PHL} .

Utilisez les valeurs garanties à 25°C.

Interface de CI de base

2

2.1 Objectifs

Après étude de ce chapitre, l'étudiant devra savoir

1. Utiliser dans un même montage des CI de séries différentes.
2. Utiliser dans un même montage des CI de familles différentes.
3. Calculer les sortances des circuits intégrés dans le cas de charges non homogènes.
4. Disposer des entrées non utilisées.
5. Déceler les incompatibilités dues aux temps de transition des circuits intégrés.
6. Déterminer la plage d'immunité au bruit d'un montage.
7. Choisir une résistance de rappel.
8. Démystifier les circuits 3 états.
9. Résoudre les problèmes des rebonds.
10. Envoyer des signaux logiques sur une ligne de transmission.
11. Rendre un montage cohérent à l'aide des fiches techniques.

2.2 Interface TTL — TTL

Le nombre de charges identiques que peut supporter un circuit TTL égale le rapport de son courant de sortie au courant d'entrée d'une charge. Ainsi, selon la figure 2.1, la sortance haute égale I_{OH}/I_{IH} et la sortance basse égale I_{OL}/I_{IL} .

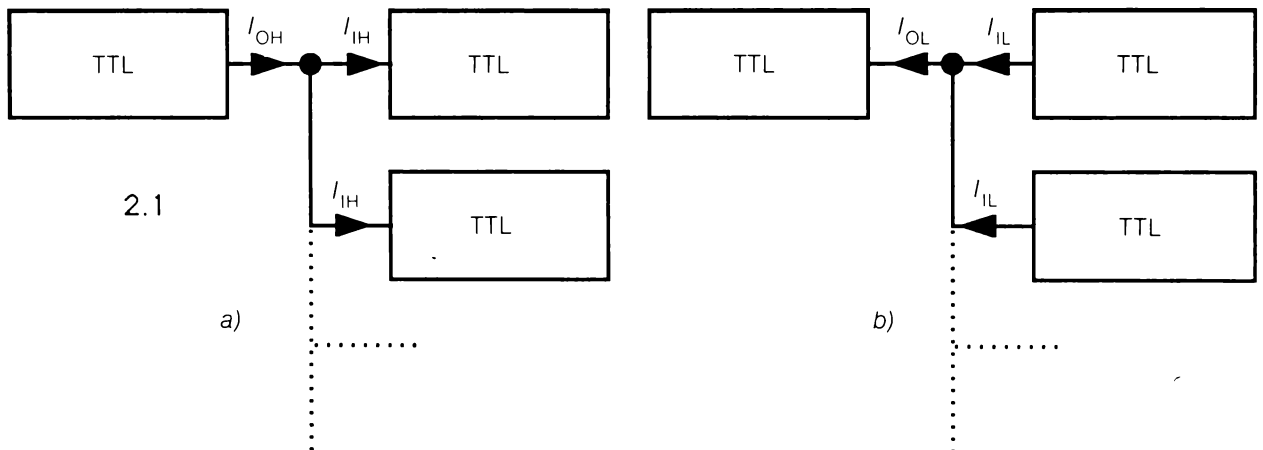


Figure 2.1 a) sortance haute = I_{OH}/I_{IH} ; b) sortance basse = I_{OL}/I_{IL} . I_{OH} = courant de sortie haut, I_{IH} = courant d'entrée haut, I_{OL} = courant de sortie bas, I_{IL} = courant d'entrée bas.

Les courants de sortie et d'entrée des circuits TTL de base apparaissent au tableau 2.1. Ces courants permettent, par exemple, de trouver la sortance du 74LS00 pour des charges 74F02. Il vient :

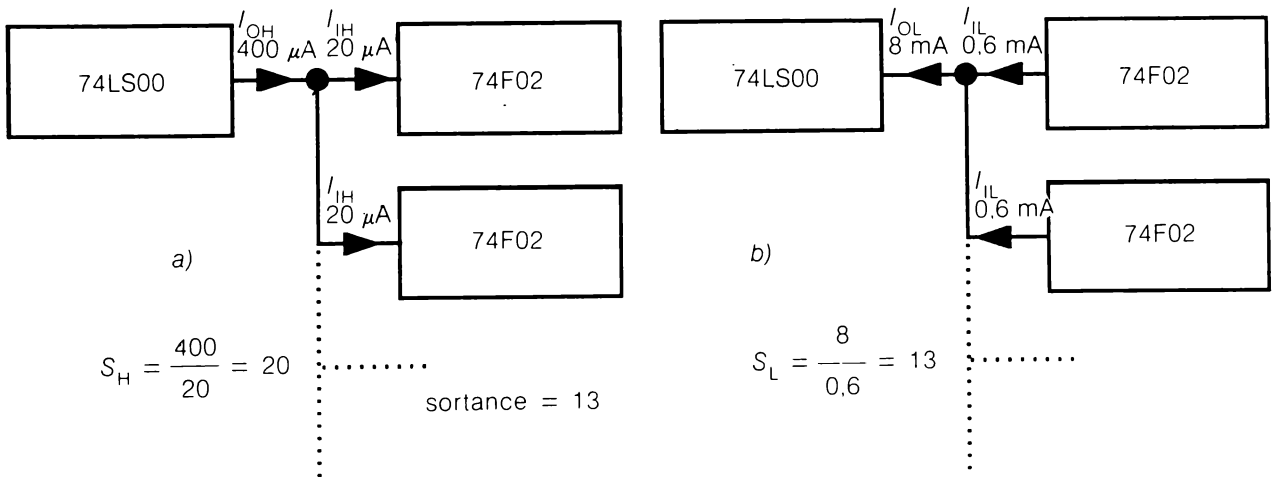
$$\text{sortance haute} = \frac{I_{OH}}{I_{IH}} = \frac{400}{20} = 20$$

$$\text{sortance basse} = \frac{I_{OL}}{I_{IL}} = \frac{8}{0,6} = 13$$

Tableau 2.1 Courants de sortie et d'entrée des circuits TTL de base.

Série		I_{OH} (μA)	I_{OL} (mA)	I_{IH} (μA)	I_{IL} (mA)
74	standard	-400	16	40	-1,6
74H	standard haute vitesse	-500	20	50	-2
74L	standard faible consommation	-200	3,6	10	-0,18
74S	Schottky	-1000	20	50	-2
74LS	Schottky faible consommation	-400	8	20	-0,4
74ALS	LS performante	-400	8	20	-0,1
74F	standard rapide	-1000	20	20	-0,6

Nous retiendrons la valeur la plus petite. Dans cet exemple, illustré à la figure 2.2, la sortance égale 13.


Figure 2.2 a) Sortance haute ; b) Sortance basse du 74LS00 chargé par des 74F02.

Calculez les sortances de toutes les combinaisons possibles. Les résultats figurent au tableau 2.2.

Tableau 2.2 Sortance des circuits TTL de base.

Charge → Circuit ↓	74	74H	74L	74S	74LS	74ALS	74F
74	10	8	40	8	20	20	20
74H	13	10	50	10	25	25	25
74L	2	2	20	2	9	10	6
74S	13	10	100	10	50	50	33
74LS	5	4	40	4	20	20	13
74ALS	5	4	40	4	20	20	13
74F	13	10	100	10	50	50	33

Consultez les fiches techniques si votre étude porte sur des circuits complexes tels MSI, LSI ou sur des fonctions spéciales comme les bascules. En effet, les courants d'entrée ne sont pas toujours normalisés : dans le cas extrême représenté à la figure 2.3, le circuit d'horloge ne peut piloter que deux compteurs LS290 tournant en mode 5421.

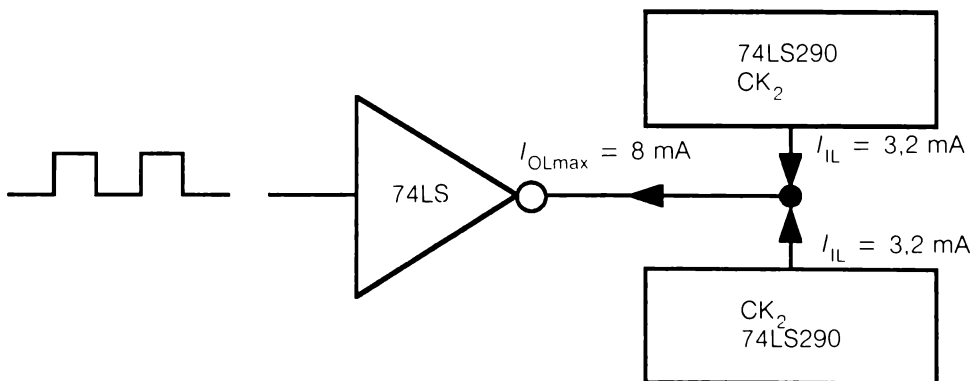


Figure 2.3 Le circuit de base 74LS ne peut piloter que deux charges LS spéciales (au lieu de 20 pour les charges de base).

2.2.1 Exercice sur les entrées non utilisées

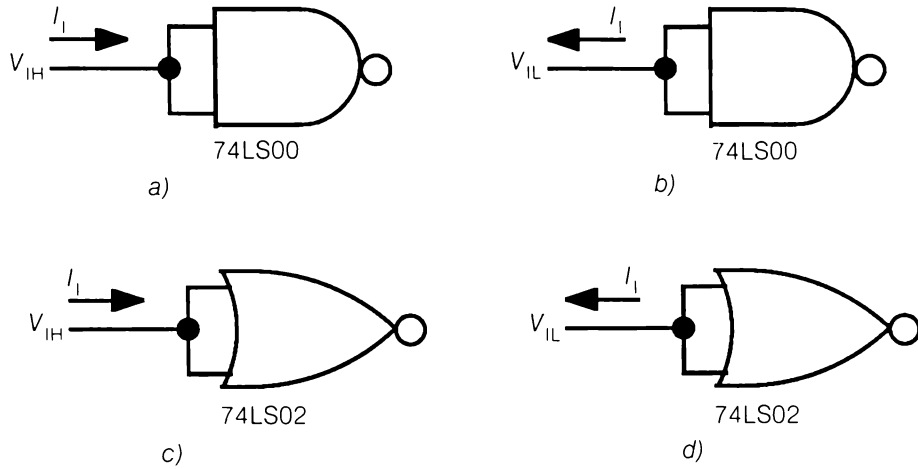


Figure 2.4 Pour l'exercice de 2.2.1.

Calculez le courant d'entrée I_1 des quatre montages de la figure 2.4.

Solution

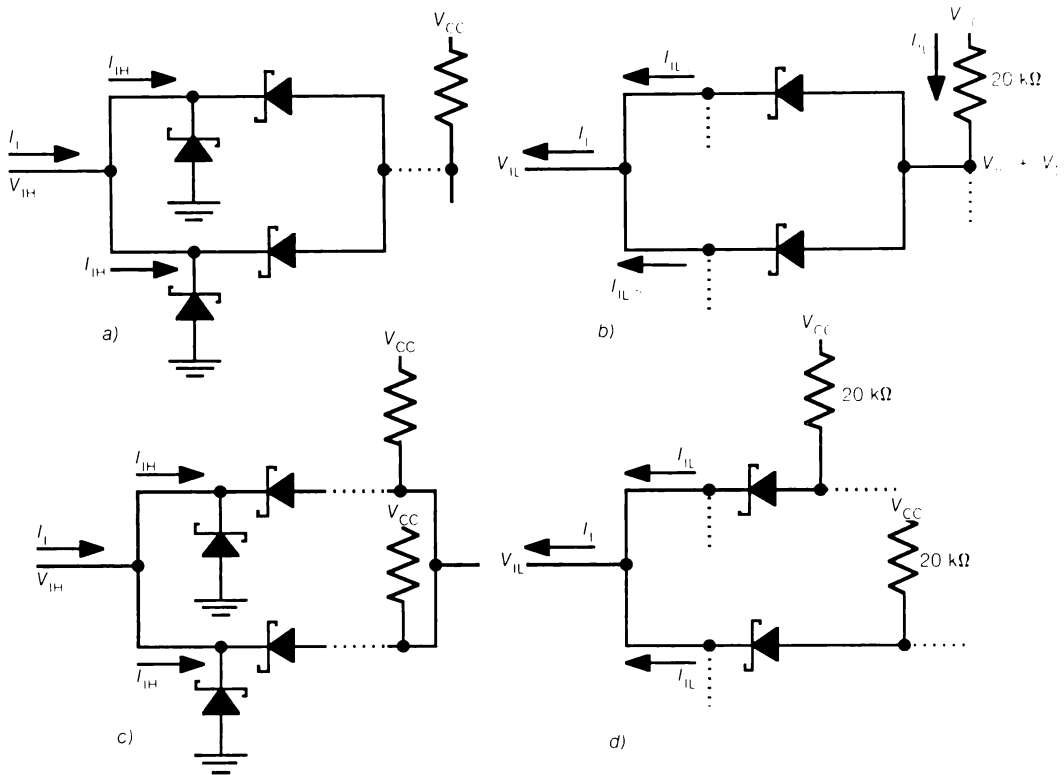


Figure 2.5 Pour la solution de l'exercice de 2.2.1. Circuits équivalents montrant l'influence de la mise en parallèle des entrées sur le courant. a) et b) : circuits 74LS00, c) et d) : circuits 74LS02.

La figure 2.5 représente ces quatre circuits équivalents.

En a) et en c), le courant d'entrée est le courant inverse dans les diodes de chaque entrée, d'où

$$I_I = 2I_{IH} = 2 \times 20 \mu\text{A} = 40 \mu\text{A}_{\text{max}}$$

En b), le courant d'entrée égale

$$I_{IL} = \frac{V_{CC} - (V_{IL} + V_D)}{20 \text{ k}\Omega}$$

Le fait qu'il y ait plusieurs diodes en parallèle ne change pas la tension V_D . D'où $I_1 = I_{iL} = 0,4 \text{ mA}_{\text{max}}$.

En d), chaque entrée possède sa résistance de rappel. D'où le courant d'entrée $I_1 = 2I_{iL} = 2 \times 0,4 \text{ mA} = 0,8 \text{ mA}_{\text{max}}$.

À retenir de cet exercice

1. Si l'on a un surplus d'entrées sur des circuits OU ou NON-OU, il faut raccorder ces entrées à la masse. On ne peut admettre que le circuit amont absorbe le courant non négligeable soutiré par ces entrées.
2. On peut se « débarrasser » des entrées libres des circuits ET et NON-ET par un des procédés suivants :
 - a) Les raccorder à une entrée utilisée (de la même porte évidemment). Remarque : cette méthode augmente le couplage capacitif des entrées des circuits LS, ALS et F. Elle n'est donc pas recommandée pour les hautes vitesses.
 - b) Les raccorder directement à l'alimentation V_{CC} (dans le cas de séries LS, ALS et F).
 - c) Les raccorder à l'alimentation V_{CC} par l'intermédiaire d'une résistance unique (disons $1 \text{ k}\Omega$) pour les séries standard, H et L. Selon la loi d'Ohm, 25 entrées de la série H provoquent une chute de tension $V_{1 \text{ k}\Omega} = 25 \times 50 \mu\text{A} \times 1 \text{ k}\Omega = 1,25 \text{ V}$ dans la résistance de neutralisation.
 - d) Les raccorder à la sortie haute d'une porte libre dont le courant de sortie haut est plus grand ou égal à la somme des courants d'entrée haut des entrées à neutraliser.

2.2.2 Résumé d'interface TTL — TTL

Les courants de sortie du circuit pilote et les courants d'entrée des circuits pilotés déterminent la sortance statique des circuits TTL. Si la consommation est un critère important, le concepteur utilise toutes les entrées des portes OU et NON-OU. En effet, les entrées libres des portes OU et NON-OU doivent être logiquement raccordées à la masse : c'est malheureusement dans cette condition que le courant I_{CC} de repos est maximal. Notons cependant que les fabricants de circuits intégrés n'implément pratiquement pas les fonctions OU et ET dans les circuits logiques de base. Notons également que les séries TTL 74, 74H, 74L et 74S ne sont plus guère disponibles. En fait, les séries 74LS et 74ALS sont peut-être les seules que vous trouverez au magasin du coin !

2.3 Interface CMOS — CMOS

Les courants d'entrée d'un CMOS étant négligeables, on ne peut les accuser de limiter la sortance des circuits. Par contre, chaque entrée augmente la capacité de charge du circuit d'environ 5 pF. Rappelez-vous que la capacité de charge C_L d'un CMOS sous essai est souvent de 50 pF. Cette charge équivaut à la capacité de 10 entrées. Si l'on néglige le courant continu d'entrée d'un CMOS (ce qui est presque toujours légitime), les circuits a) et b) de la figure 2.6 sont équivalents. Au-delà d'une charge de 20 entrées, la puissance dissipée dans le circuit est pratiquement $P_D = C_L V_{CC}^2 f$. On se souviendra aussi que la capacité de charge augmente les temps de propagation et limite la fréquence d'utilisation. Les fiches techniques donnent généralement les temps de propagation pour $C_L = 15$ pF ou $C_L = 50$ pF. Si votre capacité de charge sort de l'ordinaire et que les temps de propagation vous inquiètent, reportez-vous à l'exercice suivant.

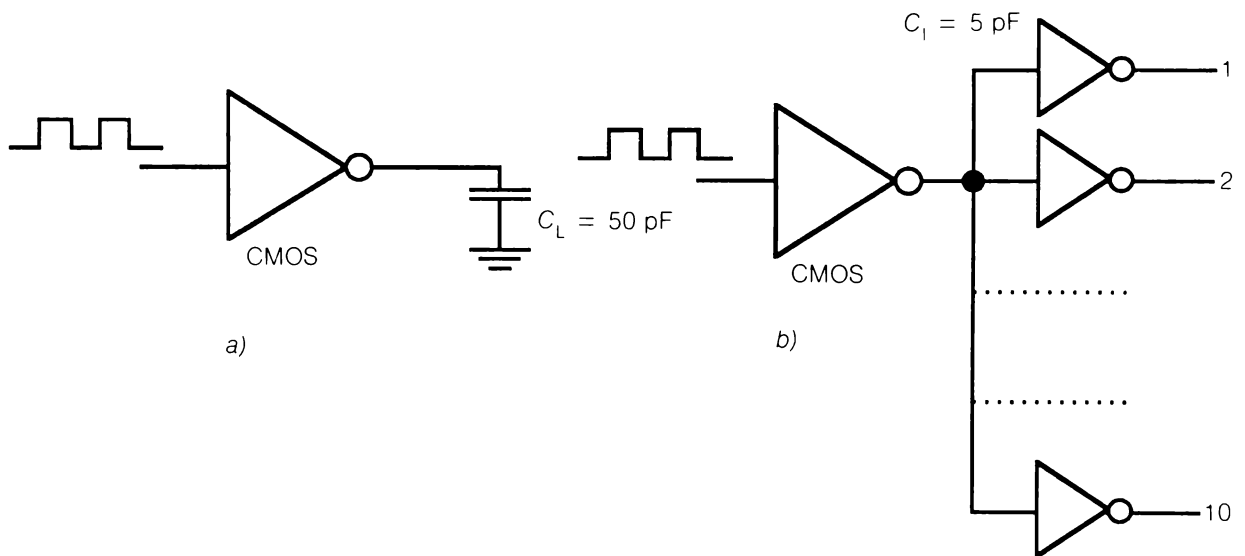


Figure 2.6 Les circuits a) et b) sont équivalents.

2.3.1 Exercice sur la capacité et le temps de propagation

Déterminez le temps de propagation du 74HC00 pour une charge C_L de 200 pF.

Solution

Selon la fiche technique,

$$t_p = t_{PLH} = t_{PHL} = 18 \text{ ns pour } C_L = 50 \text{ pF}$$

Divisons ce problème symétrique en deux et cherchons le temps t_{PHL} pour une capacité C_L de 200 pF. Évidemment la réponse sera valable pour le temps t_{PLH} .

La fiche technique donne aussi la courbe du courant de sortie en fonction de la tension. La figure 2.7 représente cette courbe pour le canal N (celui qui décharge le condensateur).

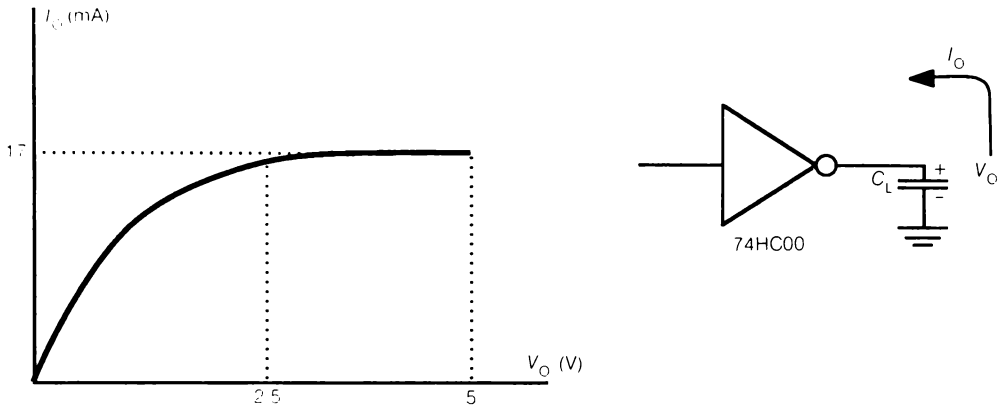


Figure 2.7 Courant de sortie bas en fonction de la tension de sortie.

Notez que le courant est constant pendant les premiers 50 % de la chute de tension.

Revenons à notre problème illustré à la figure 2.8.

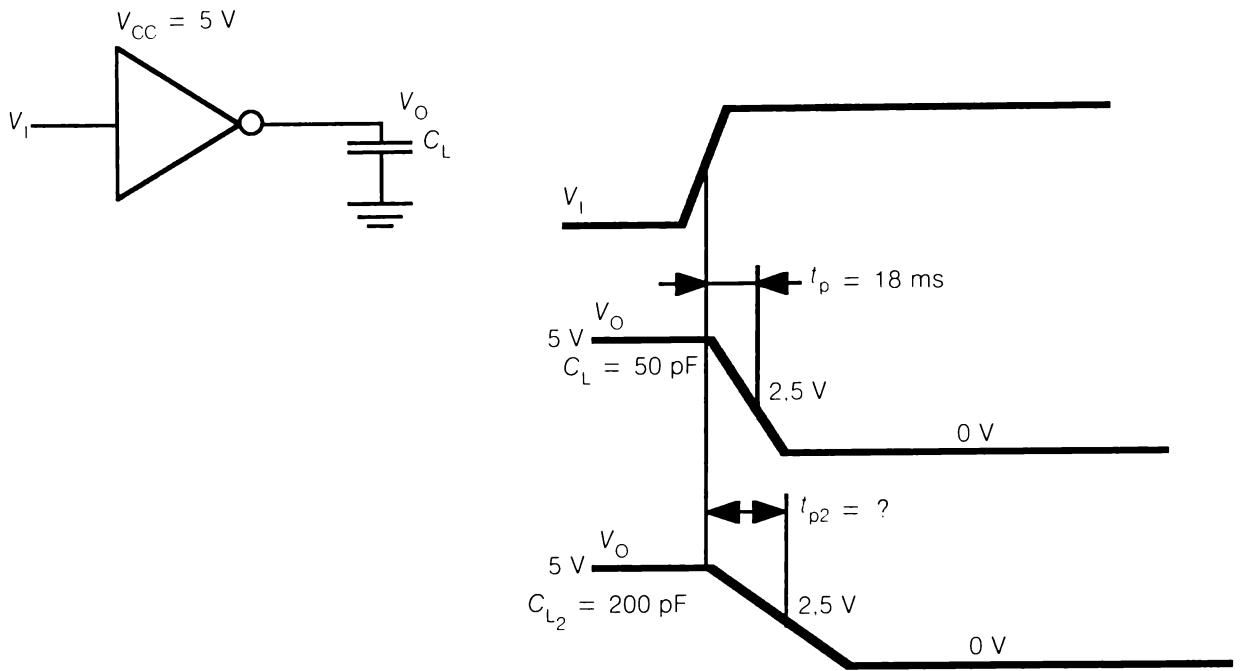


Figure 2.8 Le temps de propagation augmente avec la charge. Si on connaît t_p , on peut trouver t_{p2} .

On a $t_p = 18\text{ ns}$ pour $C_L = 50\text{ pF}$ et l'on cherche t_{p2} . Le temps de propagation d'un circuit est la somme de trois composantes. Il vient

$$t_p = t_K + t_{C_{PD}} + t_{C_L}$$

t_K est une constante reliée à la technologie utilisée (aux dimensions de la grille des MOS, par exemple).

$t_{C_{PD}}$ est le temps dû à la capacité de dissipation ($C_{PD} = 20\text{ pF}$, par exemple)

t_{C_L} est le temps dû à la capacité de charge.

Seul C_L varie. Il vient

$$t_p = t_K + t_{C_{PD}} + t_{C_L}$$

$$t_{p2} = t_K + t_{C_{PD}} + t_{C_{L2}}$$

$$t_{p2} - t_p = t_{C_{L2}} - t_{C_L} \quad (1)$$

Rappel :

$$dQ = CdV (*)$$

(*) Voir la section de l'appendice B intitulée Condensateur : courant et tension instantanés.

$$idt = CdV$$

Comme i est constant (figure 2.7), il vient

$$It \approx C\Delta V$$

$$t \approx \frac{C\Delta V}{I} \quad (2)$$

(1) et (2) donnent

$$t_{P_2} - t_p = \frac{C_{L_2}\Delta V}{I} - \frac{C_L\Delta V}{I}$$

$$t_{P_2} - t_p = (C_{L_2} - C_L) \frac{\Delta V}{I}$$

$$t_{P_2} = t_p + (C_{L_2} - C_L) \frac{\Delta V}{I}$$

Dans cette expression

t_{P_2} est le temps de propagation pour une charge C_{L_2} ;

t_p est le temps de propagation donné pour la charge C_L ;

C_{L_2} est la charge actuelle ;

C_L est la charge d'essai du fabricant ;

ΔV est 50 % de V_{CC} ;

I est le courant constant de décharge (figure 2.7).

Pour $C_{L_2} = 200$ pF, il vient

$$t_{P_2} = 18 \text{ ns} + (200 \text{ pF} - 50 \text{ pF}) \frac{(0,5 \times 5) \text{ V}}{17 \text{ mA}}$$

$$t_{P_2} = 18 \text{ ns} + 22 \text{ ns} = 40 \text{ ns}$$

Pour une charge C_{L_2} de 5 pF, il vient

$$t_{P_2} = 18 \text{ ns} + (5 \text{ pF} - 50 \text{ pF}) \frac{(0,5 \times 5) \text{ V}}{17 \text{ mA}}$$

$$t_{P_2} = 18 \text{ ns} - 6,6 \text{ ns} = 11,4 \text{ ns.}$$

2.3.2 Résumé de l'interface CMOS — CMOS

Cette interface ne présente pas de contrainte de courant. Le circuit CMOS le plus anémique peut piloter 50 vigoureux CMOS. Si l'on utilise des circuits lents à haute vitesse, le charme de ce couplage s'estompe. En effet, la charge capacitive C_L d'un circuit est fonction du nombre de circuits en parallèle à sa sortie. Or, selon l'exercice 2.3.1, cette charge augmente le temps de propagation. Donc, la charge capacitive de sortie peut grandement réduire la vitesse de commutation annoncée par le fabricant.

2-4 Interface CMOS — TTL

La figure 2.9 illustre cette liaison. Il suffit de vérifier que $I_{OL} \geq nI_{IL}$ et que $V_{OL} < V_{IL}$.

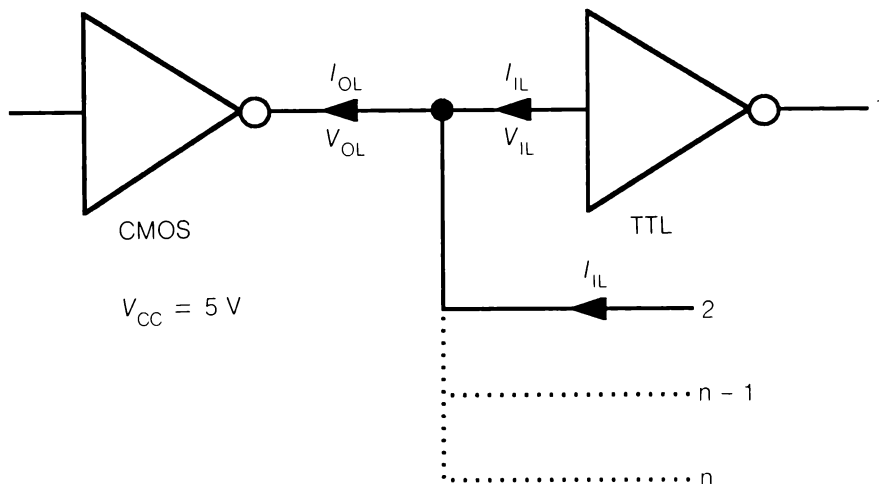


Figure 2.9 Dans l'interface CMOS — TTL, il faut surtout surveiller la compatibilité pour le niveau bas.

Le niveau haut offre généralement une excellente immunité au bruit. En effet, la tension de sortie de niveau haut du CMOS est souvent supérieure à 4,5 V. L'entrée TTL, elle, se contente de 2 V environ. L'immunité au bruit atteint donc 50 % de V_{CC} . Par contre, la tension de sortie de niveau bas de certaines anciennes séries CMOS peut dépasser 0,5 V pour un courant I_{OL} aussi faible que 0,4 mA. La prudence s'impose donc si on « accouple » des circuits de fond de tiroir. De plus, comme le montre la figure 2.10, des temps de transition désespérément longs ne sont pas toujours compatibles avec les entrées d'horloge des circuits rapides.

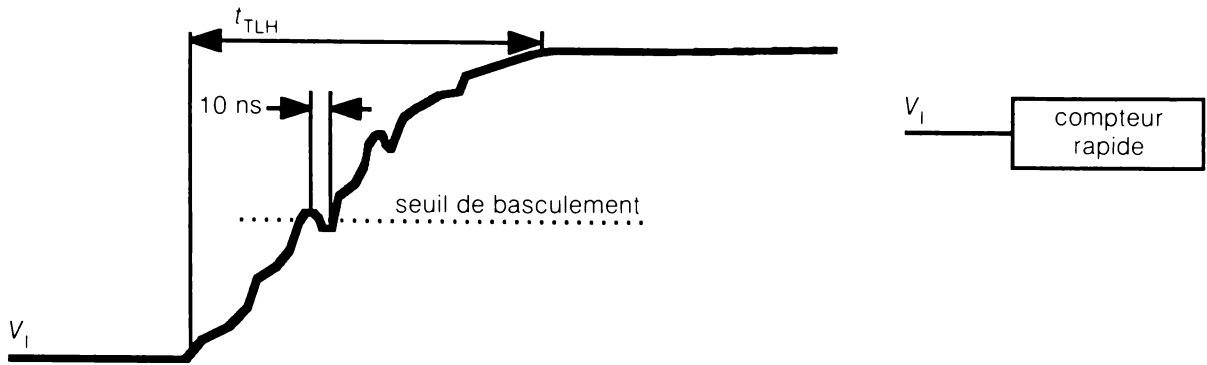


Figure 2.10 L'entrée du compteur valide une impulsion parasite au seuil de basculement si le temps de transition haute est trop long.

2.4.1 Résumé de l'interface CMOS — TTL

Ce couplage est très satisfaisant si le pilote est un circuit CMOS moderne. Le courant d'entrée de niveau bas des circuits TTL limite la sortance du circuit CMOS. La fiche technique devrait indiquer une tension de sortie de niveau bas inférieure à 0,5 V pour le courant total de niveau bas d'entrée des circuits TTL. Ce couplage est déconseillé si les temps de transition du CMOS sont plus grands que ceux du TTL. Selon la figure 2.10, « taquiner » une broche d'entrée avec un fil successivement relié au 5 V et à la masse dans l'espoir de simuler une transition, revient à espérer qu'une tortue traverse une autoroute sans se faire écraser... Parfois ça marche !

2.5 Interface TTL — CMOS 74HC

La tension de sortie de niveau haut de 2,4 V des circuits TTL est incompatible avec la tension d'entrée de niveau haut de 3,5 V des circuits CMOS 74HC. Il faut, comme l'indique la figure 2.11, monter une résistance de rappel dont le rôle est d'assurer la polarisation haute de l'entrée du CMOS. Remarque : cette résistance de rappel n'est pas nécessaire pour attaquer un CMOS de la série 74HCT. Selon l'exercice ci-dessous, la résistance de rappel dépend du contexte de fonctionnement du circuit.

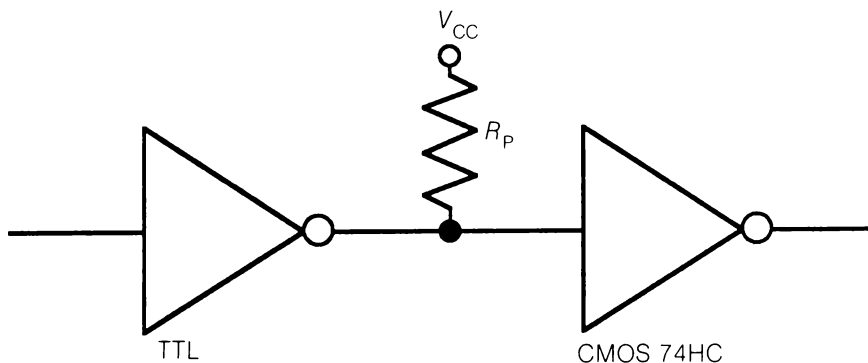


Figure 2.11 La résistance de rappel R_P assure la polarisation haute du CMOS.

2.5.1 Exercice sur la résistance de rappel

Considérez le montage de la figure 2.12 et calculez R_p pour obtenir

- a) Un temps de montée minimal à l'entrée du CMOS ;
- b) Une consommation minimale dans R_p .

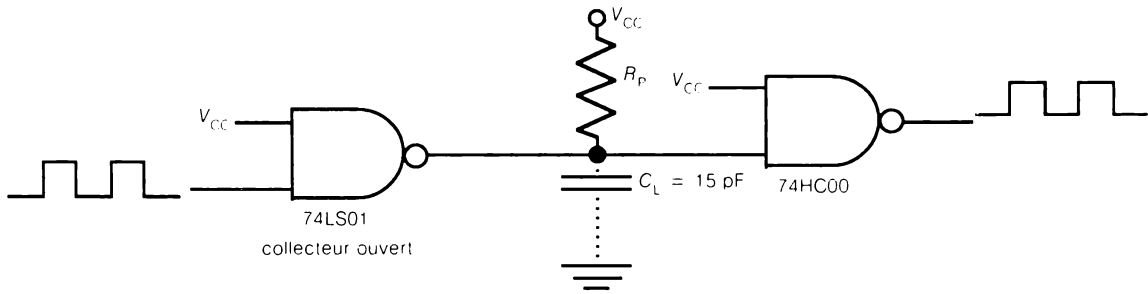


Figure 2.12 Pour l'exercice de 2.5.1. Pour calculer la résistance de rappel R_p et concilier grande vitesse de commutation et faible consommation.

Solution

- a) Le temps de montée est minimal si la constante de temps $R_p C_L$ est minimale. Selon la figure 2.13, le courant de sortie bas de la porte limite la résistance minimale. D'où

$$R_{p \min} \approx \frac{5 \text{ V} - 0,3 \text{ V}}{8 \text{ mA}} \approx 600 \Omega$$

Si le rapport cyclique $t_H/t_L = 1$, alors la puissance dissipée dans R_p sera :

$$P_{RP} \approx \frac{4,7^2 \text{ V}^2 / 600 \Omega}{2} \approx 19 \text{ mW}, \text{ soit } 10 \text{ fois la consommation continue de la porte TTL.}$$

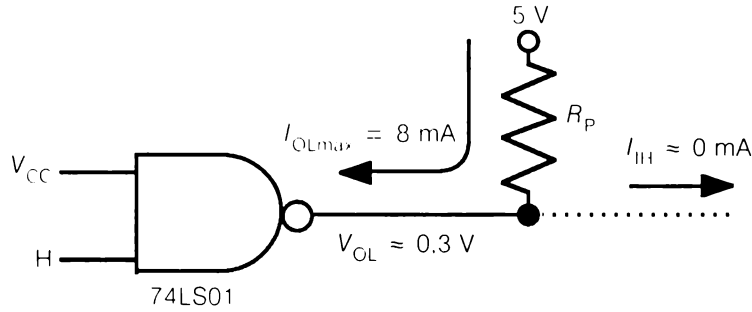


Figure 2.13 Pour la solution de l'exercice de 2.5.1. Le courant de sortie de niveau bas limite la valeur minimale de la résistance R_P .

b) La consommation est minimale lorsque R_P est maximal. Selon la figure 2.14,

$$R_{P\max} = \frac{5\text{ V} \cdot 3,5\text{ V}}{100\text{ mA}} = 15\text{ k}\Omega$$

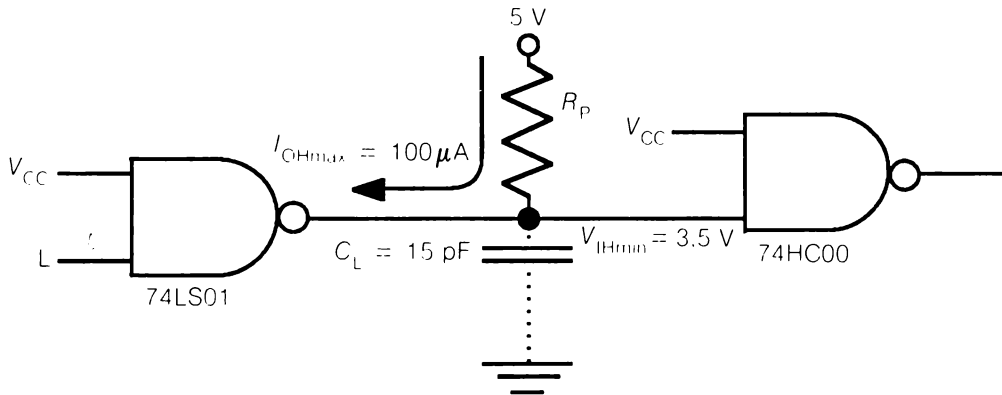


Figure 2.14 Pour la solution de l'exercice de 2.5.1. $V_{IH\min}$ et $I_{OH\max}$ limitent $R_{P\max}$

La capacité C_L doit se charger à 3,5 V pour que le CMOS valide le niveau haut. Le temps de montée à l'entrée du CMOS égale

$$t_r \approx 4RC_L \approx 4 \times 10,5\text{ k}\Omega \times 15\text{ pF} \approx 630\text{ ns}; R = 35\text{ k}\Omega/15\text{ k}\Omega \text{ (voir figure 2.15)}$$

Pour le niveau bas, le condensateur se décharge rapidement dans le transistor saturé du TTL. Selon la figure 2.15, la résistance de rappel peut augmenter considérablement les temps de transition et de propagation.

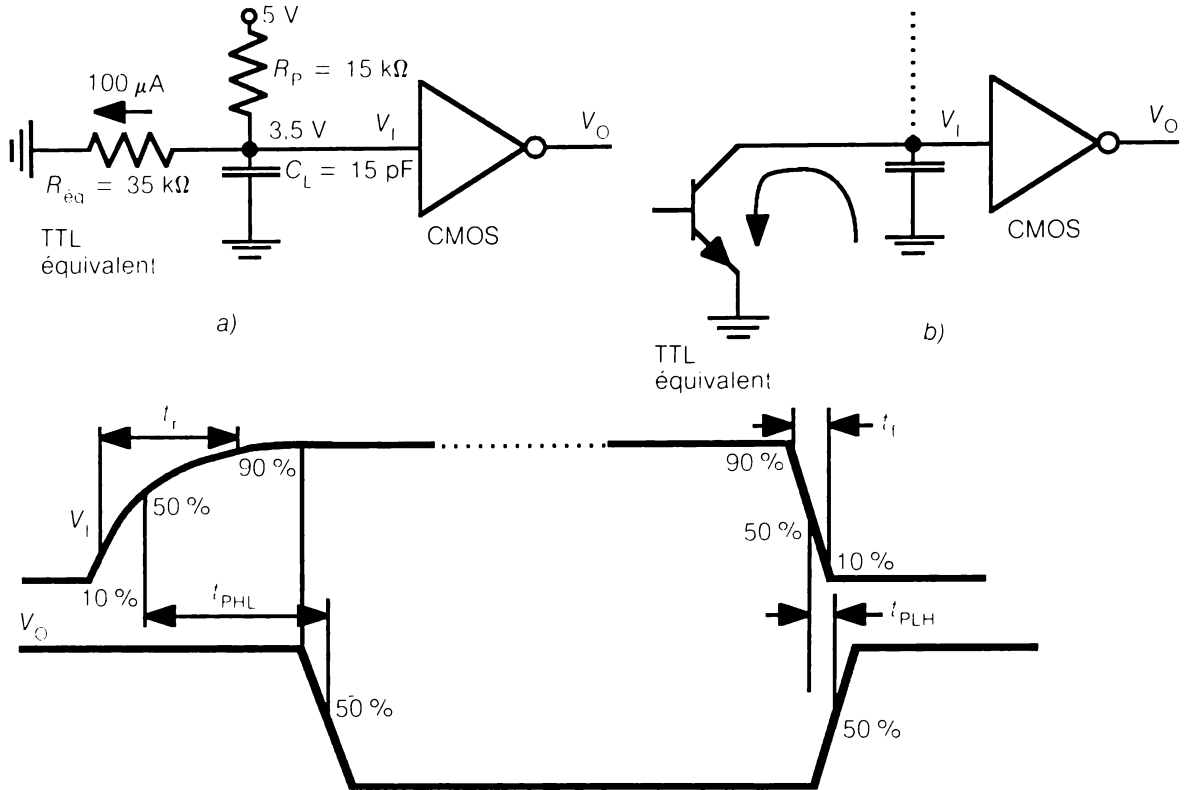


Figure 2.15 Pour la solution de l'exercice de 2.5.1. a) La résistance R_p de rappel modifie fortement les temps de transition haute t_r et de propagation haute t_{PHL} . b) La résistance de rappel ne modifie pas les temps de transition basse t_f et de propagation t_{PLH} .

2.5.2 Résumé de l'interface TTL — CMOS

Si la résistance de rappel est bien calculée, ce couplage peut assurer une excellente immunité au bruit. Même s'il existe des circuits à haute immunité au bruit, cette façon simple de procéder peut sembler et être effectivement logique dans une interface de base. Le retard engendré par la résistance de rappel sur la transition haute oblige parfois le concepteur à faire des compromis peu élégants.

Un des grands avantages de ce couplage est d'ordre pédagogique. Il crée en effet de « beaux » problèmes d'application de la loi d'Ohm et de la charge d'un condensateur. Comment un professeur pourrait-il lui résister ?

2.6 Collecteur ouvert

Le circuit à collecteur ouvert (CO) est un interrupteur fermé au niveau bas (transistor saturé) et ouvert au niveau haut (transistor ouvert). La figure 2.16 illustre quelques applications du circuit CO.

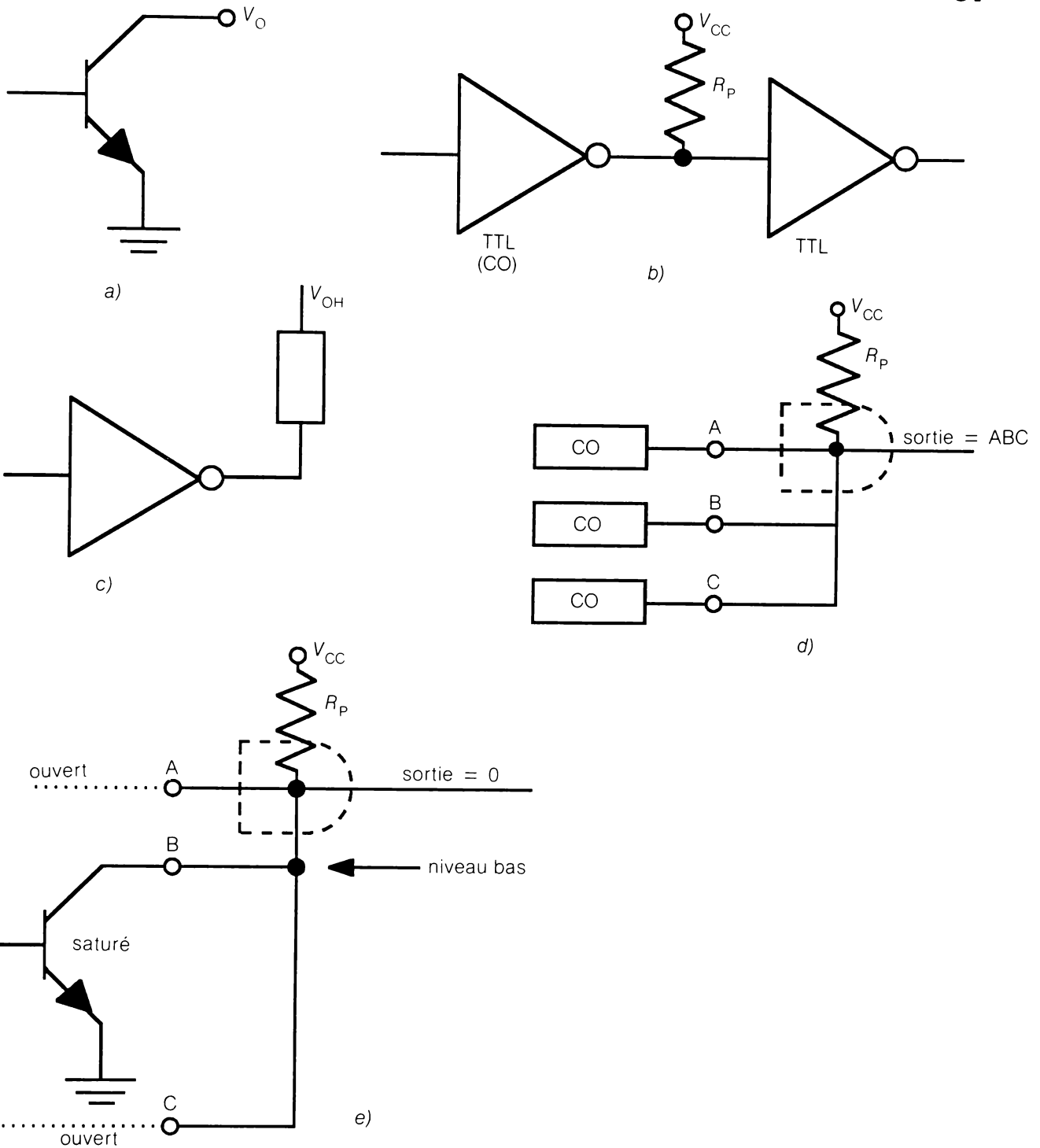


Figure 2.16 a) Circuit équivalent de sortie d'une porte TTL à collecteur ouvert ;
 b) Le circuit CO doit être suivi d'une résistance de rappel si on l'utilise comme une porte classique ;
 c) Le CO peut piloter des charges sur son niveau bas ;
 d) On obtient un ET câblé en mettant en parallèle des sorties CO ;
 e) Une seule entrée de niveau bas de la porte fantôme force la sortie du ET câblé au niveau bas.

2.6.1 Exercice sur l'interface de relais

Trouvez le circuit CO à intercaler entre 6 relais de 24 V, 30 mA et 6 sorties 74LS. Les relais opèrent à 50 % du temps sur le niveau haut des sorties du 74LS.

Solution

On dispose de deux circuits : le 7406 inverseur et le 7407 non inverseur. Tous deux ont une tension V_{OH} de 30 V et un courant I_{OL} de 40 mA. Nous devons utiliser le 7406 pour satisfaire la contrainte du niveau de fonctionnement. La figure 2.17 schématise la solution finale : le relais n° 1 est excité et le relais n° 6 au repos. Les diodes à commutations rapides fournissent un minimum de protection contre les surtensions. Cette solution illustre notre propos, mais n'est pas nécessairement la plus pratique. Si on veut par exemple réduire le courant pilote, on pourra utiliser une interface Darlington en circuit intégré ou discret, comme le 75469.

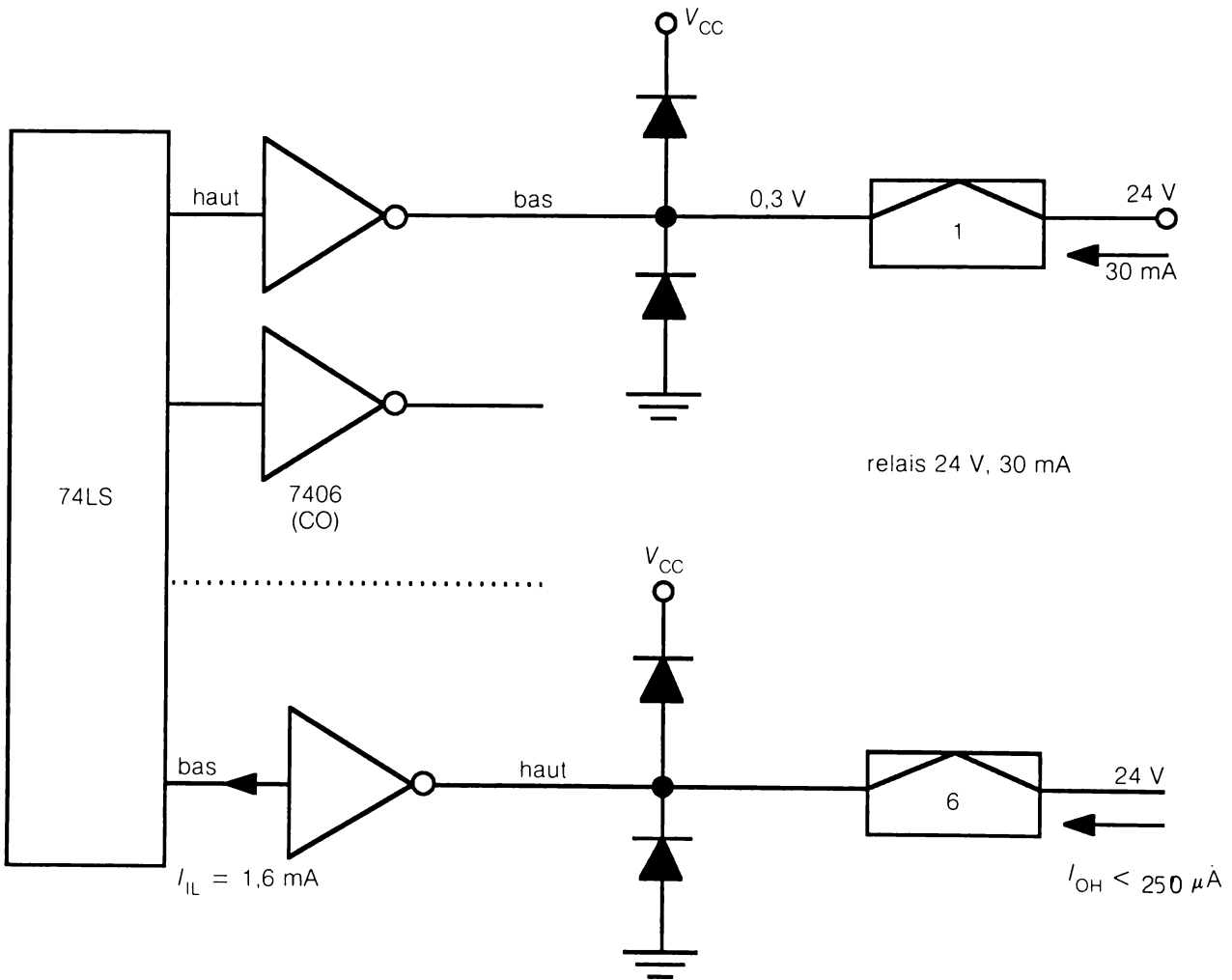


Figure 2.17 Pour la solution de l'exercice de 2.6.1. Un circuit à collecteur ouvert haute tension permet de piloter des relais de 24 V.

2.6.2 Exercice sur le ET câblé

Soit le circuit représenté à la figure 2.18.

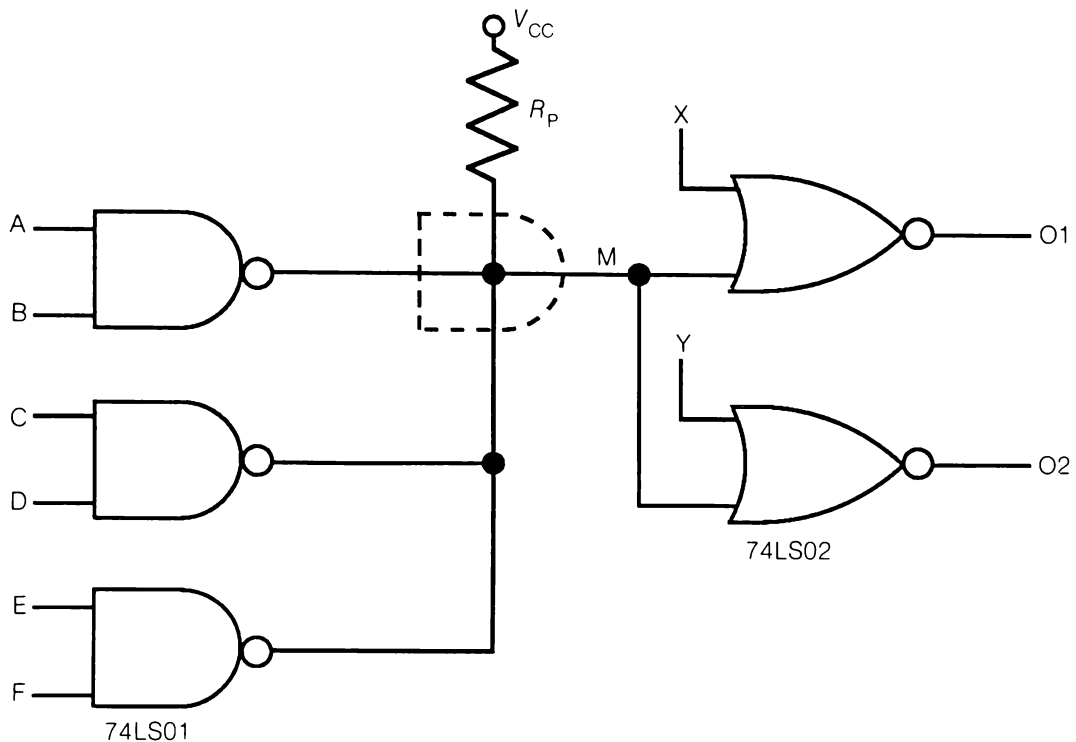


Figure 2.18 Pour l'exercice de 2.6.2.

Trouvez

- L'équation logique des sorties O1 et O2 ;
- La résistance de rappel maximale ;
- La résistance de rappel minimale.

Solution

- a) L'équation logique au point M est

$$M = \overline{AB} \overline{CD} \overline{EF}$$

L'équation logique au point O1 est

$$O1 = \overline{M + X} = (AB + CD + EF) \overline{X}$$

L'équation logique au point O2 est

$$O2 = \overline{M + Y} = (AB + CD + EF) \overline{Y}$$

- b) Quand le point M est au niveau haut, les trois sorties sont aussi au niveau haut. Le circuit équivalent de la figure 2.19 donne

$$R_{P\max} = \frac{5\text{ V} - 2,7\text{ V}}{(3 \times 100\ \mu\text{A}) + (2 \times 20\ \mu\text{A})} = \frac{2,3\text{ V}}{340\ \mu\text{A}} = 6800\ \Omega$$

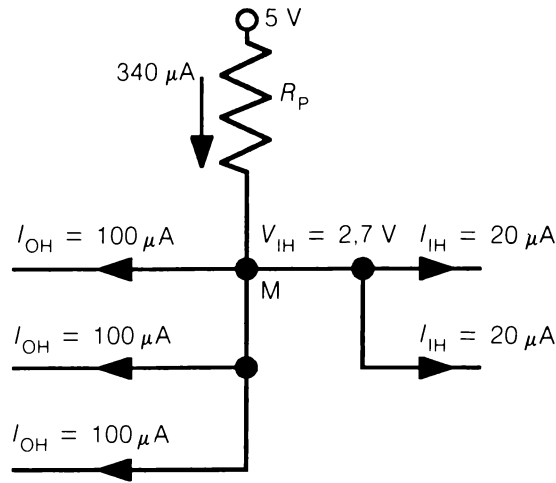


Figure 2.19 Pour la solution de l'exercice de 2.6.2. Circuit équivalent pour le niveau haut d'un montage à collecteur ouvert.

c) Pour que le point M soit au niveau bas, il suffit qu'une seule sortie soit au niveau bas. Le circuit équivalent de la figure 2.20 donne

$$R_{P \min} = \frac{5 V - 0,4 V}{8 \text{ mA} - (2 \times 0,4 \text{ mA})} = \frac{4,6 V}{7,2 \text{ mA}} = 640 \Omega$$

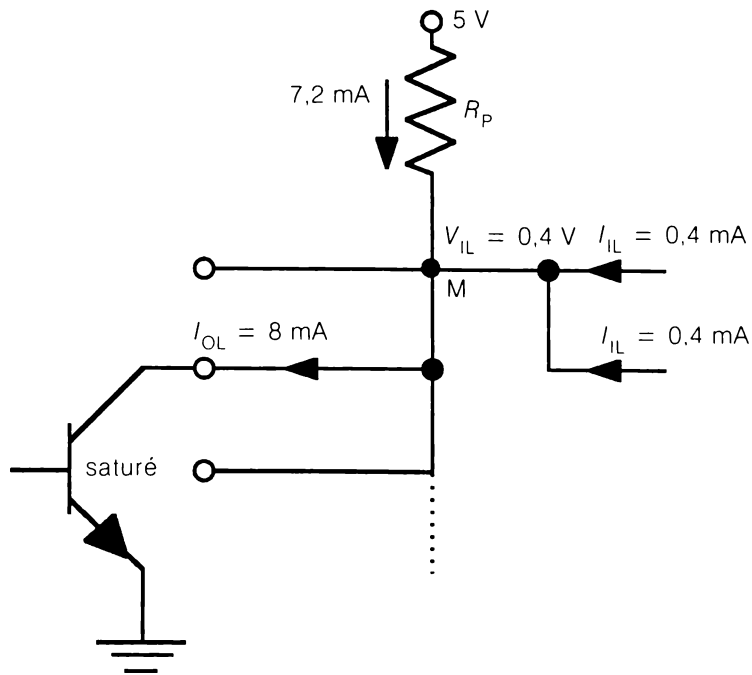


Figure 2.20 Pour la solution de l'exercice de 2.6.2. Circuit équivalent pour le niveau bas d'un montage à collecteur ouvert.

On recommande respectivement le maximum de $6800\ \Omega$ pour avoir une dissipation minimale et le minimum de $640\ \Omega$ pour avoir une vitesse maximale de commutation.

2.6.3 Résumé du circuit à collecteur ouvert

Habituellement, on utilise le circuit CO pour piloter des charges terminales sur le niveau bas. Si on utilise le CO en logique bipolaire classique ou en ET câblé, il faut ajouter une résistance de rappel. Notez que la résistance de rappel est intégrée dans certains circuits CO. C'est le cas pour le décodeur 74LS248 dont la sortie est polarisée au niveau haut par une résistance de rappel interne de $2\ \text{k}\Omega$.

Au lieu d'ouvrir le collecteur d'un circuit TTL, on peut imaginer ouvrir le drain d'un circuit CMOS. Ainsi le 74HC03 est un circuit CMOS à drain ouvert que l'on traite de la même façon que ci-dessus. Ne pas oublier les diodes de protection si le collecteur ouvert pilote des charges inductives (relais). Un exemple concret de cette protection apparaît à l'appendice E du projet d'étudiant intitulé «Circuit d'alarme».

2.7 Circuits 3 états

Un niveau bas au point C du montage de la figure 2.21A invalide les deux portes ET, ce qui ouvre les deux transistors de sortie Q_H et Q_L . On dit que la sortie Y ainsi isolée se trouve à l'état 3 ou encore à l'état haute impédance. Si le pilote C est à l'état haut, le circuit se comporte comme un tampon ordinaire. En effet, un niveau haut sur A valide seulement la porte H et ferme le transistor Q_H . La sortie Y se trouve donc au niveau haut puisque raccordée au V_{CC} . Inversement un niveau bas sur A valide seulement la porte L et force la sortie au niveau bas.

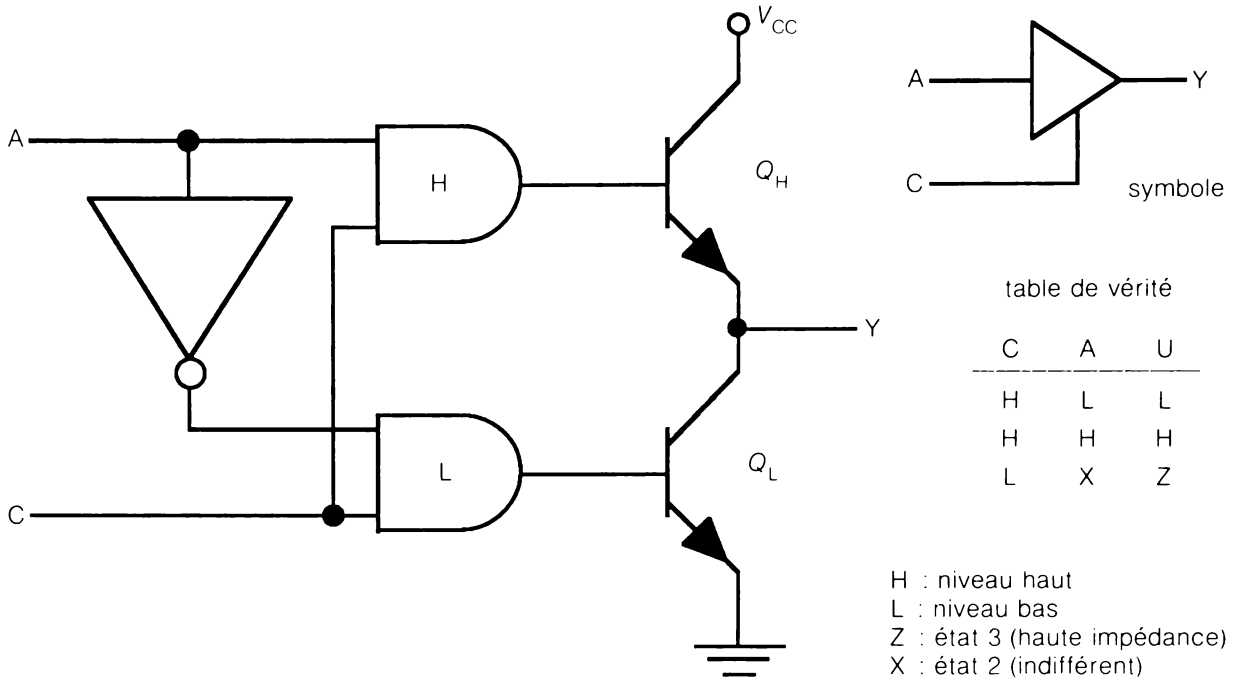


Figure 2.21A Principe du circuit 3 états TTL.

Le remplacement de l'étage de sortie en totem de la figure 2.21A par un étage en totem complémentaire MOS donne le circuit 3 états CMOS de la figure 2.21B.

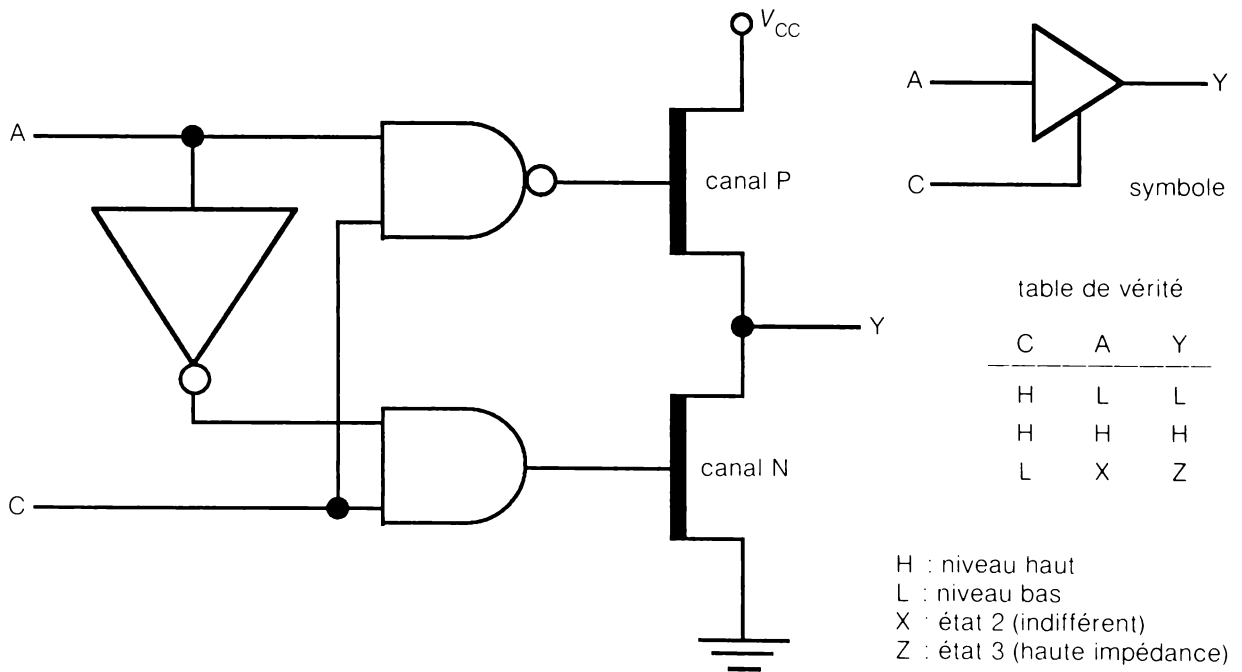


Figure 2.21B Principe du circuit 3 états CMOS.

Selon la figure 2.21C, la fonction état 3 permet entre autres de raccorder physiquement plusieurs circuits sur une même ligne (bus), mais de valider un seul de ses raccordements par le pilote d'état 3.

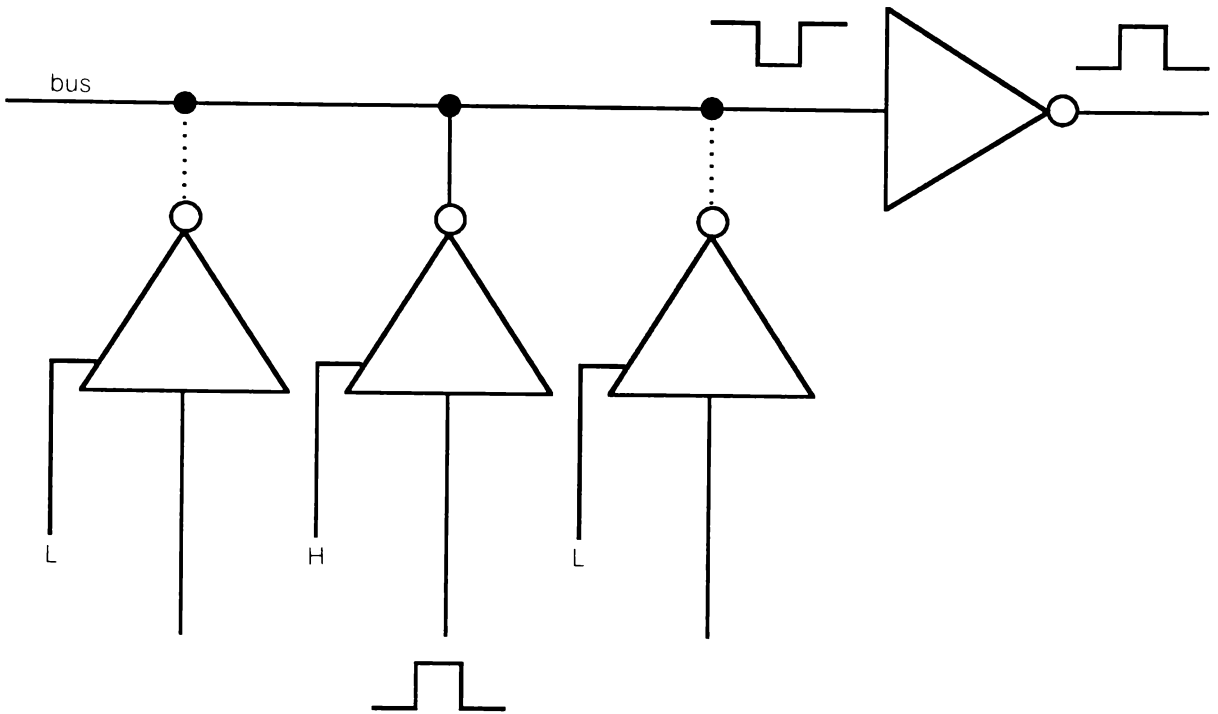


Figure 2.21C Le pilote d'état 3 permet le branchement sélectif de plusieurs circuits sur une ligne commune (bus).

2.7.1 Exercice sur le multiplexage par pilote d'état 3

Soit le montage de la figure 2.21D

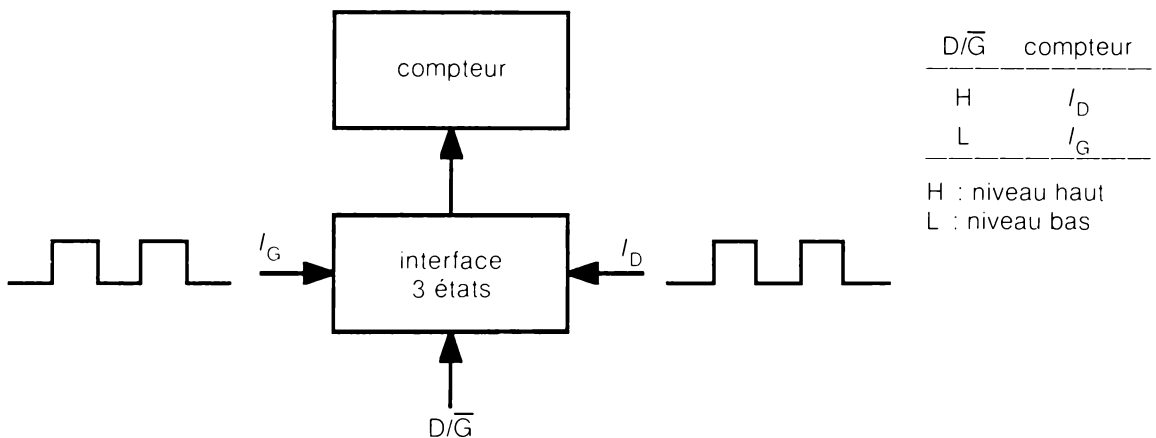


Figure 2.21D Pour l'exercice de 2.7.1.

Si le niveau de D/\bar{G} est haut, le compteur doit être raccordé sur les impulsions de droite I_D .

74 CIRCUITS NUMÉRIQUES

Si le niveau de D/\overline{G} est bas, le compteur sera raccordé sur les impulsions de gauche I_G . Trouvez une interface de pilote d'état 3 qui satisfait à ces conditions.

Solution

La figure 2.21E représente une solution. On utilise un quart du circuit 74HC241.

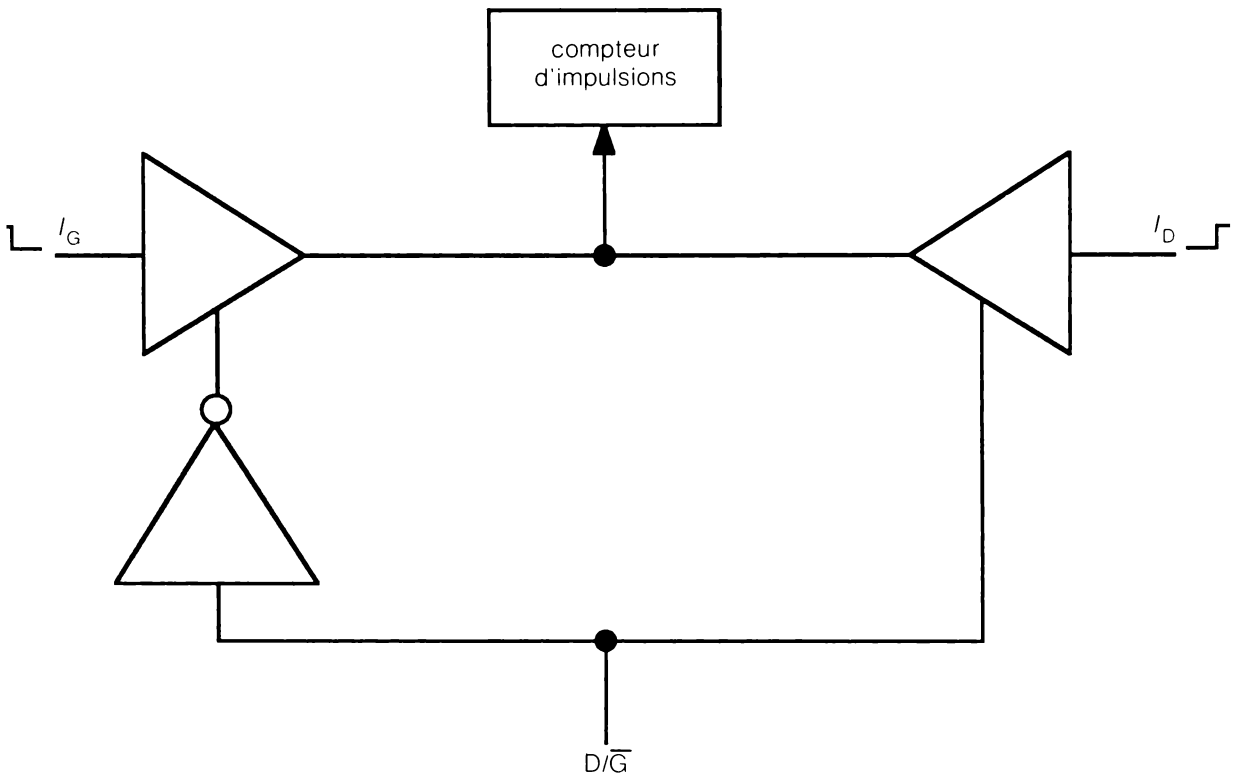


Figure 2.21E Le pilote d'état 3 D/\overline{G} sélectionne l'impulsion à compter.

2.7.2 Exercice sur un circuit bidirectionnel 3 états

Réalisez le montage qui vérifie la table de vérité de la figure 2.21F.

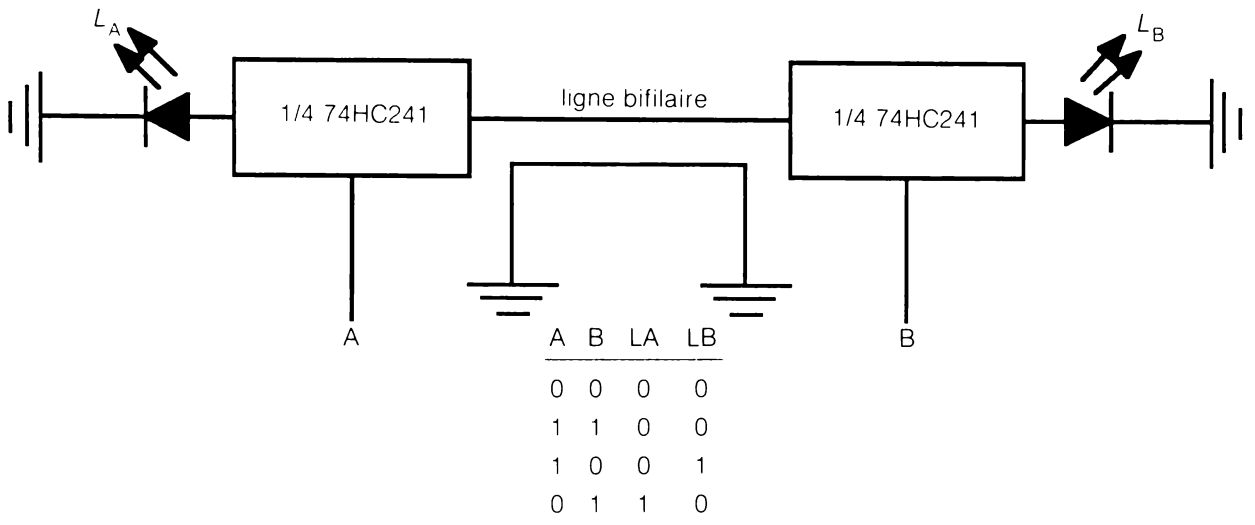


Figure 2.21F Pour l'exercice de 2.7.2.

Solution

Le montage de la figure 2.21G utilise 1/4 de 74HC241 pour chaque poste. La résistance de rappel de 100 kΩ empêche la ligne de flotter quand les contrôles A et B sont tous deux au niveau bas. Il faut abaisser cette résistance à 2 kΩ, si on utilise un circuit 74LS241 (voir problème 1 en fin de chapitre).

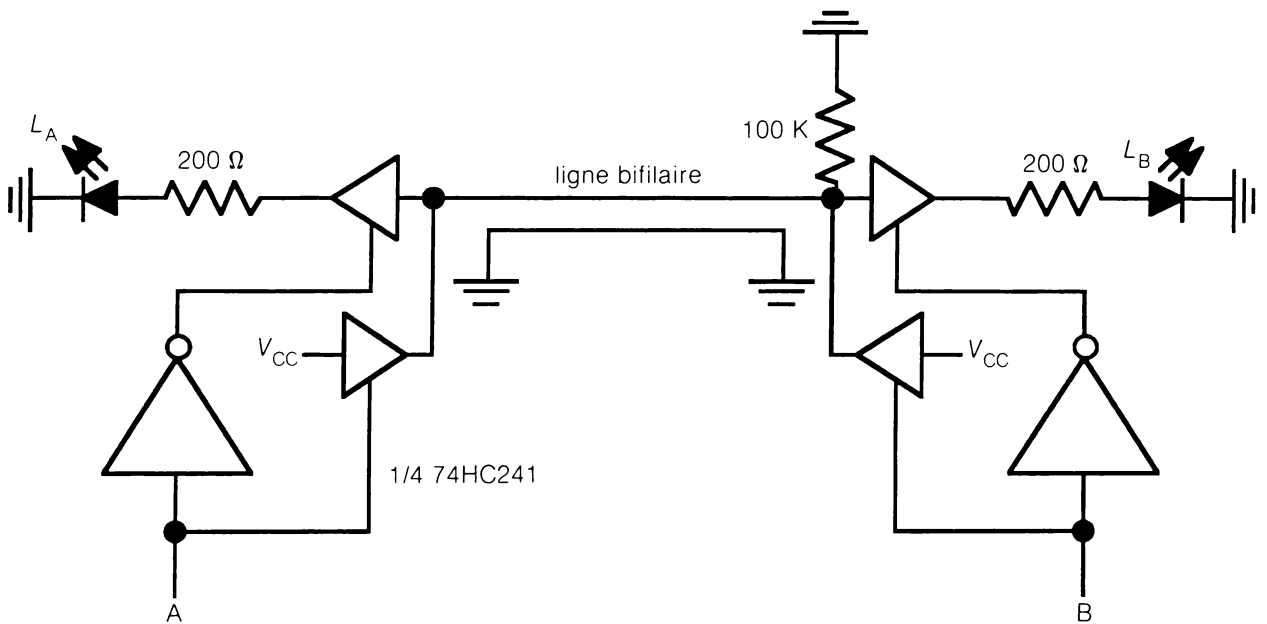


Figure 2.21G Pour la solution de l'exercice de 2.7.2. Un double circuit 3 états permet d'établir une liaison bidirectionnelle entre le poste A et le poste B.

2.7.3 Résumé des circuits 3 états

On peut considérer que la broche de sortie d'un circuit 3 états est :

1. Une broche raccordée au V_{CC} (niveau haut) ;
2. Une broche raccordée à la masse (niveau bas) ;
3. Une broche non raccordée (état 3).

Le circuit 3 états se prête bien au branchement sélectif de plusieurs composants sur une même ligne (bus).

La plupart des circuits associés aux microprocesseurs comportent un pilote d'état 3.

Dans le cas particulier où un circuit 3 états pilote une entrée logique, celle-ci percevra l'état 3 comme un niveau haut ou un niveau bas selon la polarité de la résistance de rappel.

Un résumé des temps de transition et de propagation des circuits 3 états figure à l'appendice C.

2.8 Translation des niveaux

La tension d'alimentation de certains circuits CMOS (ceux de la série 4000, par exemple) peut atteindre 18 V. La figure 2.22 illustre le principe de la prolongation de tels circuits vers une logique CMOS ou TTL de 5 V.

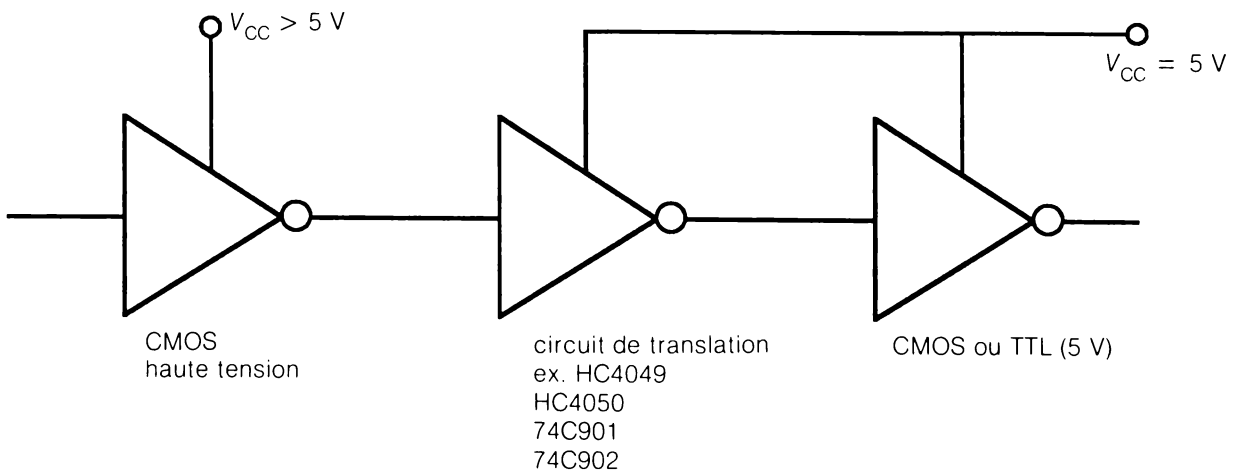


Figure 2.22 Translation d'une logique haute tension à une logique standard de 5 V.

Le circuit de translation est un circuit CMOS amputé de sa diode protectrice contre les hautes tensions. Selon la figure 2.23, la tension peut donc être supérieure à V_{CC} .

Pour rétablir la protection statique contre les hautes tensions, on a remplacé la diode bas par une zener qui élimine les surtensions négatives et positives.

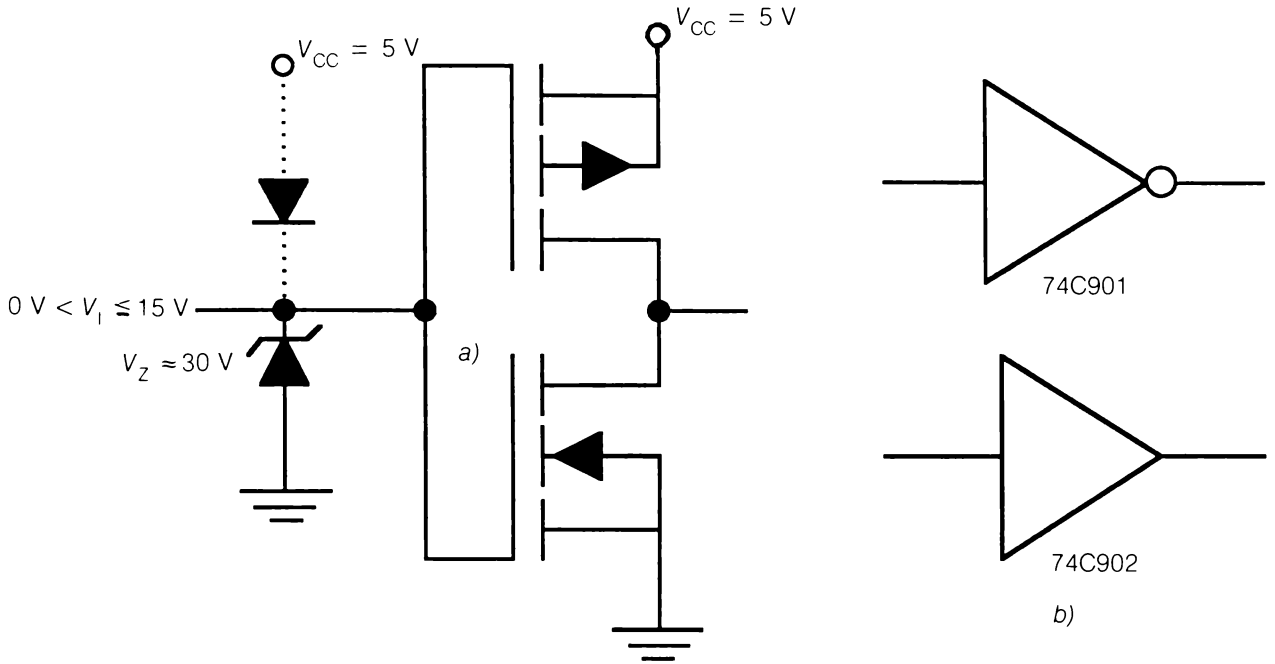


Figure 2.23 Translateur abaisseur de tension
 a) Circuit interne ;
 b) Symbole de base.

Dans notre foulée d'élimination des diodes pour autoriser des excursions de tension d'entrée plus élevées, coupons la diode bas et rétablissons la diode haut. Nous obtenons le circuit de la figure 2.24 qui est un translateur PMOS à TTL ou à CMOS puisqu'il autorise des tensions d'entrée négatives.

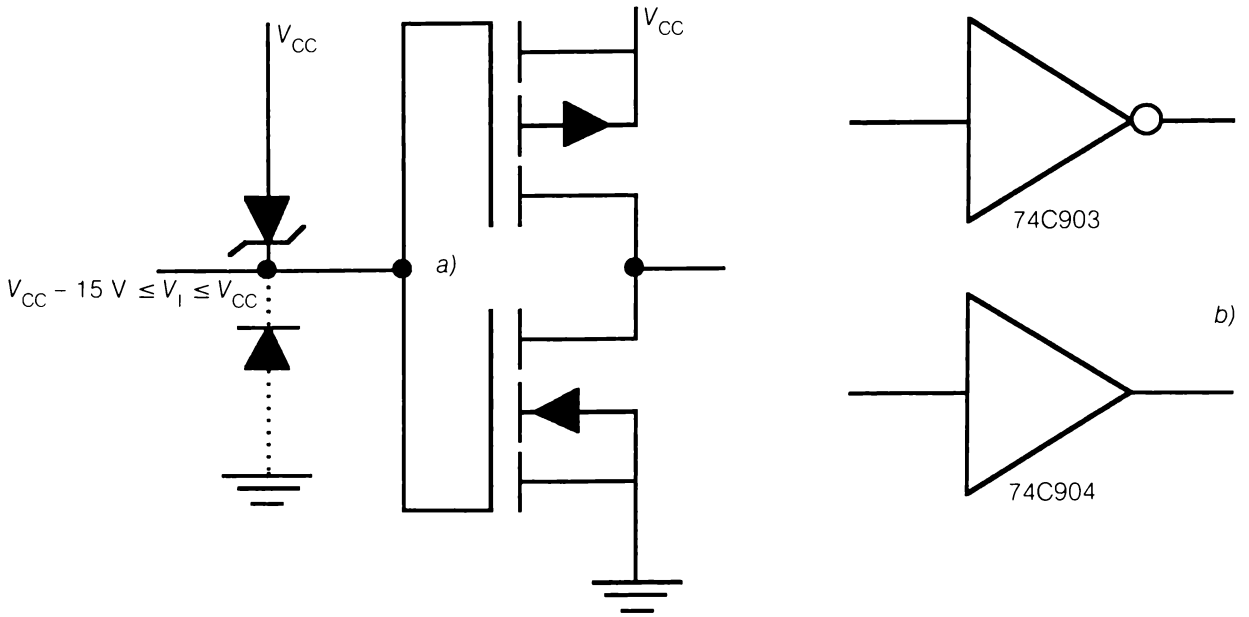


Figure 2.24 Translateur PMOS.
 a) Circuit interne ;
 b) Symbole de base.

Le circuit de la figure 2.25 est polyvalent. Si la broche MODE est à 1, il accouple un circuit TTL à un circuit CMOS toute tension. Si la broche MODE est à 0 il accouple deux circuits CMOS toute tension.

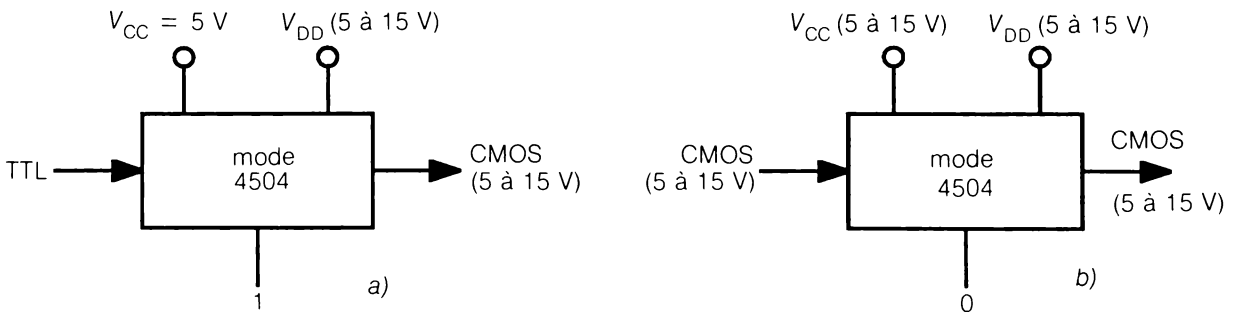


Figure 2.25 Translateur de niveau 4504.
 a) utilisé comme interface TTL — CMOS ;
 b) utilisé comme interface CMOS — CMOS.

La figure 2.26 illustre des interfaces des logiques ECL et TTL.

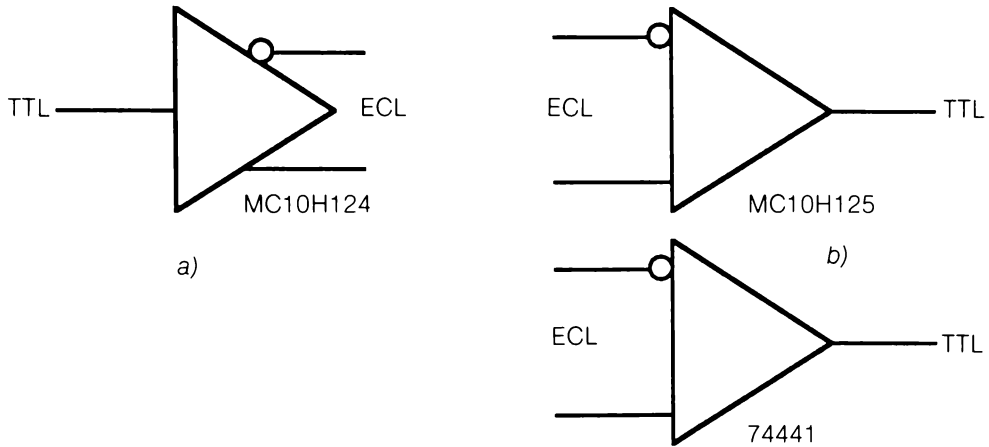


Figure 2.26 Circuits d'interfaces. a) TTL — ECL ; b) ECL — TTL.

La logique haute immunité (HTL, HNIL, etc.) s'interface directement avec la logique CMOS haute tension. On l'interface à la logique TTL à l'aide de circuits à collecteur ouvert ou mieux à l'aide de circuits spéciaux tels le 361 et le 362 comme l'illustre la figure 2.27.

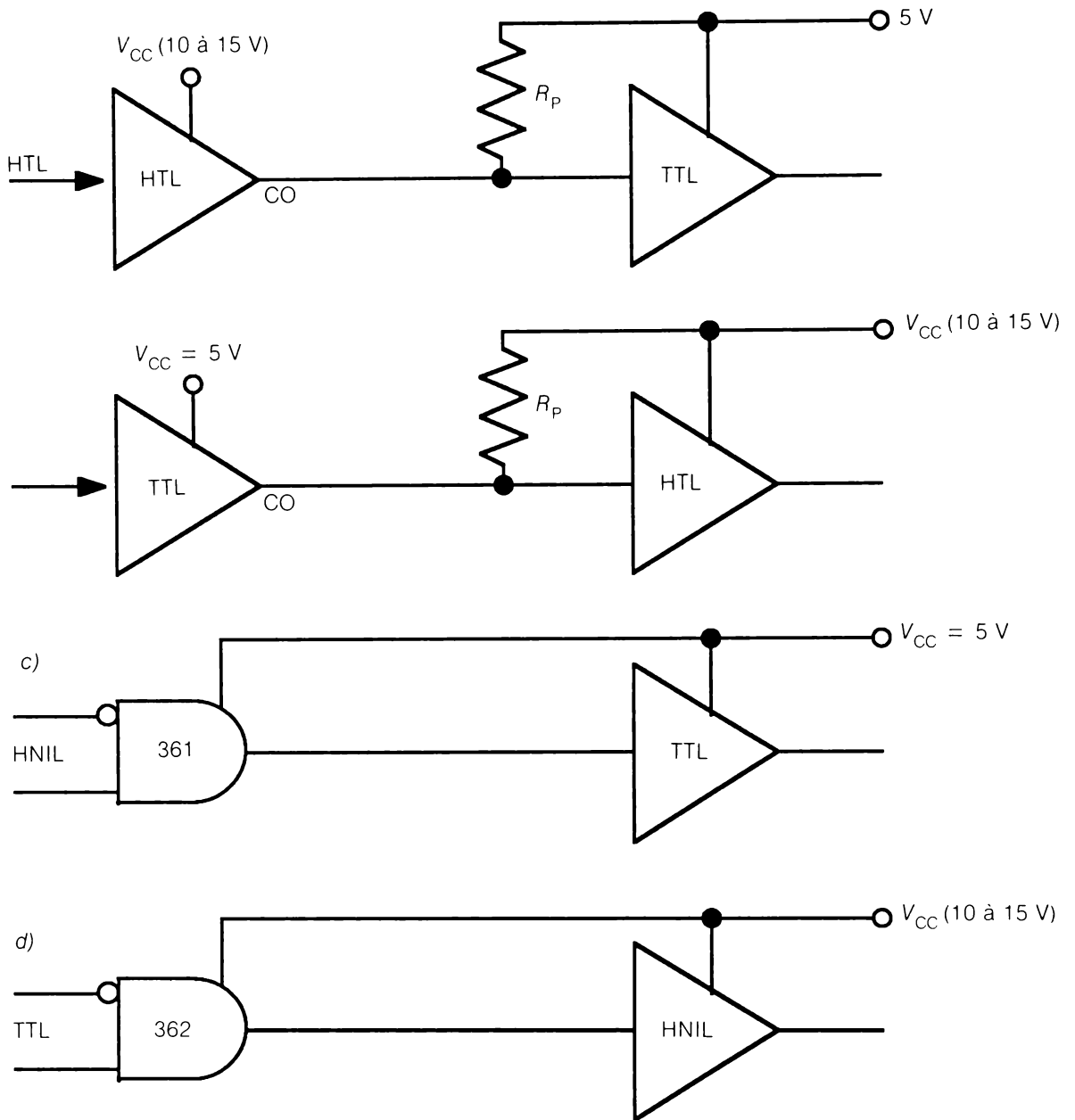


Figure 2.27 Translation a) HTL à TTL; b) TTL à HTL;
 c) HNIL à TTL; d) TTL à HNIL.

2.8.1 Résumé de translation des niveaux

Chaque fabricant de circuits intégrés propose un ou plusieurs translateurs pour passer d'une logique à une autre ou même d'une série à une autre à l'intérieur d'une même famille. Les avantages et les inconvénients d'un changement de logique ou de tension d'alimentation sont nombreux et dépendent de l'utilisation. Repartir à zéro est parfois plus économique à moyen terme qu'améliorer ou adapter. C'est une décision qui

demande beaucoup de réflexion et exige une mise à jour constante de son répertoire des nouveaux produits.

2.9 Conformation des signaux

Les informations issues des capteurs, de commutateurs, des lignes de transmission et des circuits linéaires ne sont pas toujours compatibles avec les spécifications d'entrée des éléments logiques. La figure 2.28 illustre les principales caractéristiques d'une impulsion.

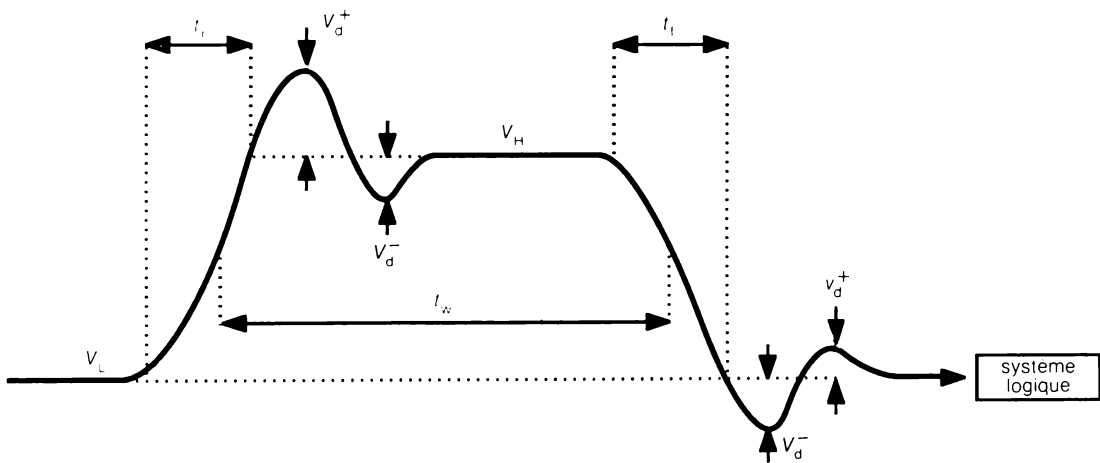


Figure 2.28 L'impulsion sera validée par le système logique si les temps, tensions et dépassements sont compatibles avec le cahier des charges du système.

Il va de soi qu'une logique rapide exigera un temps de montée t_r très court, que des dépassements V_d relativement importants ne modifieront pas le bon fonctionnement d'une logique à haute immunité, que le chronogramme de lecture d'une mémoire lente exigera un temps t_w relativement long, qu'un niveau haut V_H de 2,5 V sans dépassement négatif V_d^- suffira pour attaquer une entrée TTL et que la même tension V_H sera incompatible avec la tension d'entrée de niveau haut d'un CMOS.

2.9.1 Déclencheur ou bascule de Schmitt

Le déclencheur de Schmitt est le conformateur le plus répandu et souvent le plus efficace pour les applications courantes. Ayez toujours des inverseurs et des déclencheurs Schmitt en réserve. Fondamentalement, le déclencheur de Schmitt est constitué d'une porte logique à deux seuils de commutation. La figure 2.29 représente la courbe de transfert d'une porte classique et d'un déclencheur de Schmitt. La figure 2.30 illustre la conformation d'un signal issu d'une ligne de transmission.

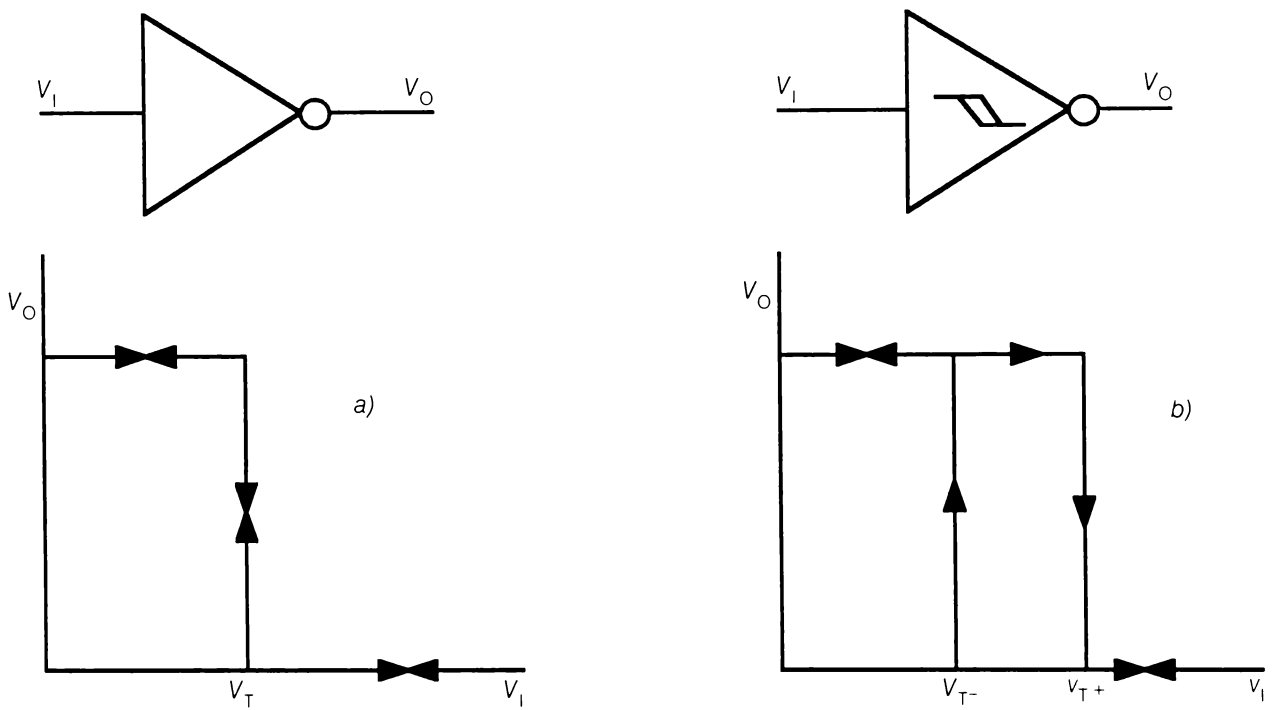


Figure 2.29 a) Point de commutation, de basculement ou de déclenchement V_T d'une porte classique ;
 b) Points de commutation, de basculement ou de déclenchement V_{T-} et V_{T+} d'un déclencheur ou bascule de Schmitt.

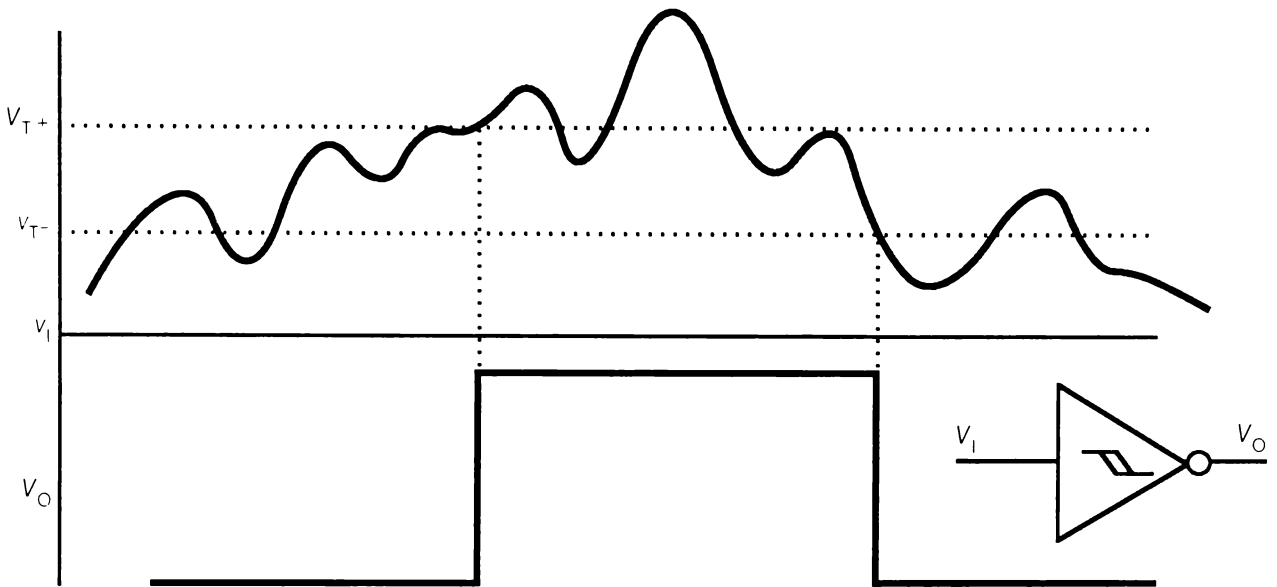


Figure 2.30 Conformation d'un signal par une bascule de Schmitt.

Le déclencheur de Schmitt ne peut à lui seul tout régler. La figure 2.31 illustre une de ses limites. L'amplitude des dépassements du signal à corriger est supérieure à l'hystérésis de l'entrée du circuit, mais on peut utiliser l'information numérique de sortie pour déclencher un circuit numérique tel un compteur ou un multivibrateur monostable.

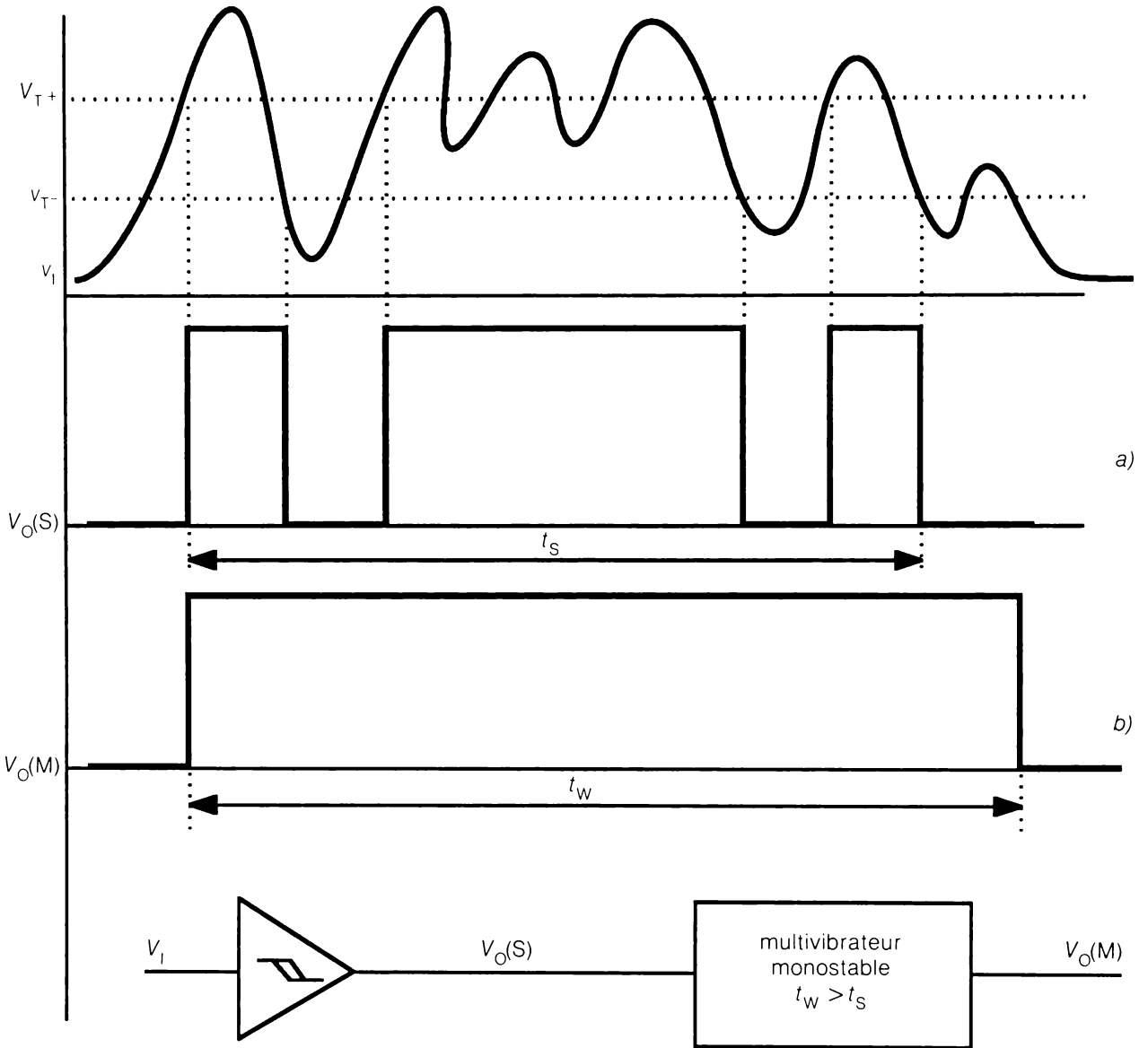


Figure 2.31 a) Le déclencheur de Schmitt numérise les dépassements ;
 b) Le premier front de montée active le multivibrateur monostable durant un temps t_w supérieur à toute la durée des signaux parasites.

2.9.2 Rebonds et logique CMOS

La figure 2.32 représente quelques utilisations du déclencheur de Schmitt CMOS pour conformer une information rebondissante.

- a) En position ouverte, le compteur s'énerve au rythme de nos mouvements et du déplacement des champs statiques de notre laboratoire. Les auteurs s'excusent d'avoir laissé flotter l'entrée du CMOS !
- b) Le compteur nous rappelle que le contact rebondit en arrivant et en quittant la position haute. Le nombre d'impulsions enregistrées varie avec les caractéristiques du contact et bien sûr avec le pouvoir de discrimination du compteur. Autrement dit, une seule impulsion enregistrée par va-et-vient peut signifier que le commutateur est sans rebonds ou que le compteur est trop lent pour les compter.
- c) Une impulsion est enregistrée par va-et-vient. C'est une solution acceptable si la logique pilotée (ici le CMOS et le compteur) n'est pas trop rapide. Il ne faut pas oublier que la charge d'un condensateur n'est pas instantanée. Une constante de temps de 100 ns (ce qui serait le cas pour une résistance de contact de 10 Ω) n'est pas toujours acceptable comme temps de montée pour un circuit rapide. Vous pouvez adapter ce circuit à toutes les sauces, à savoir résistance raccordée à l'alimentation V_{CC} et commutateur actif sur la masse.
- d) Circuit efficace si la somme des temps de propagation des circuits est beaucoup plus petite que la durée d'un rebond.
- e) Bon vieux circuit antirebonds très efficace utilisant un montage bistable.

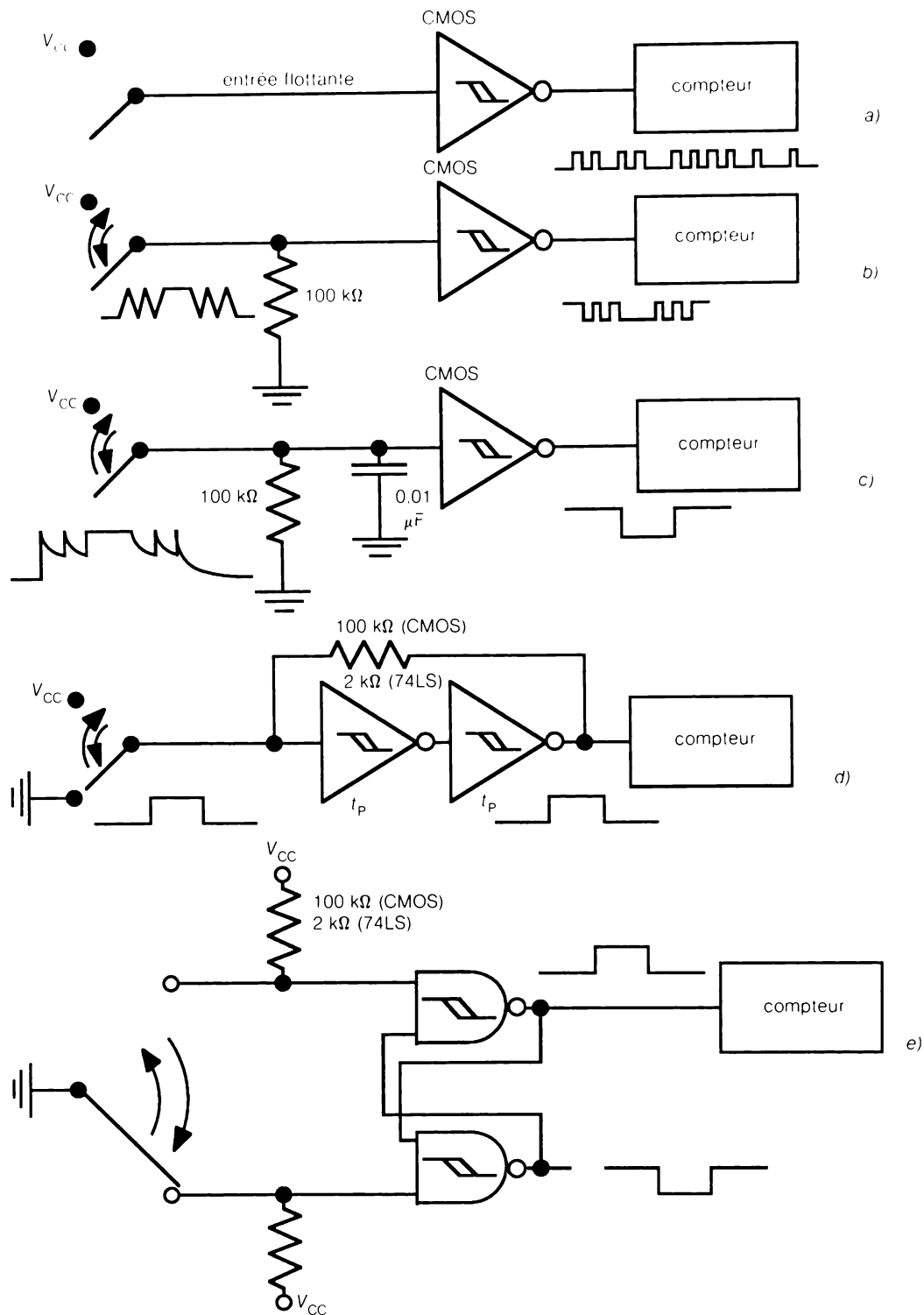


Figure 2.32 Bascule de Schmitt dans les circuits antirebonds (voir texte).

Circuits suggérés : a) b) c) : 74HC14, 4584 ;

d) : 74HC14, 4584, 74LS14 ;

e) : 74LS132, 74LS279, 74HC132.

2.9.3 Éliminateurs de rebonds intégrés

Nous pouvons aussi définir la largeur d'impulsion indépendamment du signal d'entrée. La figure 2.33 suggère quelques multivibrateurs monostables qui offrent toute une série de combinaisons d'entrées et de sorties.

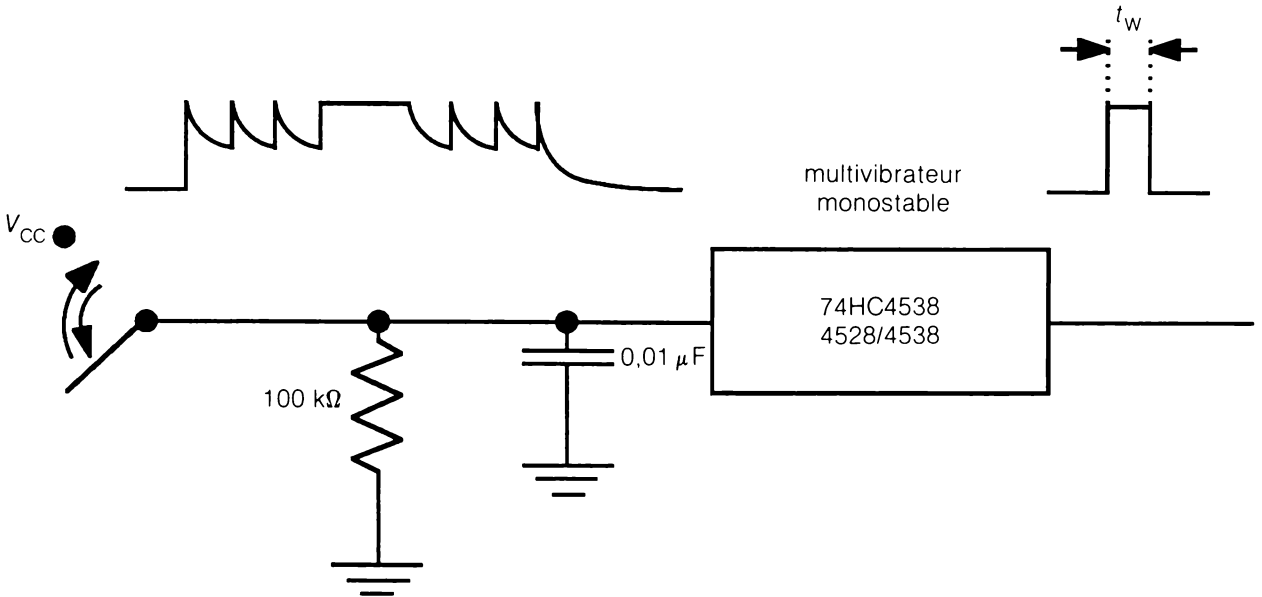


Figure 2.33 Multivibrateur monostable associé avec un circuit écrêteur pour la conformation d'une impulsion rebondissante.

Pour des réalisations plus intégrées, utilisez des circuits spéciaux tel l'éliminateur de rebonds 4490 qui fournit un signal logique parfait 4 périodes d'horloge après la fin des rebondissements.

La figure 2.34 en donne le principe.

Enfin, on peut laisser au programmeur le soin de faire avec son talent ce que fait le 4490 avec ses transistors et ses constantes de temps.

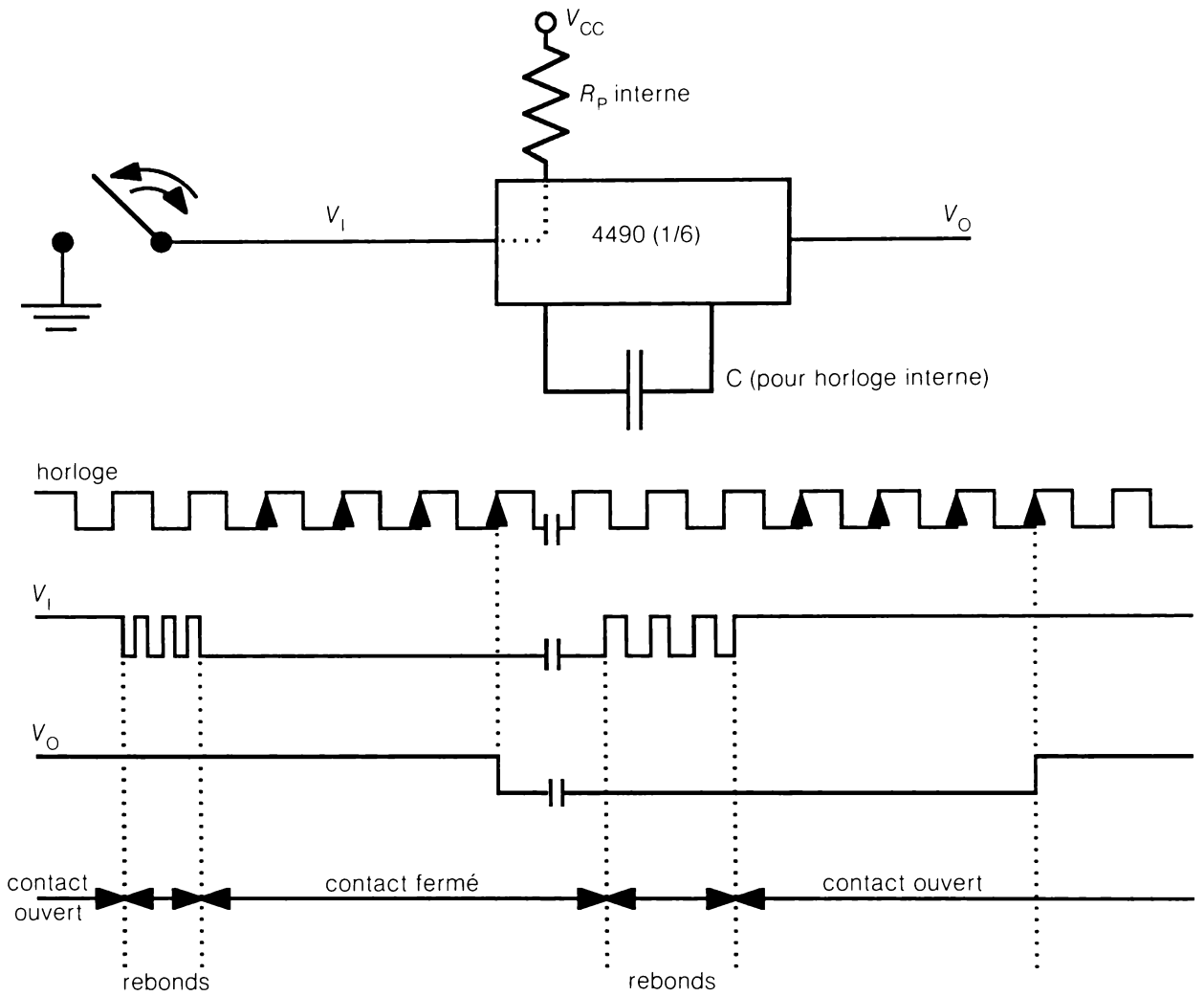


Figure 2.34 Circuit éliminateur de rebonds 4490.

2.9.4 Exercice sur les rebonds et la logique TTL

On veut écrêter par un circuit *RC* les rebonds d'un commutateur unipolaire commandant le basculement d'un circuit 74LS00. Faites une étude sommaire de faisabilité.

Solution

La figure 2.35 représente les deux possibilités de commande. Nous avons choisi une constante de temps de 1 ms égale généralement à 10 fois la période d'un rebond d'un mauvais contact. Nous rejetons immédiatement le circuit 2.35b qui ressemble plus à une chaufferette électrique qu'à un éliminateur de rebonds.

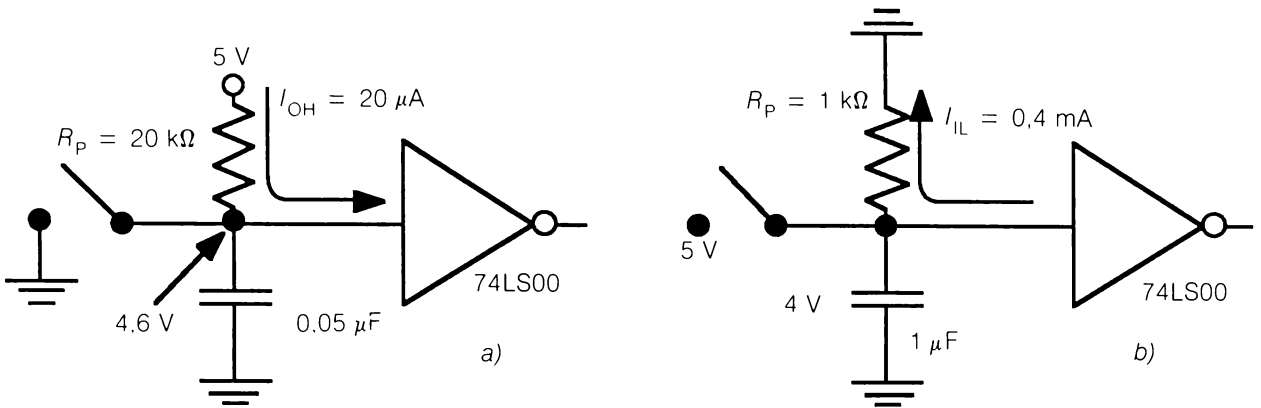


Figure 2.35 Pour la solution de l'exercice de 2.9.4.
Les deux possibilités de commande manuelle d'une porte 74LS sont :

- a) Entrée forcée au niveau haut pour le contact ouvert ;
- b) Entrée forcée au niveau bas pour le contact ouvert.

La figure 2.36 représente l'évolution du signal à l'entrée et à la sortie du circuit pour un va-et-vient du commutateur. R_0 représente la résistance de contact et du retour de masse.

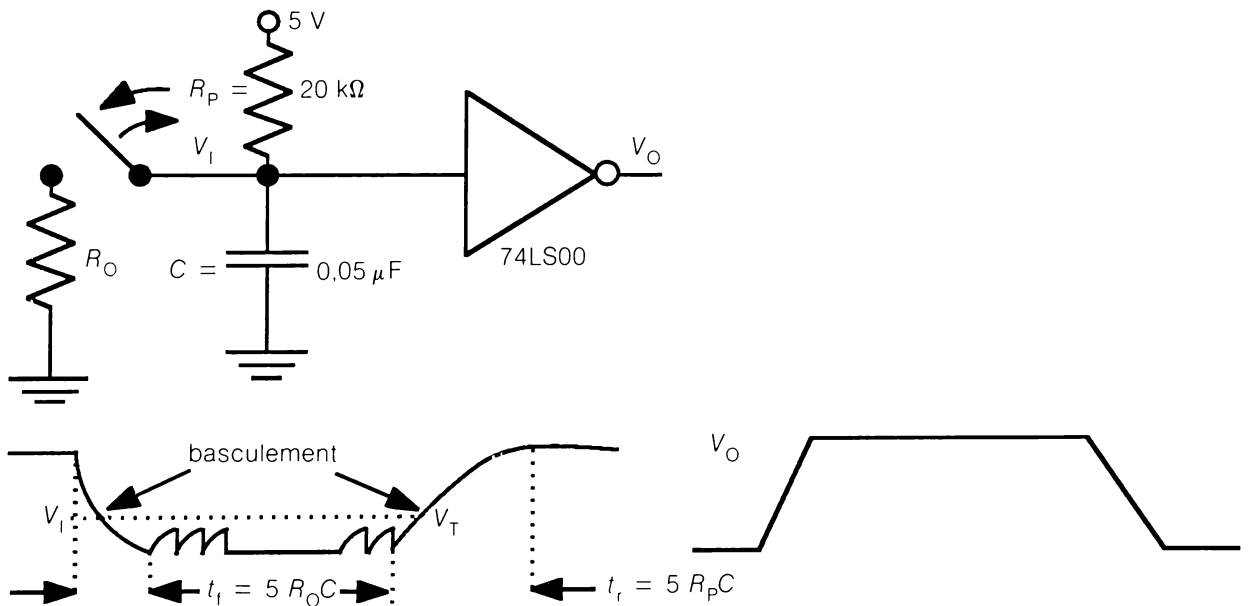


Figure 2.36 Pour la solution de l'exercice de 2.9.4.

Pour une valeur R_0 de 1Ω et avec $R_p = 20 \text{ k}\Omega$ on aura :

$$t_f \approx 5 \times 1 \Omega \times 0,05 \mu\text{F} = 0,25 \mu\text{s} = 250 \text{ ns}$$

$$t_r \approx 5 \times 20 \text{ k}\Omega \times 0,05 \mu\text{F} = 5 \text{ ms} = 5 \times 10^6 \text{ ns}$$

Le temps de commutation de la porte 74LS étant de quelques ns, ne pas s'étonner de la voir basculer plusieurs fois au passage de la tension de seuil V_T .

La figure 2.37 représente la courbe de décharge du condensateur en fonction du temps du montage de la figure 2.36. On voit que pendant les premières 50 ns un courant de plusieurs ampères circule dans le circuit de masse(*). C'est plus qu'il n'en faut pour décourager les circuits les mieux immunisés. Après toutes ces frustrations, plaçons une résistance de $10\ \Omega$ en série avec le contact comme l'indique la figure 2.38. Cela nous permet au moins de faire fonctionner le compteur de 10 MHz avec un taux de réussite de 70 % contre 0 % sans cette résistance. Et ceci malgré une augmentation du temps de descente.

L'étude est très sommaire et ne tient pas compte de la théorie des courants transitoires. Elle est cependant suffisante pour conclure que le projet n'est pas très sérieux, surtout avec une porte classique et relativement rapide.

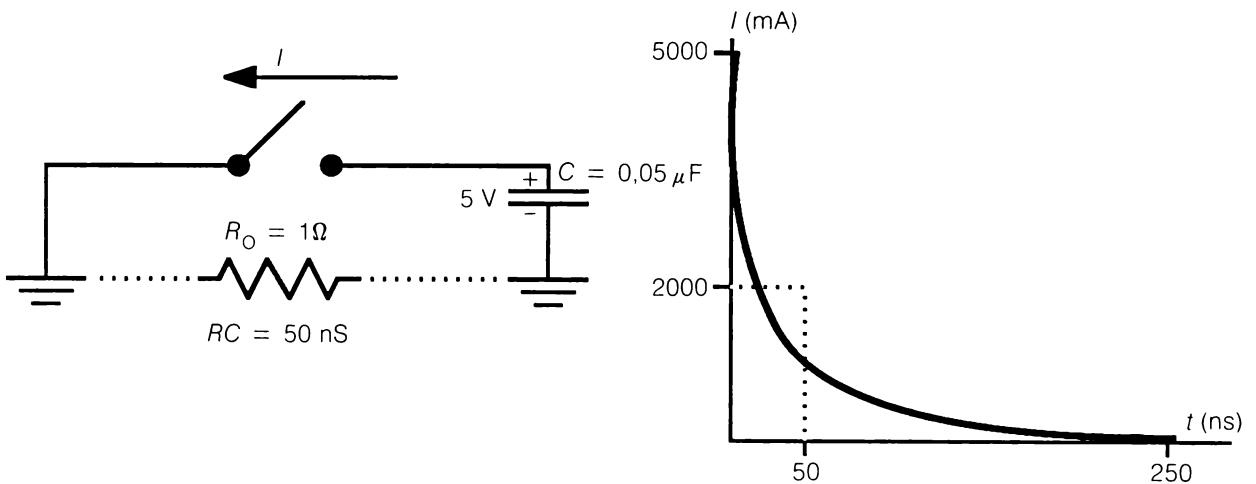


Figure 2.37 Pour l'exercice de 2.9.4. Courant de décharge du condensateur du circuit de la figure 2.36.

(*) Voir la section de l'appendice B intitulée Condensateur : régime impulsionnel.

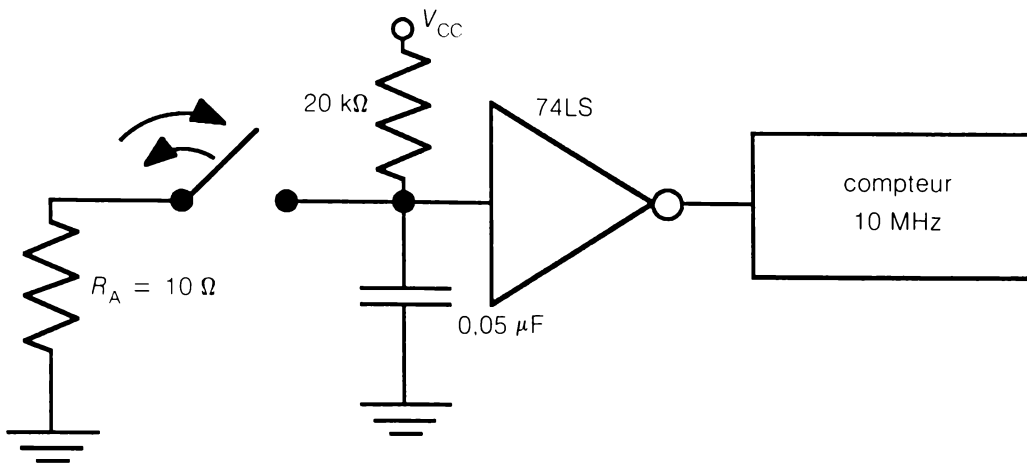


Figure 2.38 Pour l'exercice de 2.9.4. Une résistance d'amortissement R_A améliore sensiblement le fonctionnement du montage.

2.9.5 Résumé de la conformation des signaux

Le déclencheur de Schmitt, le multivibrateur monostable, les constantes de temps, les circuits spéciaux et les techniques de programmation constituent l'arsenal de l'« interfacien » pour résoudre les problèmes de conformation des signaux. De préférence, corriger les signaux avant qu'ils ne pénètrent trop loin dans la logique du système. Si des retours de masse doivent transporter des transitoires d'amplitude élevée, les relier à la masse de la logique en un seul point proche de l'alimentation.

2.10 Interface ECL

La figure 2.39 représente le circuit de sortie chargé équivalent d'un circuit ECL. Que la sortie soit de niveau haut ou de niveau bas, elle utilise le même transistor qui conduit toujours sans jamais être saturé. L'impédance de sortie pour les deux niveaux (aussi faible que 7Ω) suggère l'attaque d'un câble coaxial de 50Ω dont la figure 2.40 représente la courbe d'atténuation en fonction de la fréquence.

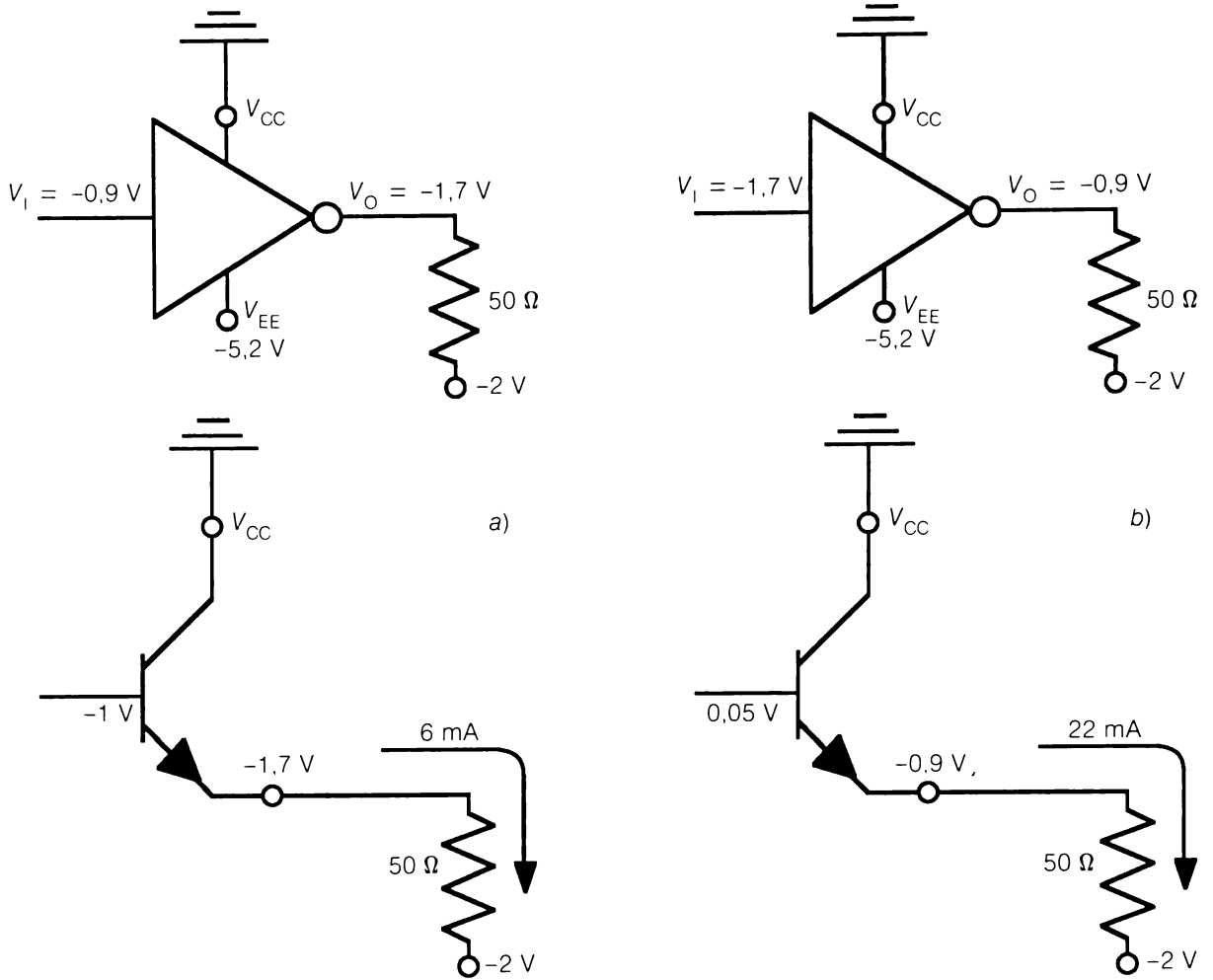


Figure 2.39 a) Circuit ECL et sa sortie équivalente forcée au niveau bas ($-1,7\text{ V}$) par une entrée de niveau haut ($-0,9\text{ V}$);
 b) Circuit ECL et sa sortie équivalente forcée au niveau haut ($-0,9\text{ V}$) par une entrée de niveau bas ($-1,7\text{ V}$).

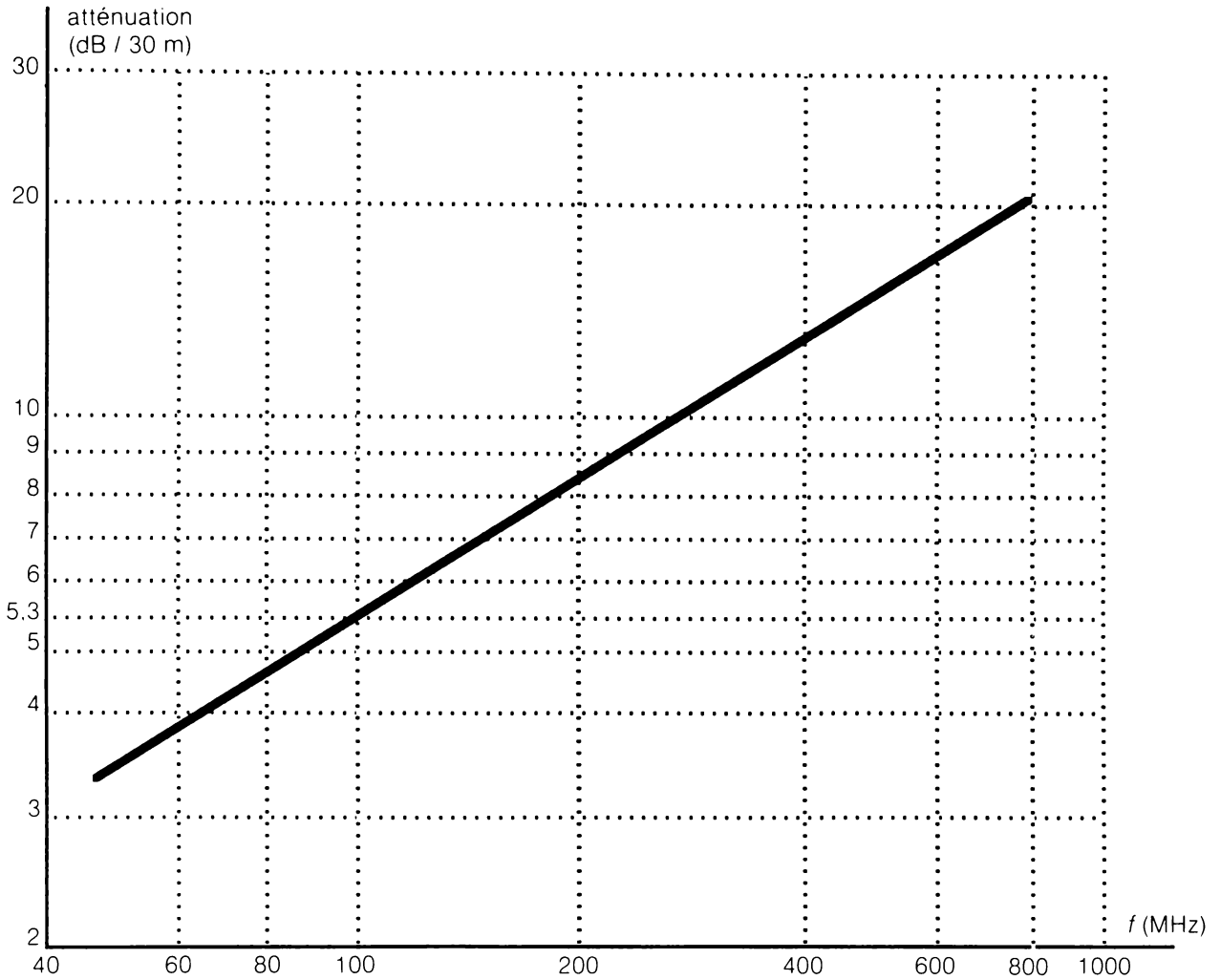


Figure 2.40 Atténuation en fonction de la fréquence d'un câble coaxial RG58/U de 50Ω .

La fréquence maximale transmissible dépend surtout du temps de montée t_r de la porte ECL. Pour la série MECL10KH, la fréquence est :

$$f = \frac{0,37}{t_r} = \frac{0,37}{1,8 \text{ ns}} = 206 \text{ MHz}$$

La figure 2.41 représente une transmission par câble coaxial de 50Ω . Si on tolère une perte dans le câble de 300 mV (150 mV pour chaque niveau logique), alors

$$\text{Atténuation (dB)} = 20 \log \frac{800}{500} = 4,1 \text{ dB}$$

Selon la figure 2.40, une transmission à 100 MHz limite la longueur L du câble à

$$L = \frac{4,1 \text{ dB}}{5,3 \text{ dB/30 m}} = 23 \text{ m}$$

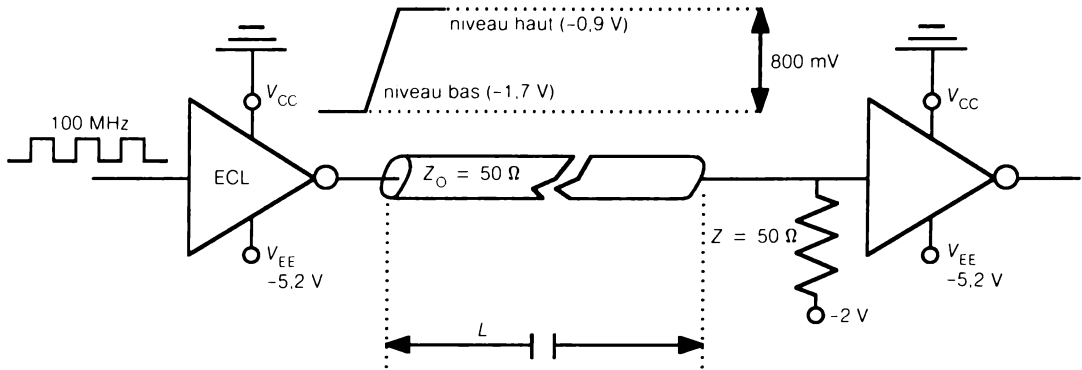


Figure 2.41 Principe de la transmission sur câble coaxial avec la logique ECL.

Puisque nous avons terminé le câble sur son impédance caractéristique, le coefficient de réflexion C_r est nul. Pour mémoire, rappelons que

$$C_r = \frac{Z - Z_0}{Z + Z_0}$$

On évite l'emploi de deux alimentations en terminant le câble sur un diviseur de tension comme le suggère la figure 2.42.

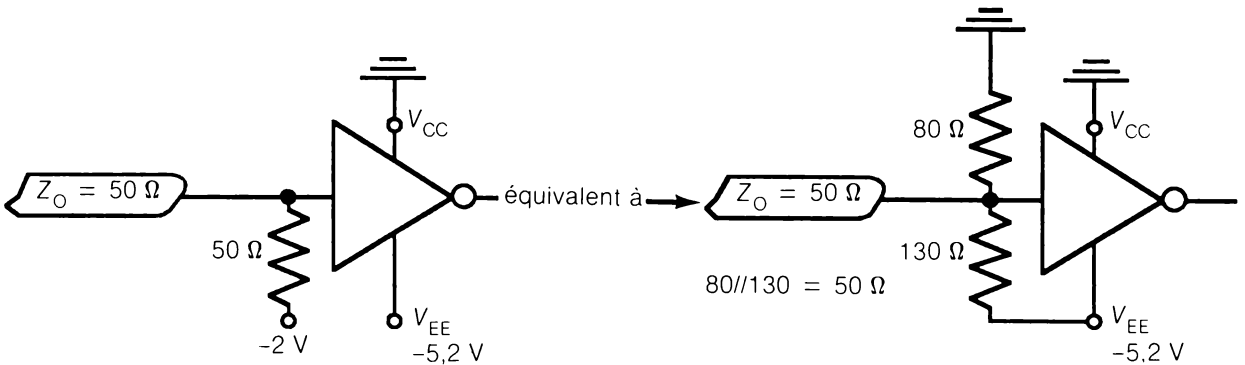


Figure 2.42 On utilise une seule alimentation en terminant le câble sur un diviseur de tension.

Les résistances utilisées doivent posséder des propriétés inductives aux hautes fréquences appropriées à la fonction. Nous empruntons à Motorola quelques mesures effectuées sur des résistances au carbone :

1/2 W	51 Ω	500 MHz	$Z = 51,8 + j 15,5$
1/4 W	51 Ω	500 MHz	$Z = 48,8 + j 6,1$
1/8 W	51 Ω	500 MHz	$Z = 51,5 + j 6,7$

Ces mesures semblent privilégier les résistances de 1/4 W et de 1/8 W. À titre d'exemple, calculons le coefficient de réflexion pour un câble de 50 Ω terminé par une résistance de 1/2 W. Il vient

$$C_r = \frac{Z - Z_0}{Z + Z_0} = \frac{51,8 + j15,5 - 50}{51,8 + j15,5 + 50} = 0,15 \quad \underline{74,7}$$

Si la tension incidente est de 800 mV, la tension réfléchie égale

$$V_r = 0,15 \times 800 \text{ mV} = 120 \text{ mV}$$

Évidemment, on peut perdre jusqu'à 300 mV, mais la sortance et la stabilité du circuit sont sérieusement diminuées. Refaites le calcul avec une résistance de 1/4 W ou de 1/8 W. Vous devriez trouver une tension réfléchie de 50 mV. Certaines résistances de précision (bobinées par exemple) ont des propriétés inductives aux HF absolument incompatibles pour ce genre d'application.

2.10.1 Résumé de la technologie ou logique ECL

On reproche souvent à la technologie ECL sa difficulté de mise en service : relation entre ses tensions étranges, quantité de paramètres et de symboles (plus de 50) qui la définissent, temps de transition rapide qui ne permettent pas l'utilisation de circuits imprimés classiques, etc. Remarque : la technologie ECL (qui en est à sa cinquième génération) s'est débarrassée de ses défauts de jeunesse et on ne l'utilise pas là où d'autres technologies sont plus performantes. Ce n'est d'ailleurs pas l'utilisation de la technologie ECL qui est délicate mais bien l'étude et la mise en place de systèmes de commutation ou de transmission rapide. On peut même croire que la technologie ECL est la plus simple à utiliser dans les systèmes haute vitesse. De toute façon, doit-on vraiment reprocher à une automobile d'être plus compliquée à utiliser qu'une bicyclette ?

2.11 Transmission sur ligne bifilaire

Revoyons à la figure 2.43 l'exemple d'un capteur mécanique transmettant une information tout ou rien vers une logique CMOS. Le montage 2.43a est satisfaisant. Le montage 2.43b est inopérant ; vous avez reconnu « l'antenne » de 10 m raccordée sur le circuit d'entrée haute impédance. Le montage 2.43c est satisfaisant malgré la ligne de 100 m bifilaire séparant le capteur de la logique. Cet exemple nous rappelle que, même en très basse fréquence, on ne peut transmettre des informations sur une ligne terminée par une haute impédance.

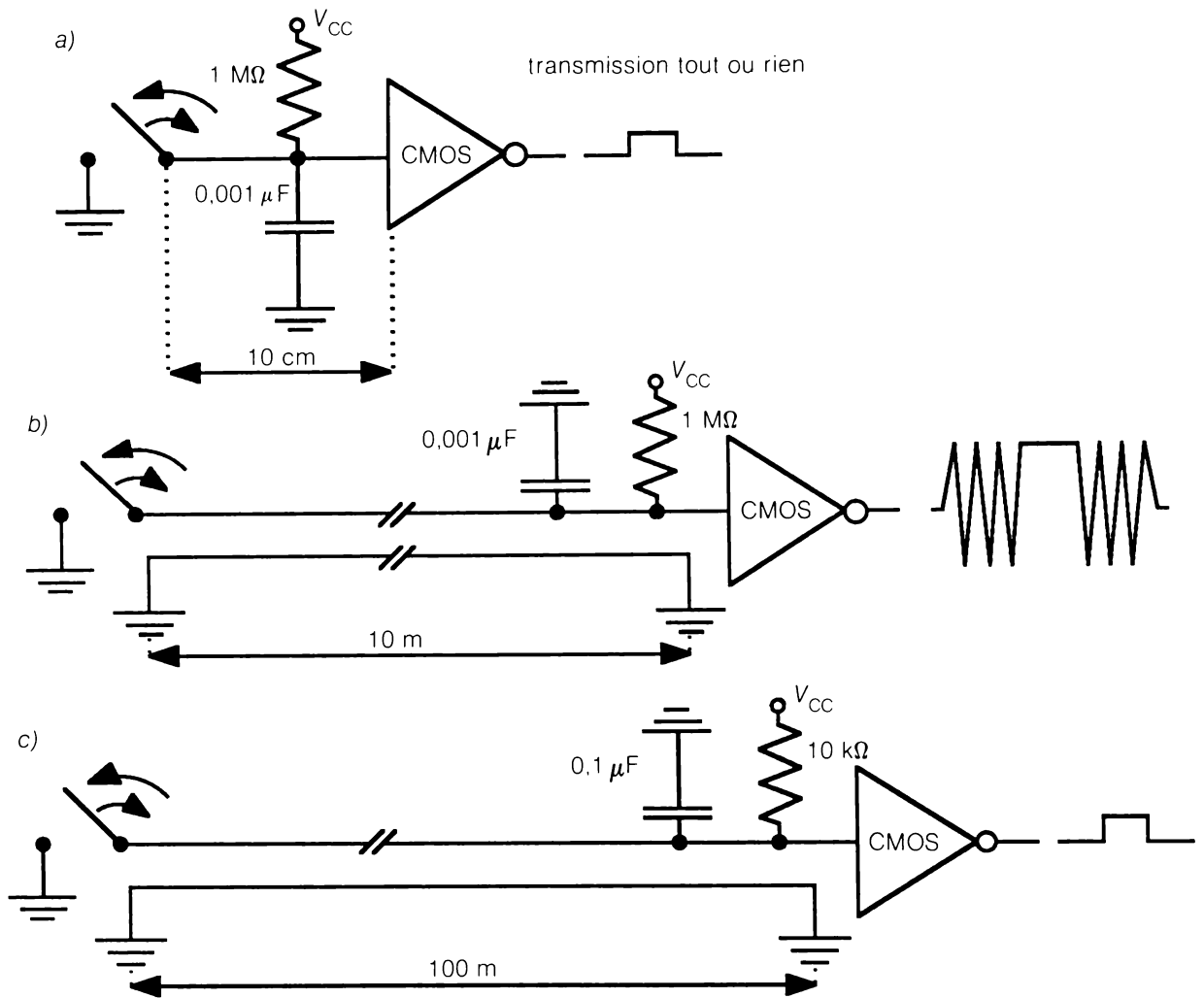


Figure 2.43 Le montage a) est acceptable. En b), la ligne est trop longue ou la résistance terminale trop élevée. Le montage c) est acceptable.

2.11.1 Modulation et longueur de ligne

Si la transmission s'effectue entre deux postes L_1 et L_2 , la longueur maximale de la ligne dépend surtout de la modulation. Comme le montre la figure 2.44, une modulation de 20 Mb limite la longueur de la ligne à 100 m. Par contre, une transmission de 4 Mb peut emprunter une ligne de 1000 m. Remarquez que la modulation M en bauds (b) est le rapport de la fréquence f en hertz (Hz) au taux de répétition T_R . On a

$$M = \frac{f}{T_R} = \frac{1}{T_H}$$

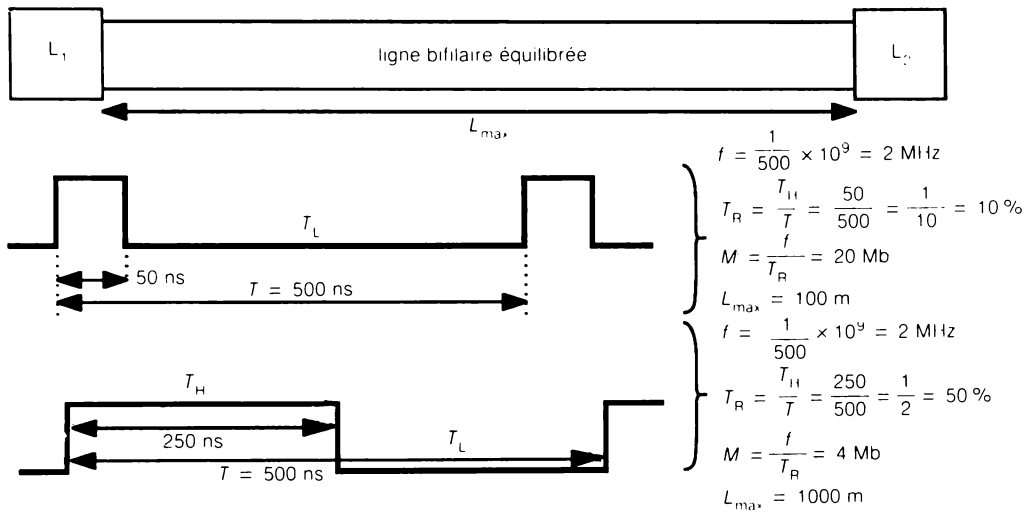


Figure 2.44 La modulation limite la longueur de la ligne.

2.11.2 Impédance caractéristique

On sait que si le temps de montée du signal à transmettre est court par rapport au temps de propagation de la ligne, l'émetteur sera chargé par l'impédance caractéristique de la ligne qui est de l'ordre de 100 Ω pour une ligne bifilaire telle un câble de téléphone. Dans ce cas le coefficient de réflexion égale

$$C_r = \frac{Z - Z_0}{Z + Z_0}$$

Si, comme le représente la figure 2.45 a), $Z = Z_0$, il n'y aura pas de réflexion et la tension disponible en bout de ligne vaut 100 % de la tension incidente V_i . La figure 2.45 b) représente un exemple de mauvaise adaptation. La tension réfléchi V_r égale 30 % de la tension incidente et la transmission est fortement perturbée. Précaution pratique et valable dans la plupart des applications : toujours terminer la ligne sur son impédance caractéristique si le produit $ML > 1$. Dans cette inégalité,

M = modulation en MHz

L = longueur de la ligne en m.

De plus, si la ligne est très longue ou la fréquence très élevée, on adaptera la ligne à ses deux extrémités.

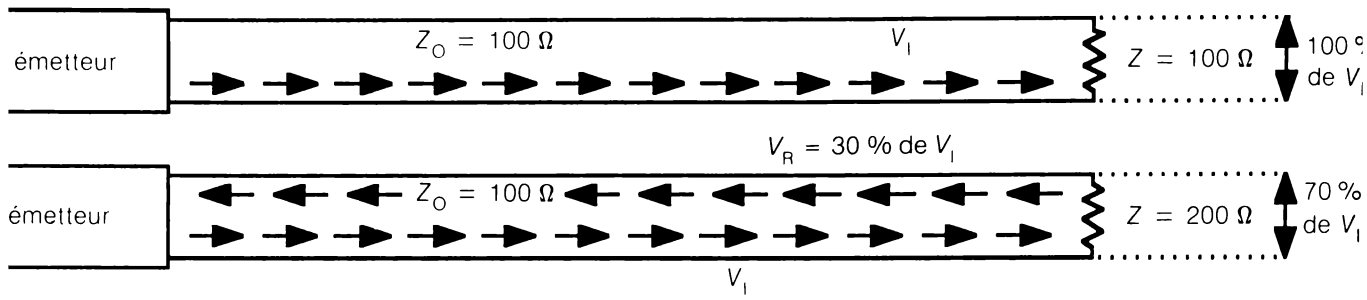


Figure 2.45 a) Ligne bien adaptée b) $Z \neq Z_0$: réflexion.

2.11.3 Émetteur et récepteur de ligne

La figure 2.46 a) rappelle que le courant de sortie haut d'une porte TTL est de 0,4 mA. À la figure 2.46 b) le courant de sortie est, selon la loi d'Ohm, de 30 mA. On ne peut donc utiliser un tel TTL sur une ligne bifilaire adaptée. Selon la figure 2.46 b) les émetteurs de ligne doivent être capables de fournir un courant de l'ordre de 30 mA. À titre documentaire, l'émetteur de ligne 75176 peut fournir un courant $|I_{OH}| = |I_{OL}| = 33$ mA.

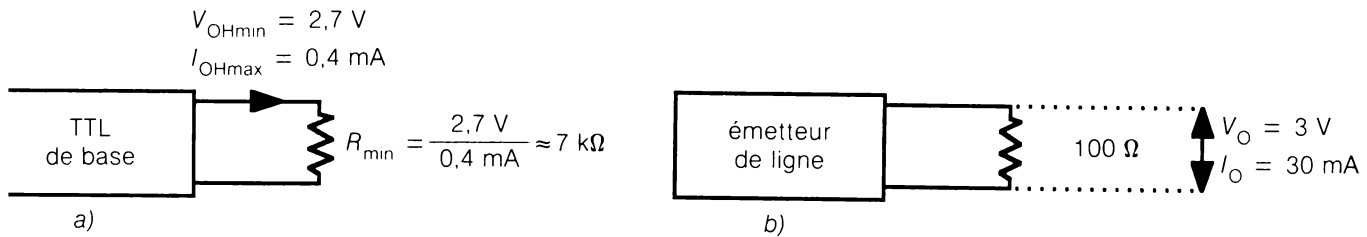


Figure 2.46 a) La résistance minimale de charge d'une porte TTL de base doit être de 7 k Ω . Cette porte ne peut donc piloter une ligne adaptée de 100 Ω .
b) L'émetteur de ligne peut fournir un courant de 30 mA.

On peut ignorer la résistance d'entrée de plusieurs k Ω des récepteurs de ligne illustrés à la figure 2.47.

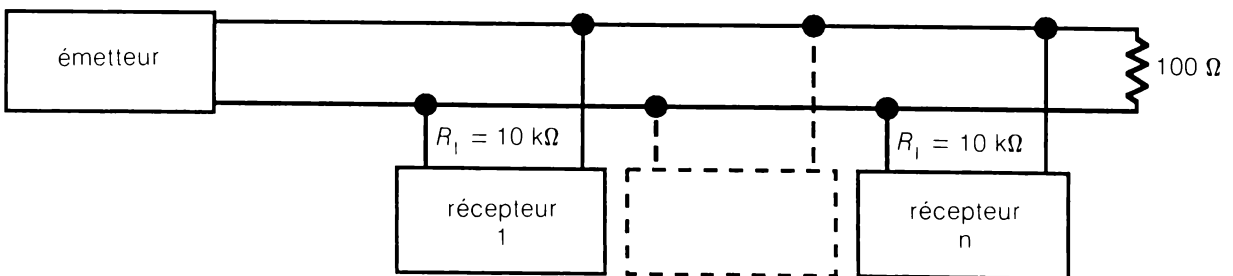


Figure 2.47 Les récepteurs de ligne à résistance d'entrée élevée ne modifient pas les caractéristiques de la ligne.

2.11.4 Émetteur-récepteur de ligne

Si la transmission est bidirectionnelle, la ligne sera adaptée à ses deux extrémités sur son impédance caractéristique. La figure 2.48 schématise une liaison bidirectionnelle avec deux émetteurs-récepteurs (*). Dans le sens gauche droite on isole le récepteur de gauche et l'émetteur de droite et vice versa pour l'autre sens. Le passage en haute impédance (Z) s'opère sur les transistors de sortie comme le rappelle la figure 2.49.

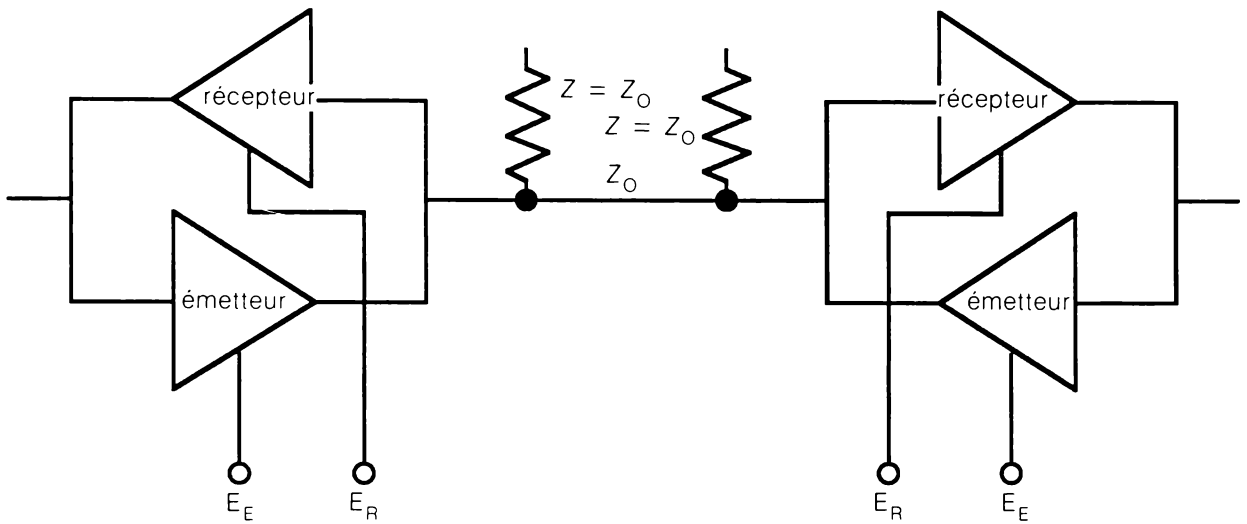


Figure 2.48 Liaison bidirectionnelle sur ligne adaptée.

(*) Voir la fiche technique de l'émetteur-récepteur différentiel 75176 à l'appendice A.

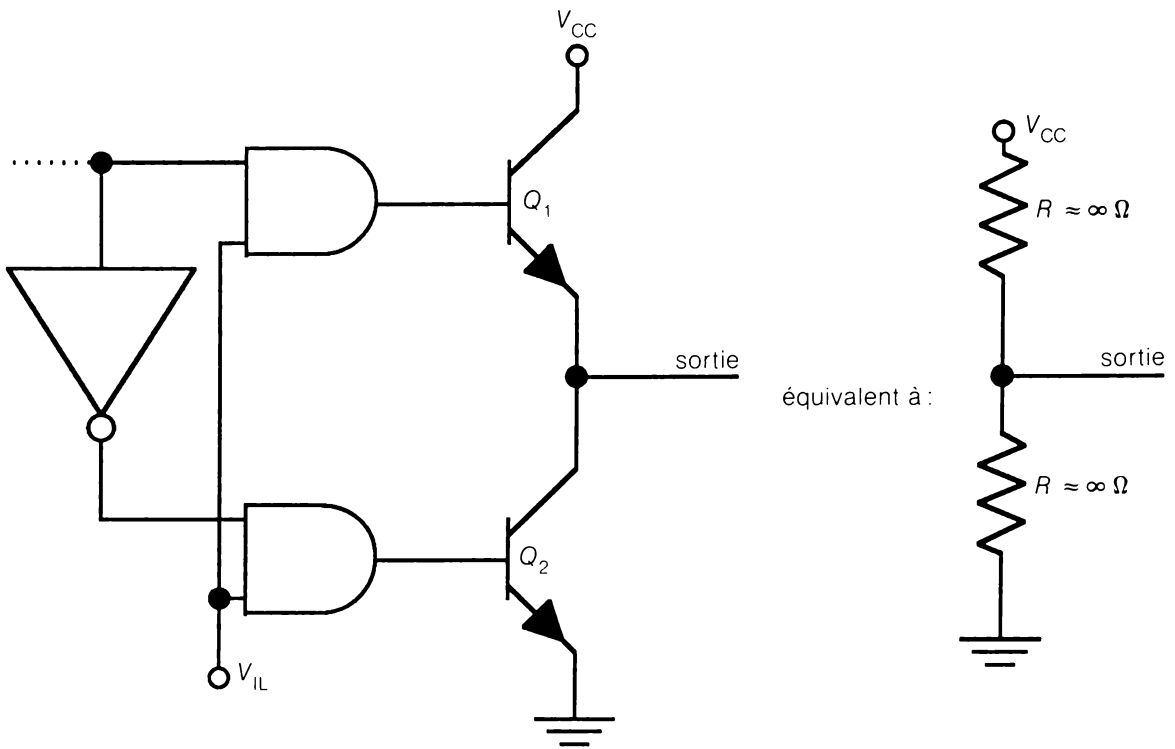


Figure 2.49 Principe de la mise en haute impédance.

2.11.5 Répéteur de ligne

Si la ligne est trop longue, on utilise un répéteur qui n'est en fait qu'un double émetteur-récepteur comme l'indique la figure 2.50.

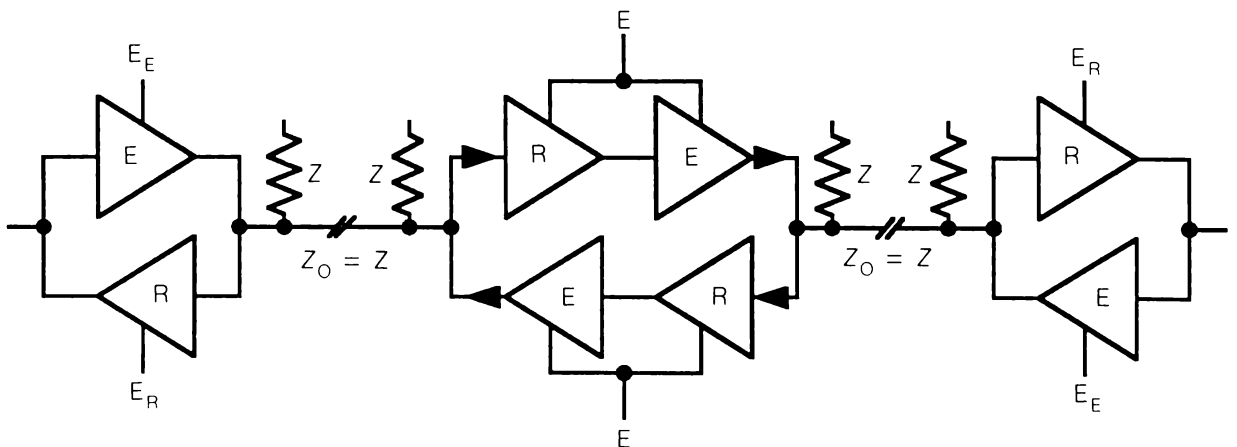


Figure 2.50 Sur une ligne longue on utilise un répéteur.

Les émetteurs et les récepteurs unipolaires (une porte classique est un émetteur ou un récepteur unipolaire) sont conformes aux normes RS232 et RS423. D'autres normes plus exigeantes (RS422 et PN1360) exigent l'utilisation d'émetteurs-récepteurs différentiels. À titre d'exemple, le projet n° 1360 du comité EIA exige que l'on puisse brancher 32 émetteurs et 32 récepteurs sur une ligne de 1200 m. Évidemment il a fallu augmenter la résistance minimale d'entrée des récepteurs qui est passée de $3\text{ k}\Omega$ (norme RS232) à $12\text{ k}\Omega$.

2.11.6 Émetteurs et récepteurs différentiels

La figure 2.51 représente le circuit équivalent d'un émetteur différentiel. C'est en fait deux fois le circuit d'une porte classique. La figure 2.52 représente le circuit équivalent d'un récepteur différentiel. Si la sortie est un classique de la logique TTL, l'entrée, elle, fait plutôt partie de la famille des circuits linéaires.

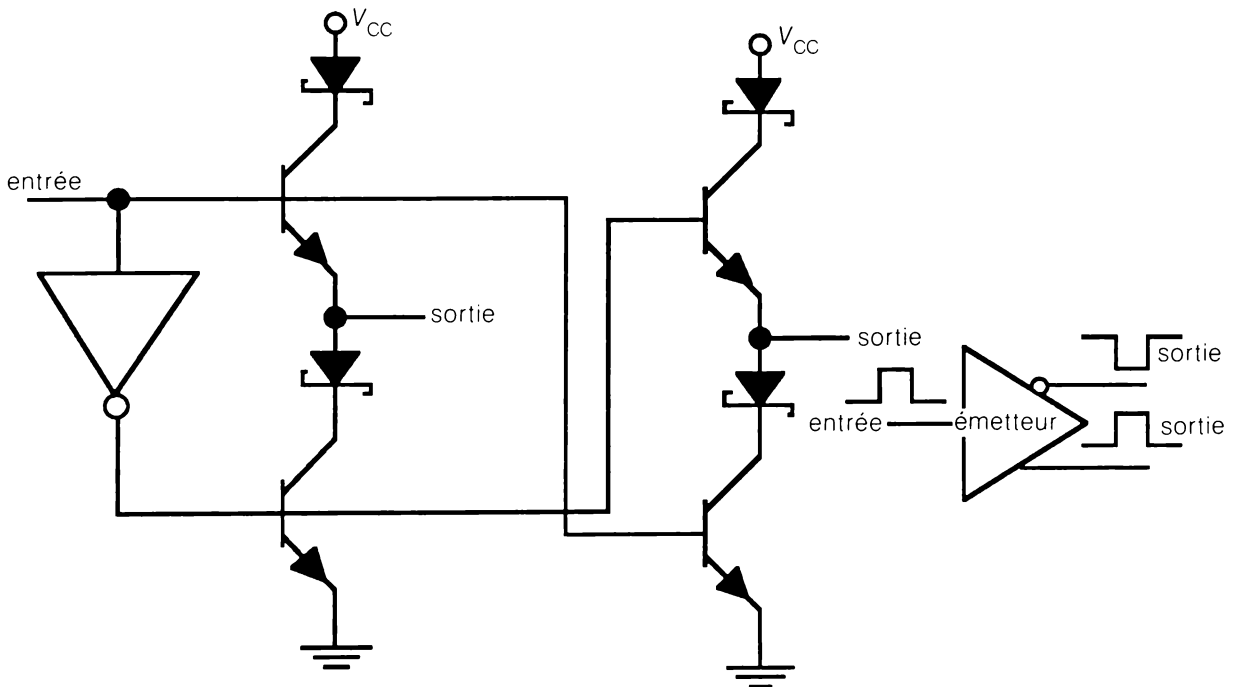


Figure 2.51 Circuit équivalent d'un émetteur différentiel.

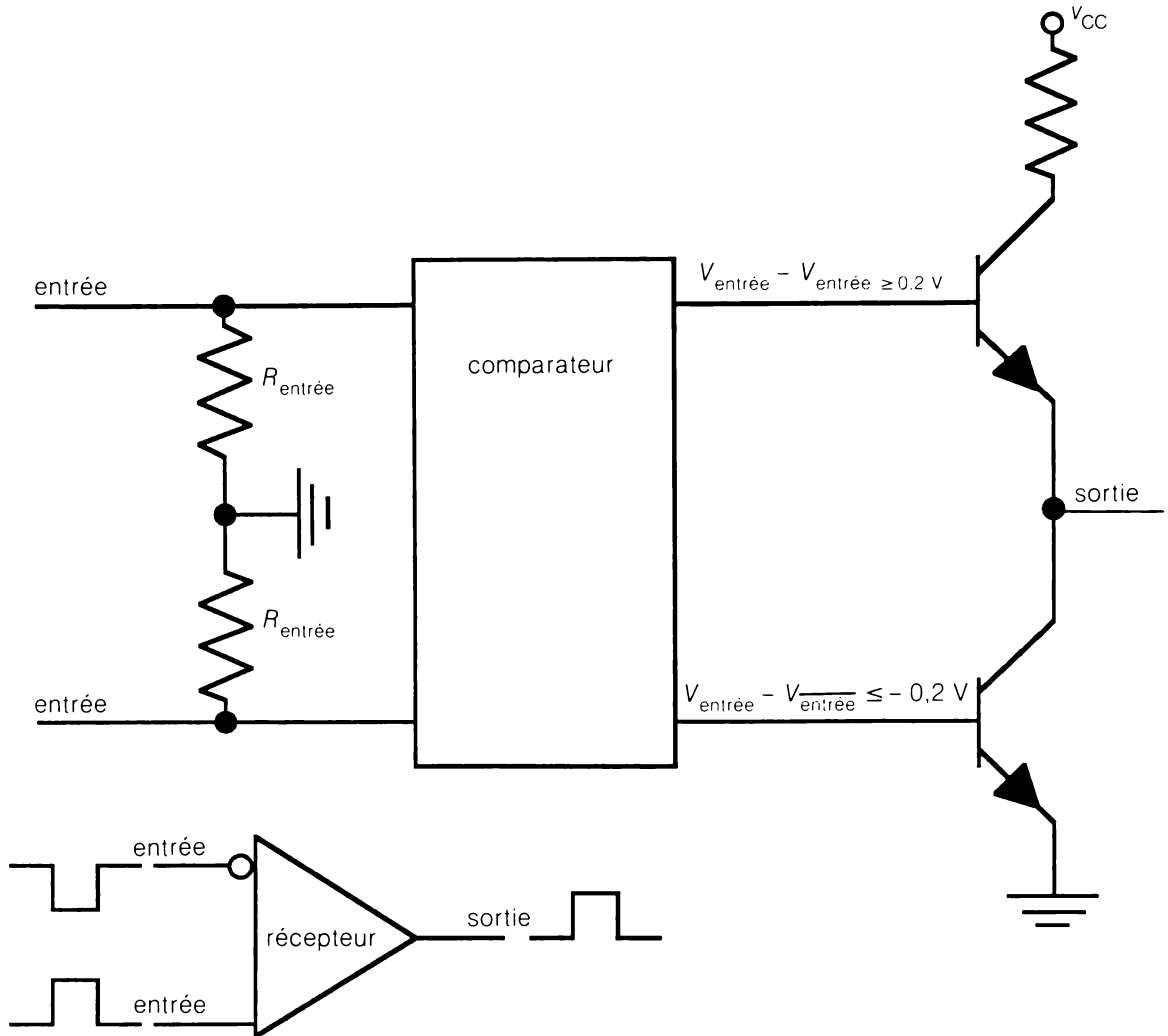


Figure 2.52 Schéma de principe d'un récepteur différentiel.

2.11.7 Immunité au bruit

Les résistances terminales de ligne à utiliser avec un émetteur et un récepteur différentiels doivent être dédoublées comme le montre la figure 2.53 qui illustre aussi comment l'entrée du récepteur ignore un bruit commun I_z . De plus, le courant dans le fil de masse étant négligeable, la ligne équilibrée ne génère aucun bruit.

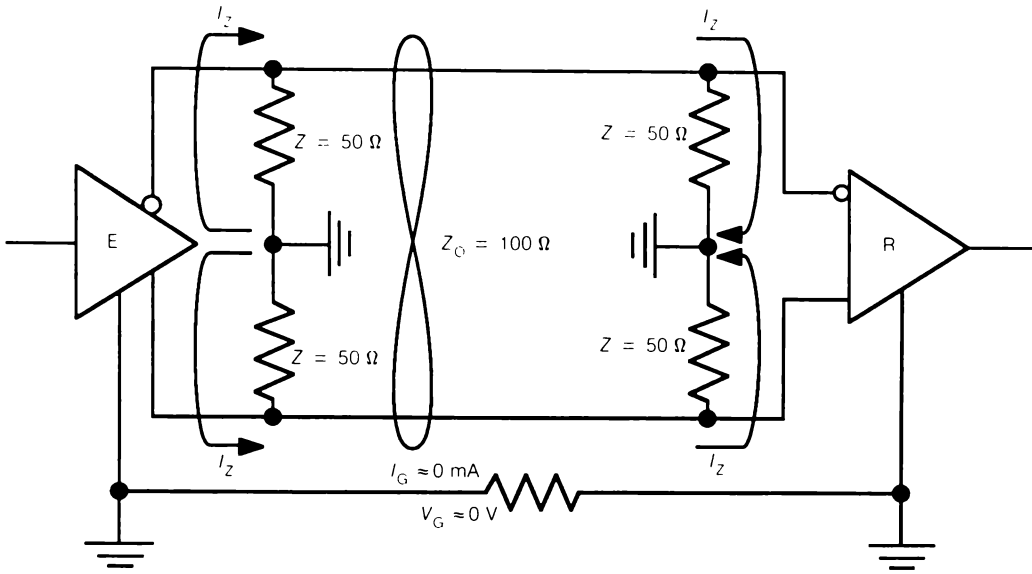


Figure 2.53 Une ligne équilibrée est insensible au bruit et n'en génère pas.

Il en va tout autrement pour la ligne déséquilibrée représentée à la figure 2.54. Le courant dans le fil de masse est une source de bruit commun avec les circuits voisins.

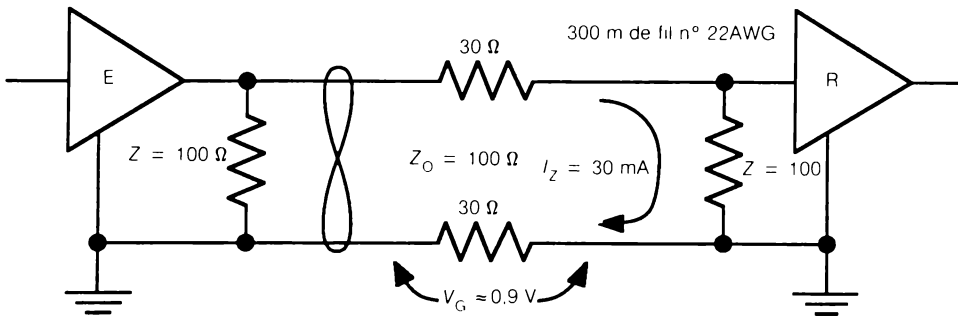
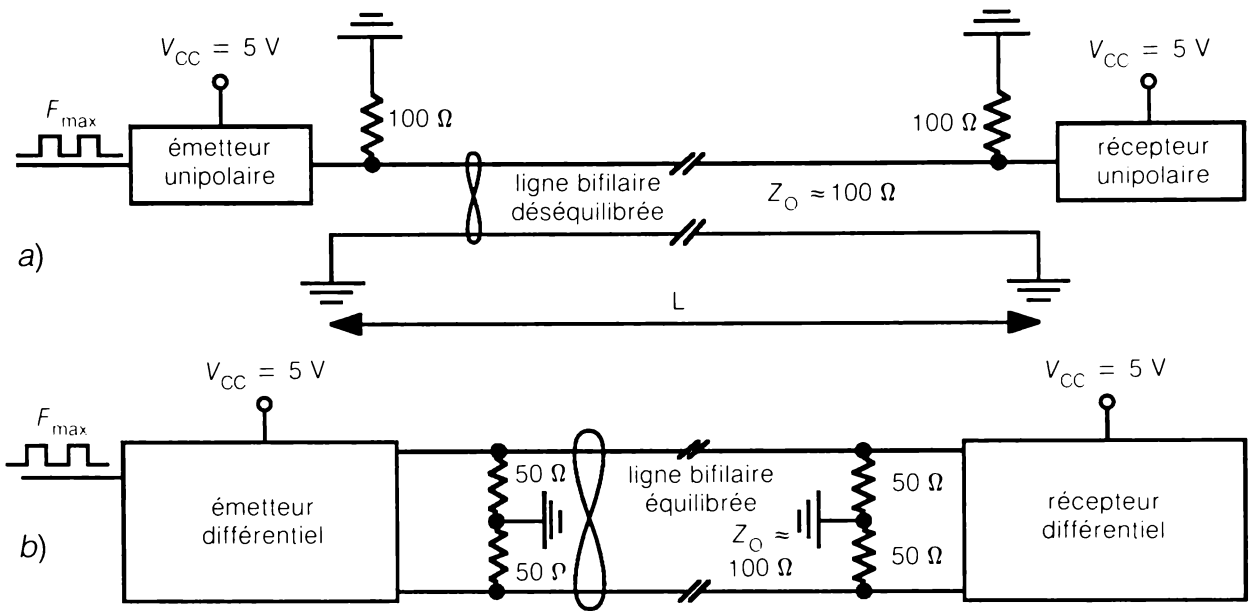


Figure 2.54 Une ligne déséquilibrée est sensible au bruit et en génère dans le retour de masse.

2.11.8 Interface unipolaire et différentielle

La figure 2.55 représente deux exemples de transmission qui couvrent la plupart des besoins. À moins qu'elle ne soit blindée (câble coaxial) ou que l'environnement ne soit très calme, la ligne déséquilibrée ne devrait pas dépasser 100 m.



L (m)	Ligne déséquilibrée	Ligne équilibrée
	M_{\max} (baud) $T_R = 10\%$	M_{\max} (baud) $T_R = 10\%$
10	50 Mb	100 Mb
10	25 Mb	50 Mb
100	10 Mb ligne blindée	20 Mb
500	3 Mb ligne blindée	5 Mb
2000	Non recommandée	1 Mb

Figure 2.55 a) Émetteur et récepteur unipolaires ;
 b) Émetteur et récepteur différentiels ;
 c) Modulation maximale en bauds en fonction de la longueur de la ligne pour un taux de répétition de 10 %.

2.11.9 Normes

Une liste non limitative des circuits conformes aux normes les plus courantes apparaît au tableau 2.3. Notez que les normes IEEE488 et IBM360/370 répondent plus à des besoins d'interfaces locales qu'à des normes de transmission sur ligne.

Tableau 2.3 Guide partiel des normes et des circuits qui leur sont conformes.

Norme	Application	Circuits	Description
RS232	ligne courte déséquilibrée	75150	double émetteur unipolaire
		75152	double récepteur unipolaire
		75154	quadruple récepteur unipolaire
RS423	ligne longue déséquilibrée	75156	double émetteur unipolaire
		75186	quadruple émetteur unipolaire
		75173	quadruple récepteur unipolaire
		75175	quadruple récepteur unipolaire
RS422	ligne longue équilibrée	75172	quadruple émetteur différentiel
		75174	quadruple émetteur différentiel
		75173	quadruple récepteur différentiel
		75175	quadruple récepteur différentiel
IEEE488	interface d'instruments de laboratoire et de systèmes d'acquisition de données intelligents — ligne courte	75160	octal transmetteur unipolaire
		75161	octal transmetteur unipolaire
		75162	octal transmetteur unipolaire
IBM360/370	interface de périphériques — ligne courte	75123	double émetteur unipolaire
		75124	triple récepteur unipolaire

2.11.10 Exercice sur la transmission par logique de base

Calculez R_{Lmin} et R_{Hmin} pour les deux montages représentés à la figure 2.56.

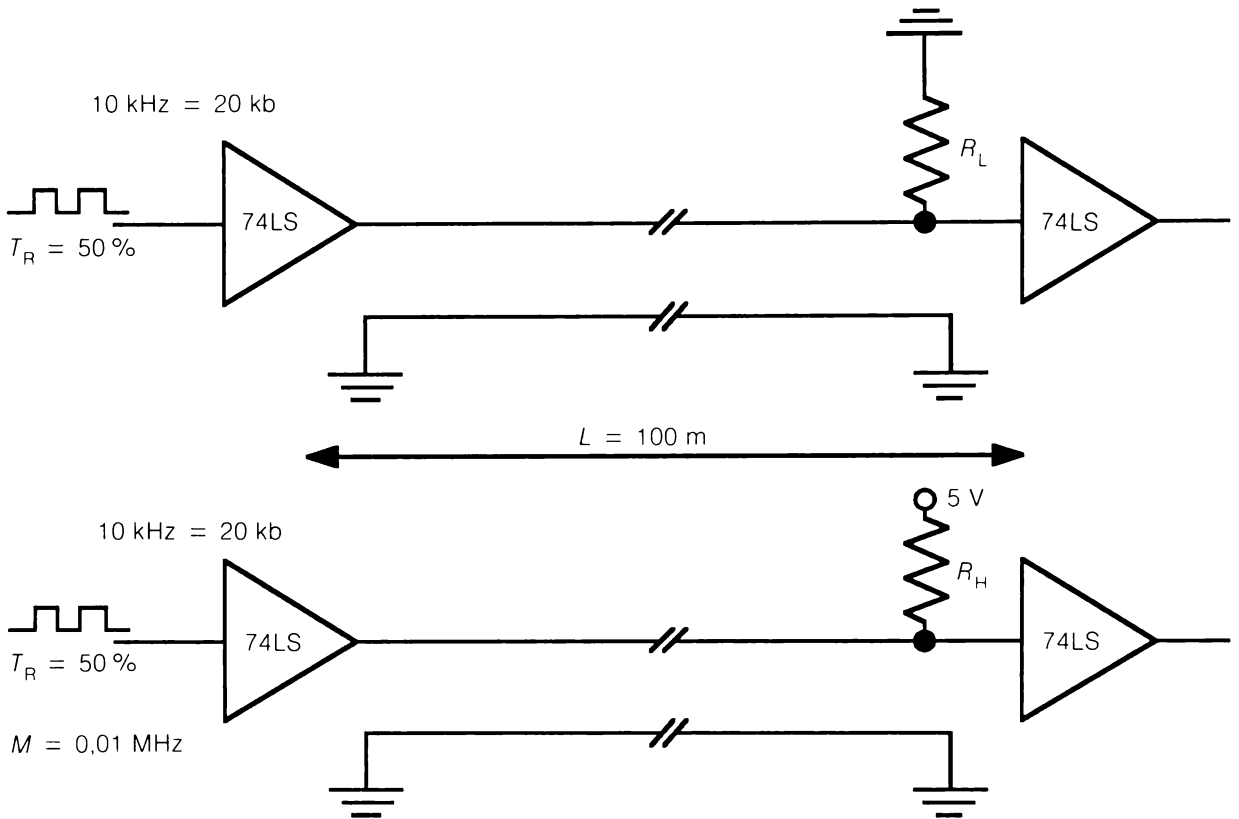


Figure 2.56 Pour l'exercice de 2.11.10.

Solution

Comme le produit ML ne dépasse pas 1, il n'est pas nécessaire de terminer la ligne sur son impédance caractéristique. De toute façon, les courants de sortie maximaux des circuits de base LS l'auraient interdit.

La figure 2.57 donne directement les valeurs de R_{Lmin} et de R_{Hmin} . Notez que la résistance continue de ligne, inférieure à $10\ \Omega$, n'a aucune raison d'apparaître dans la solution.

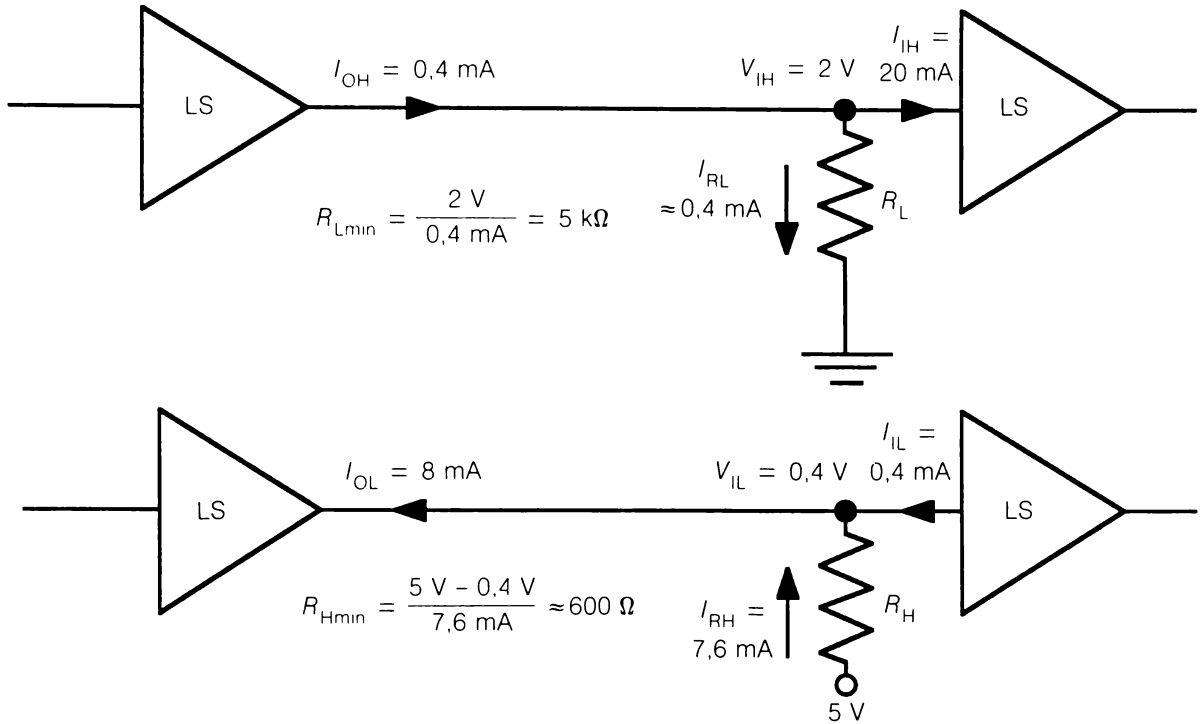


Figure 2.57 Pour la solution de l'exercice 2.11.10.

2.11.11 Résumé de la transmission sur ligne bifilaire

Une ligne équilibrée s'interface avec un émetteur et un récepteur différentiel. La ligne équilibrée génère peu de bruit et est bien immunisée contre le bruit extérieur. C'est la solution à adopter pour transmettre loin (2000 m en exagérant un peu !) et vite (100 mégabauds).

La ligne déséquilibrée s'interface avec un émetteur et un récepteur unipolaires. Elle est sensible au bruit et en génère elle-même. La ligne déséquilibrée est surtout utilisée pour l'interface locale (normes RS232 et IEEE488). L'interface sur ligne avec des portes classiques est possible pour des fréquences et longueur moyenne à condition que l'« interfaccien » double ses calculs d'une bonne simulation sur le terrain... et que ce terrain ne soit pas trop bruyant !

2.12 Expériences de laboratoire

1. Influence de la résistance de rappel

Soit le montage de la figure 2.58.

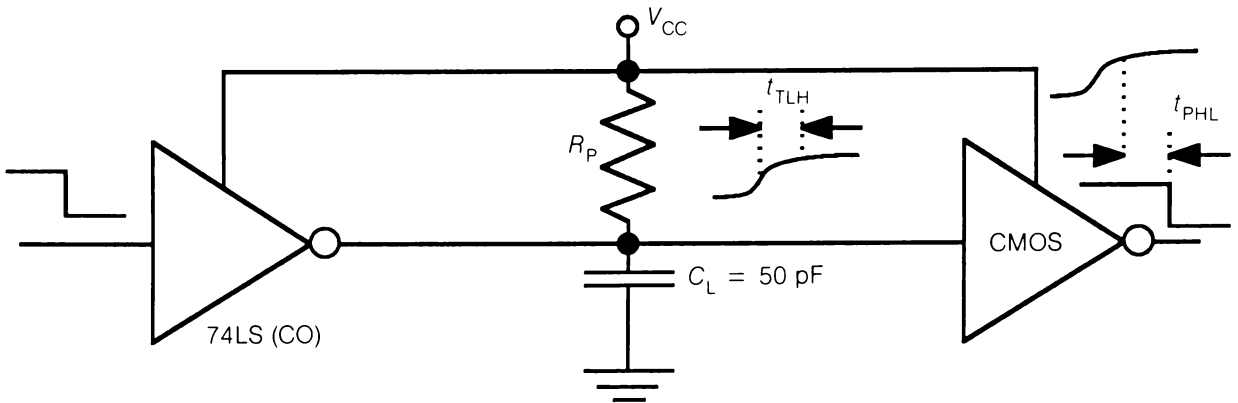


Figure 2.58 Pour l'expérience 1. La résistance R_p influence les temps de transition et de propagation.

Pour $R_p = 600 \Omega$ et $R_p = 15 \text{ k}\Omega$, calculez et relevez les temps de transition et de propagation. Consultez l'exercice de la section 2.5.1. N'oubliez pas de tenir compte de la capacité des câbles de mesure.

2. Circuits antirebonds

- Expérimentez les cinq circuits de la figure 2.32 ;
- Expérimentez le circuit de la figure 2.33 ;
- Expérimentez les circuits des figures 2.35a et 2.38.

3. Transmission sur ligne bifilaire

- À l'aide d'un oscilloscope, déterminez la meilleure des trois transmissions de la figure 2.59 ;

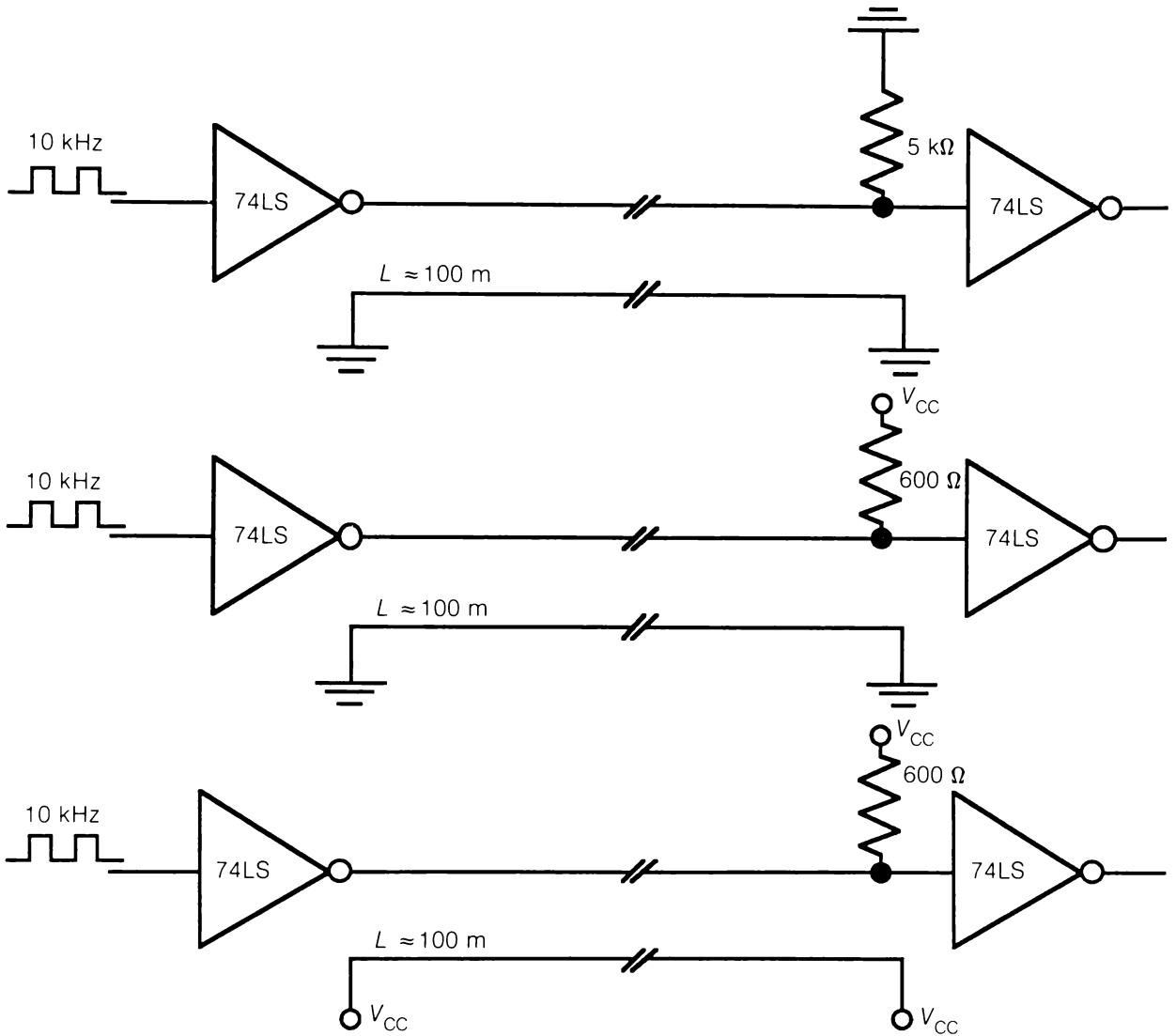


Figure 2.59 Pour les expériences 3a et 3b.

- b) Essayez de transmettre à 100 kHz et plus à l'aide du meilleur montage ;
- c) Sur la même ligne, transmettez à 100 kHz et plus à l'aide d'un transmetteur unipolaire comme l'indique la figure 2.60.

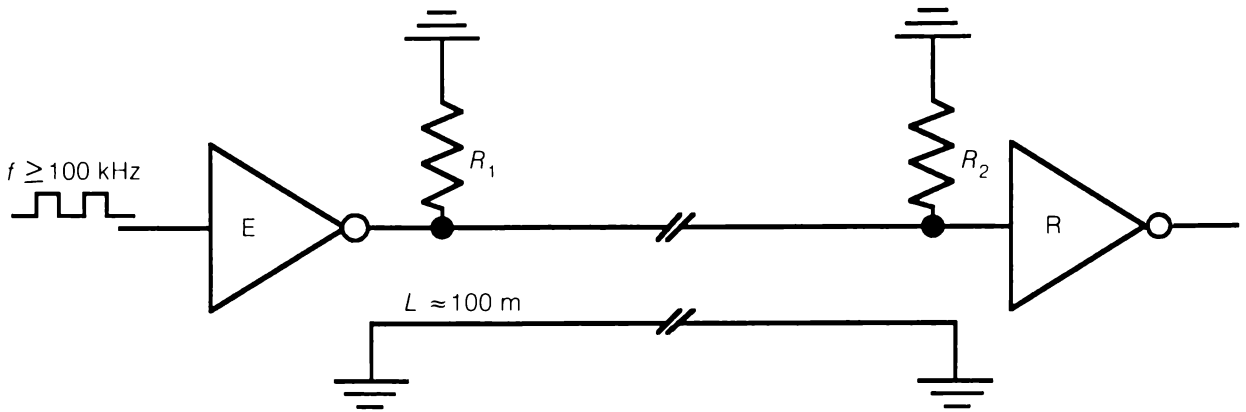


Figure 2.60 Pour l'expérience 3c.

Vérifiez la qualité de la transmission pour

- a) $R_1 = \infty$ et $R_2 = 600 \Omega$
- b) $R_1 = \infty$ et $R_2 = 100 \Omega$
- c) $R_1 = 100 \Omega$ et $R_2 = 100 \Omega$

2.13 Problèmes

1. Résistance de rappel

Calculez la résistance maximale de rappel $R_{P_{\max}}$ du montage de la figure 2.61.

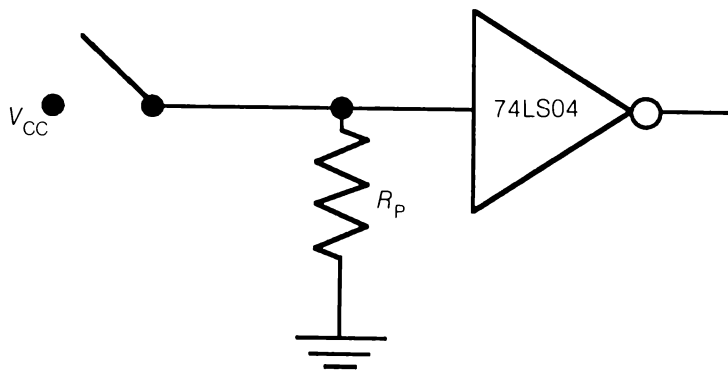


Figure 2.61 Pour le problème 1.

2. Influence de la charge sur les tensions et courants

Considérez le montage de la figure 2.62 et calculez la valeur approximative de

- I_1 ;
- I_2 ;
- I_3 ;
- V .

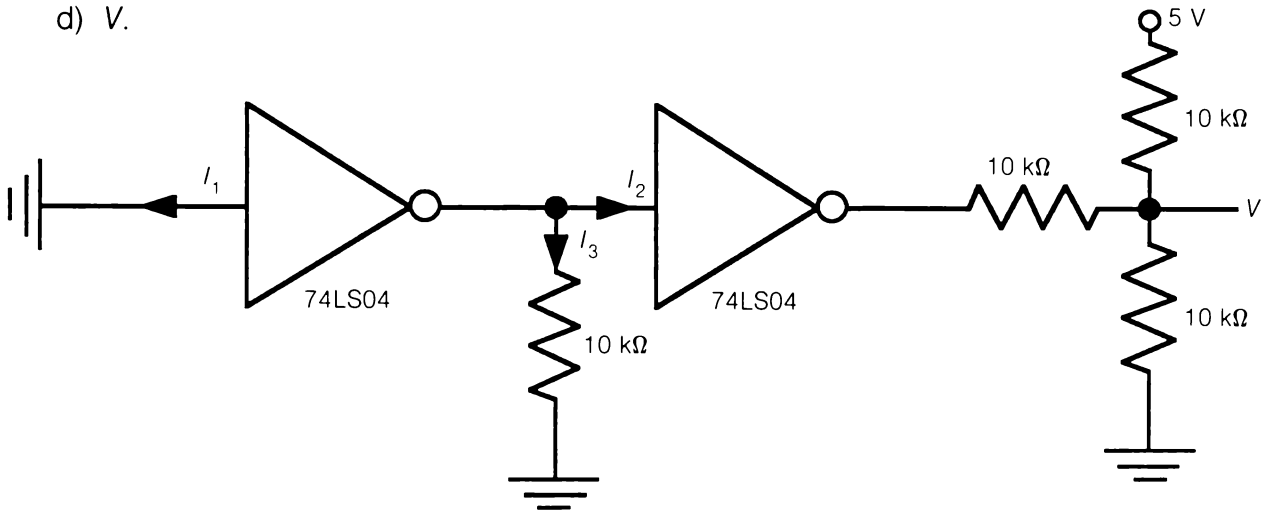


Figure 2.62 Pour le problème 2.

3. Ajustement de niveaux

Soit le montage de la figure 2.63.

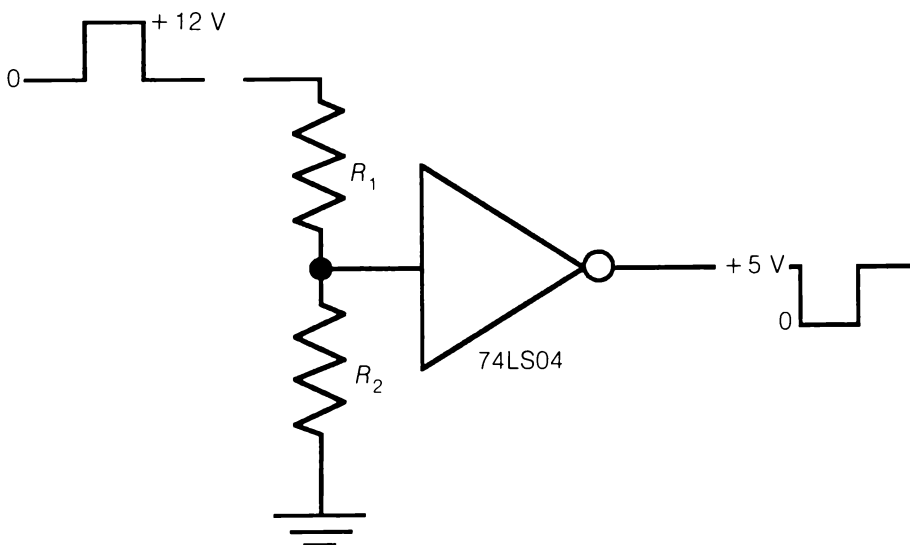


Figure 2.63 Pour le problème 3.

Calculez R_1 et R_2 pour un fonctionnement autorisé.

4. Circuit antirebonds

Dans le circuit éliminateur de rebonds de la figure 2.64, quel inconvénient le remplacement de la résistance par un court-circuit entraînerait-il ?

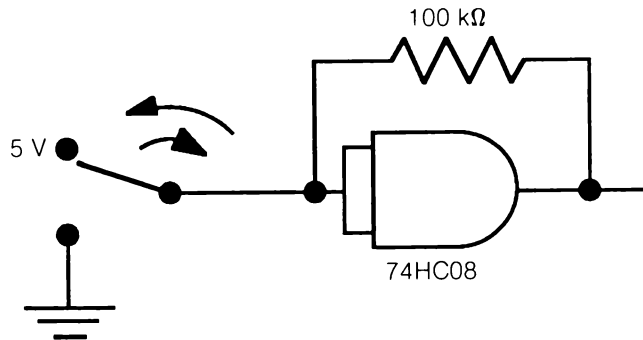


Figure 2.64 Pour le problème 4.

5. Sortance de la série 4000

Soit le montage de la figure 2.65.

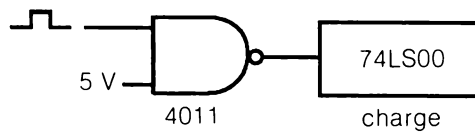


Figure 2.65 Pour le problème 5.

Combien de charges 74LS00 peut-on raccorder à la sortie du 4011 ?

6. Les erreurs fréquentes

Considérez les montages de la figure 2.66 et découvrez les erreurs ou les incohérences.

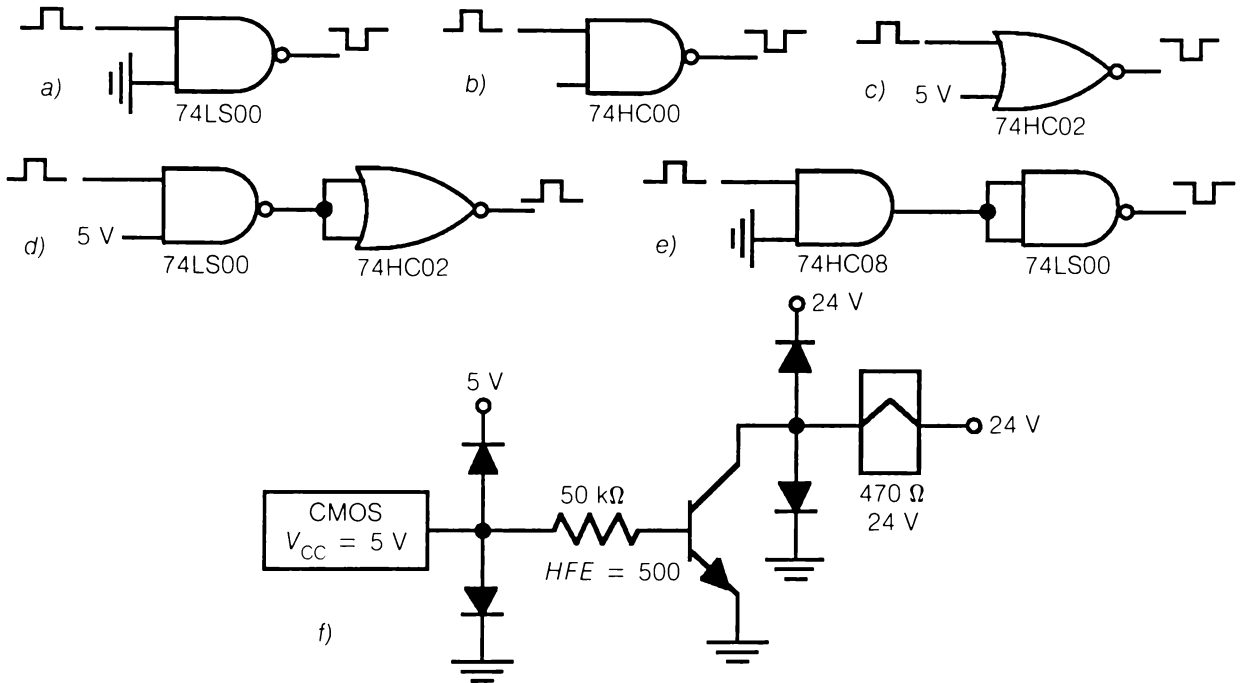


Figure 2.66 Pour le problème 6.

7. Interface Darlington

Considérez les montages de la figure 2.67.

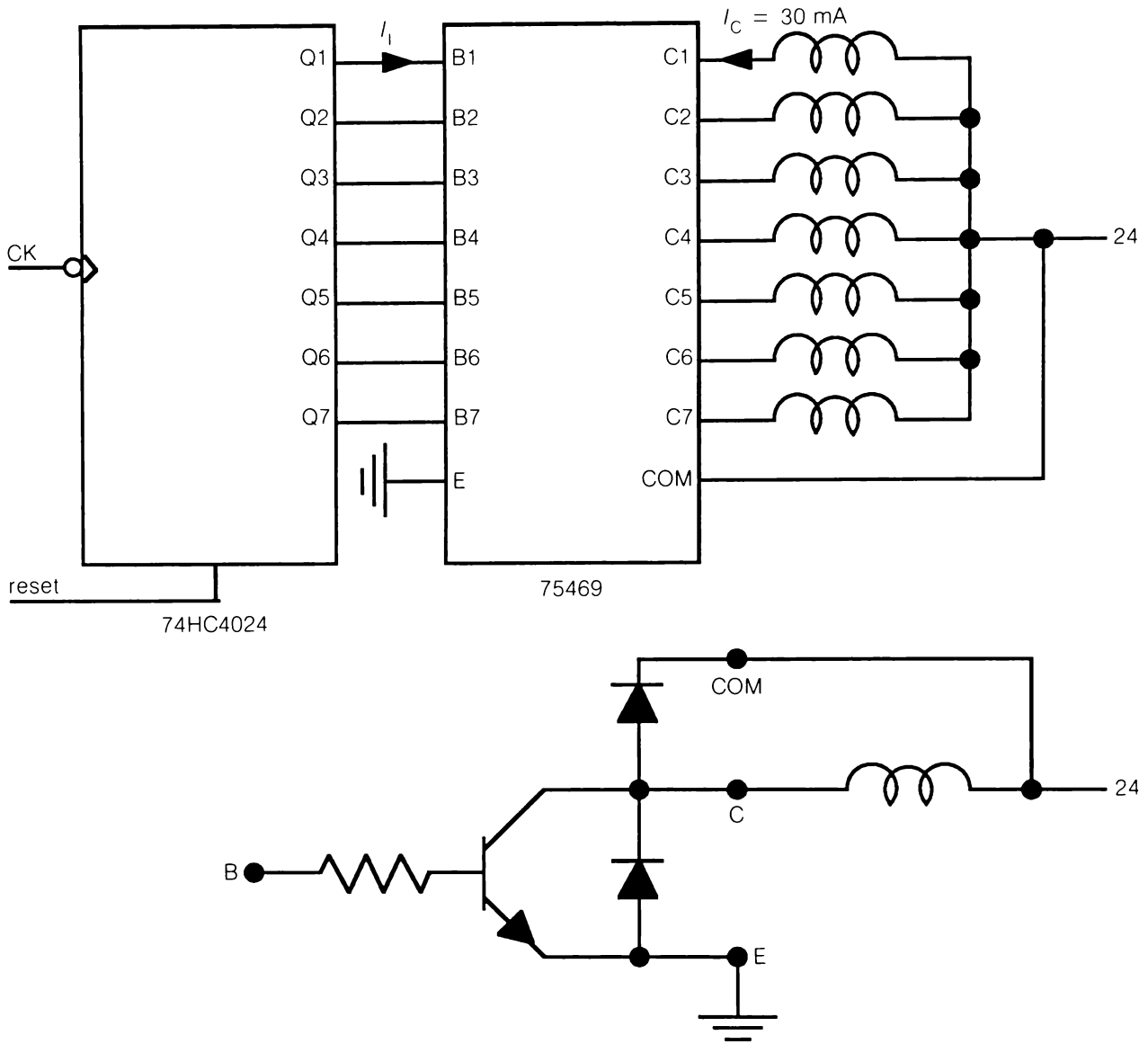


Figure 2.67 Pour le problème 7.

Le compteur binaire 7 étages 74HC4024 pilote l'interface Darlington 75469 laquelle à son tour pilote 7 relais de 30 mA/24 V.

- Consultez les fiches techniques et trouvez le courant d'entrée I_{lmax} ;
- Consultez le circuit interne du 75469 et calculez le courant I_1 ;
- Calculez la puissance dissipée dans le 75469 quand le compteur est arrêté sur le nombre 127.

8. Le ET câblé

Considérez le montage de la figure 2.68.

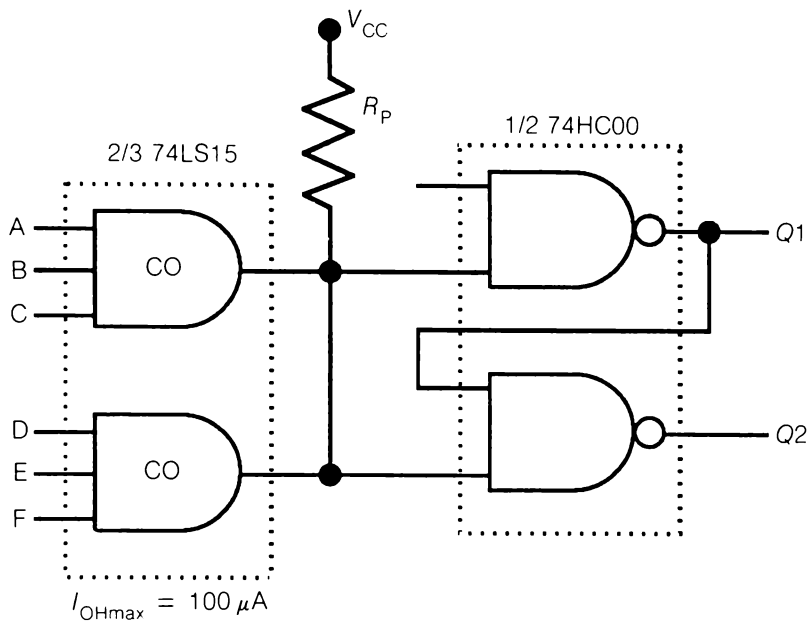


Figure 2.68 Pour le problème 8.

Trouvez

- L'équation logique de $Q1$;
- L'équation logique de $Q2$;
- La résistance de rappel maximale ;
- La résistance de rappel minimale.

9. Multivibrateur astable fixe

Soit le montage de la figure 2.69. Supposez que les tensions de seuil haut et bas sont respectivement de 3,2 V et 1,2 V et calculez t_L et t_H .

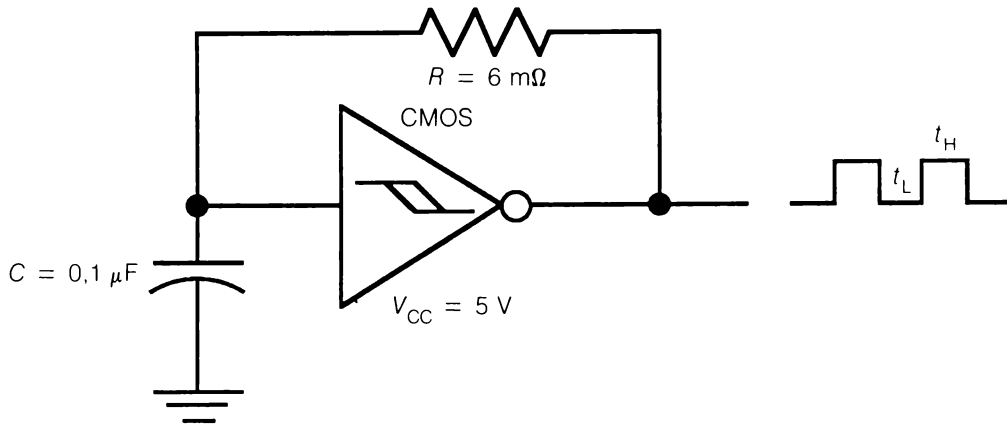


Figure 2.69 Pour le problème 9.

10. Multivibrateur astable variable

Considérez le montage de la figure 2.70. Calculez R_1 , R_2 et C pour obtenir $t_L = 2$ ms et $t_H = 1$ ms. Utilisez les valeurs types de V_T du fabricant ou mieux encore celles que vous avez relevées sur votre échantillon.

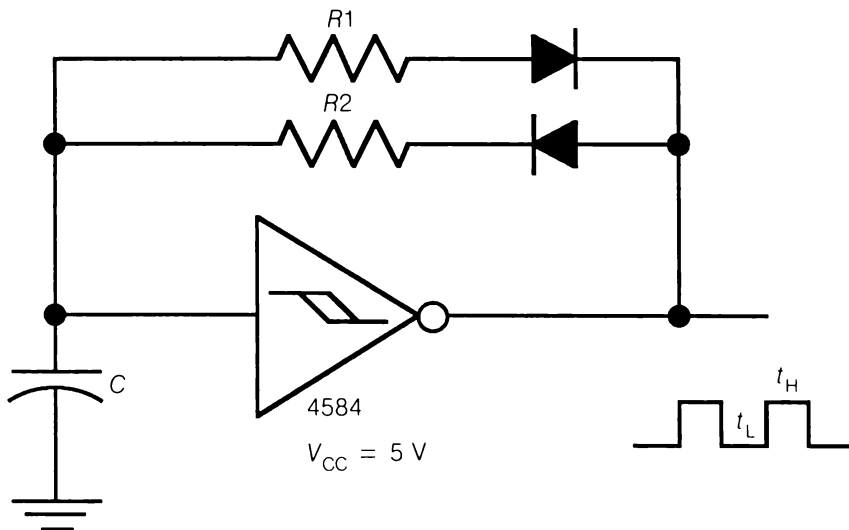


Figure 2.70 Pour le problème 10.

11. Courant dans une ligne de transmission

Soit le montage de la figure 2.71.

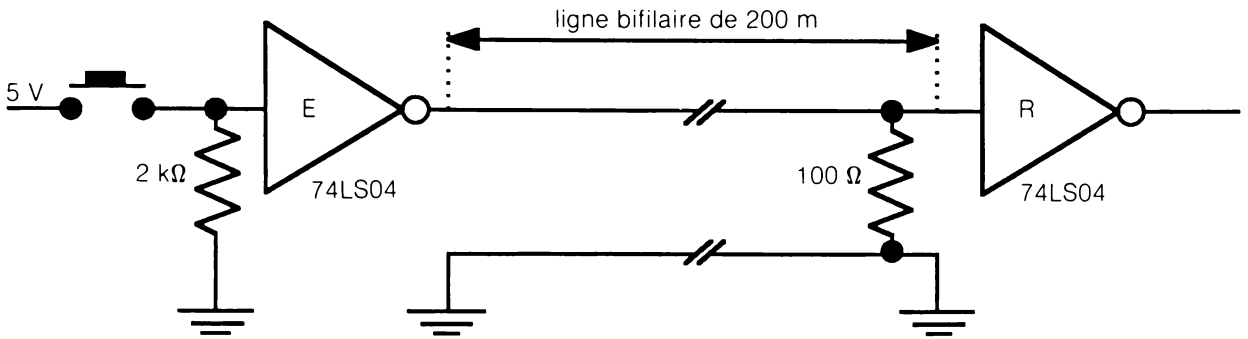


Figure 2.71 Pour le problème 11.

- Calculez le courant que devrait fournir l'émetteur pour que la transmission s'effectue;
- Quel est le courant de sortie haut maximal du 74LS04 ?
- Ce montage est-il cohérent ?
- La transmission peut-elle s'effectuer ?
- Comment peut-on augmenter la qualité de la transmission sans changer les circuits intégrés ?

12. Longueur et fréquence

Est-ce que le montage de la figure 2.72 est cohérent ?

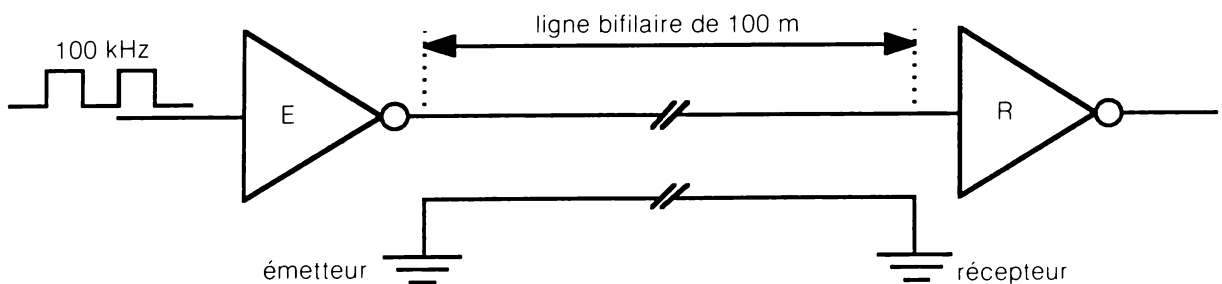


Figure 2.72 Pour le problème 12.

13. Tensions d'émission d'un transmetteur

Soit le montage de la figure 2.73

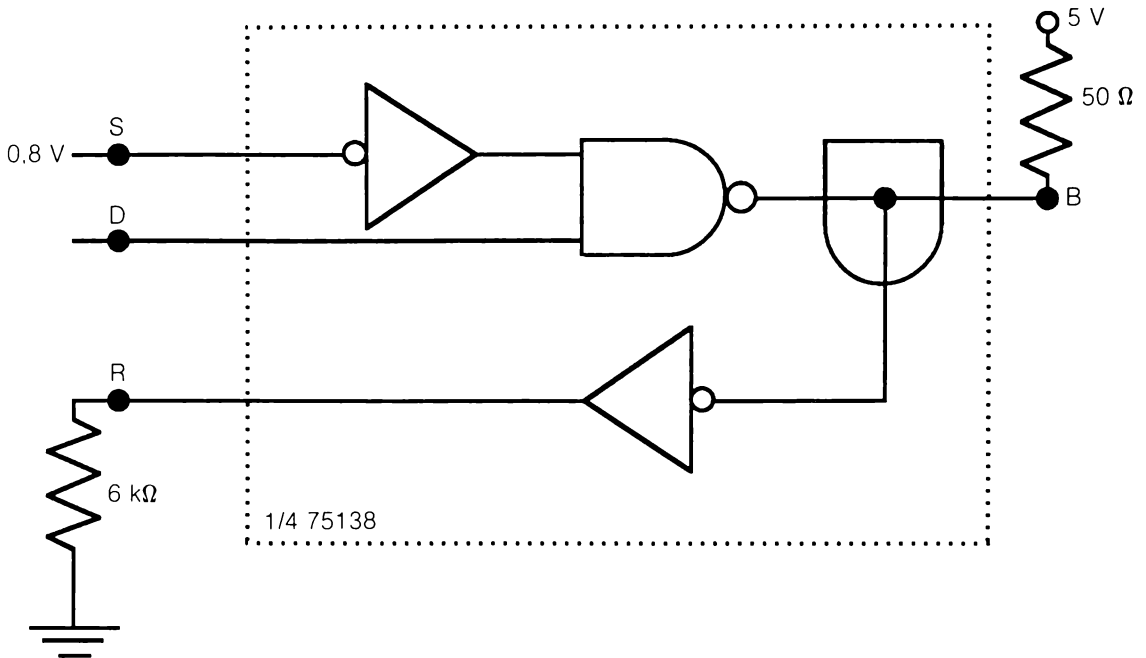
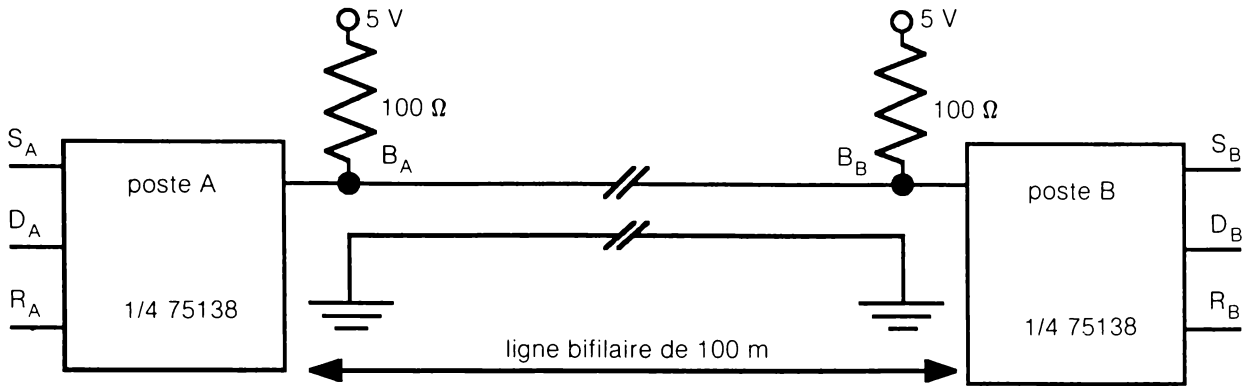


Figure 2.73 Pour le problème 13.

Consultez la fiche technique du 75138 et trouvez les tensions limites aux points B et R.

14. Logique d'une transmission

Soit le montage de la figure 2.74.



S_A	D_A	R_A	B_A		S_B	D_B	R_B	B_B
1				émission de l'état 1 de A vers B				
0				émission de l'état 0 de A vers B				
				émission de l'état 1 de B vers A		1		
				émission de l'état 0 de B vers A		0		

Figure 2.74 Pour le problème 14.

Complétez la table de vérité.

15. Tension différentielle de sortie d'un émetteur

Soit le montage de la figure 2.75.

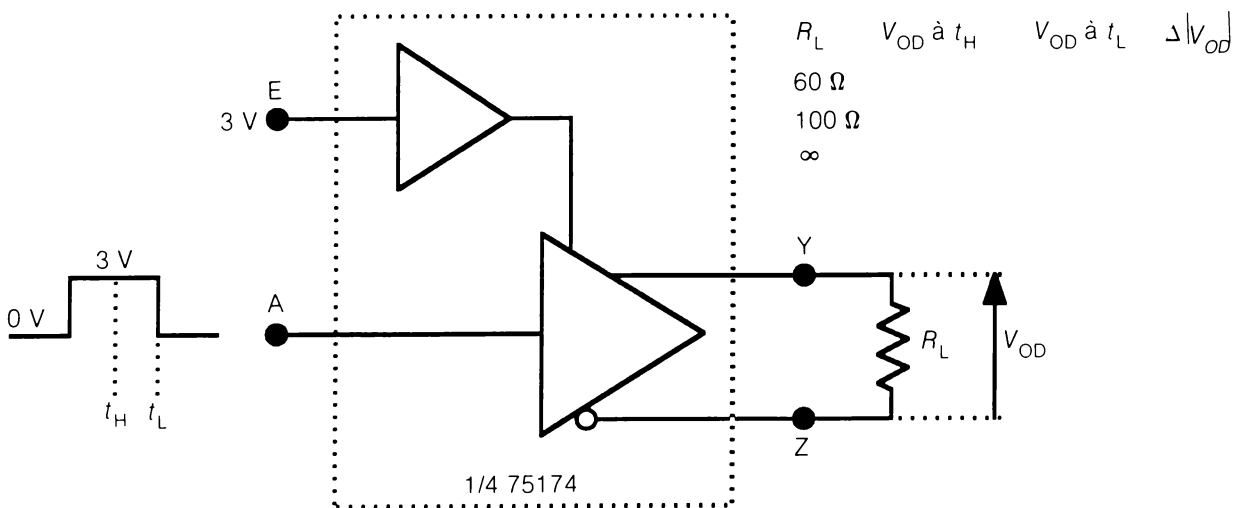


Figure 2.75 Pour le problème 15.

Consultez la fiche technique de l'émetteur 75174 et complétez le tableau.

16. Tension de sortie en mode commun

Soit le montage de la figure 2.76.

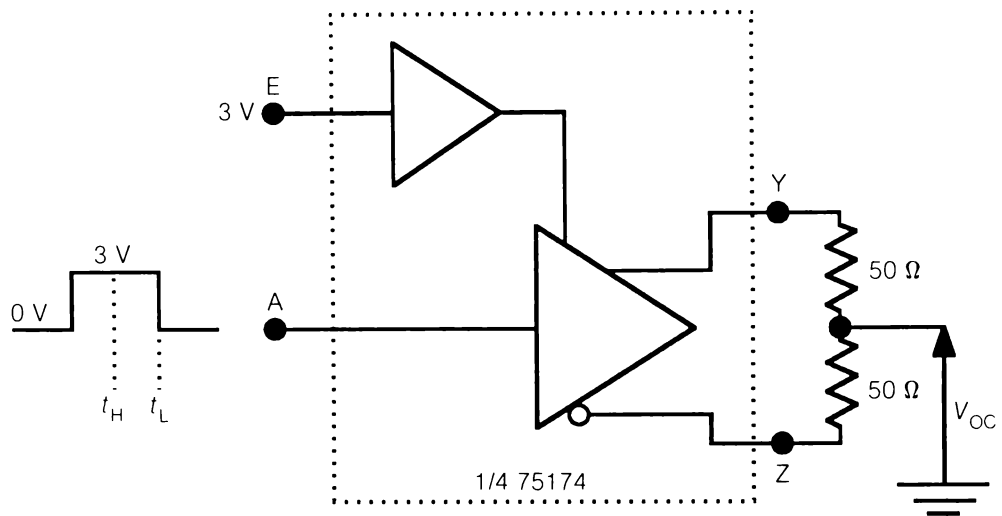


Figure 2.76 Pour le problème 16.

Consultez la fiche technique du 75174 et trouvez

- a) V_{OC} à l'instant t_H et à l'instant t_L ;
- b) $\Delta |V_{OC}|$.

Circuits combinatoires

3

3.1 Objectifs

Après étude de ce chapitre, l'étudiant devra savoir

1. Trouver rapidement l'état logique d'une sortie.
2. Écrire rapidement l'équation logique d'un circuit.
3. Écrire la table de vérité d'un circuit ou d'une fonction.
4. Dessiner les chronogrammes statique et dynamique d'un montage simple.
5. Interpréter les tables de vérité fournies par le fabricant.
6. Trouver l'algorithme d'une fonction simple.
7. Concevoir et réaliser un montage à partir d'un cahier des charges.

17. Tension de sortie de ligne

Soit le montage de la figure 2.77.

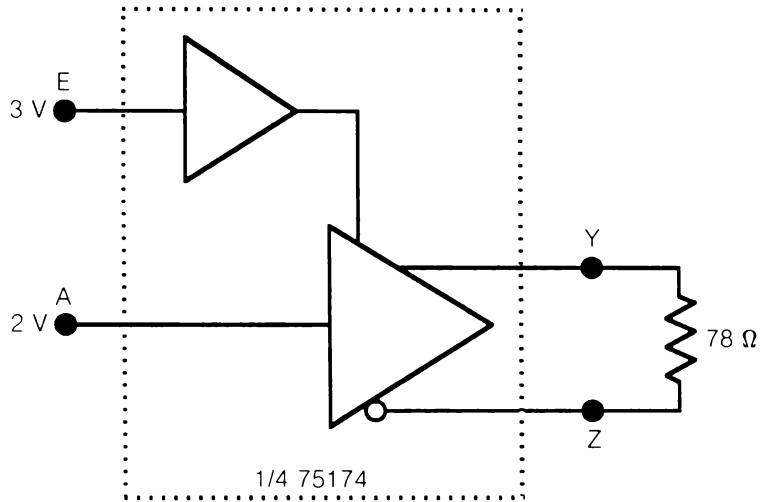


Figure 2.77 Pour le problème 17.

Consultez la fiche technique du 75174 et trouvez

- La tension au point Y ;
- La tension au point Z.

18. Tensions de sortie d'un récepteur

Soit le montage de la figure 2.78.

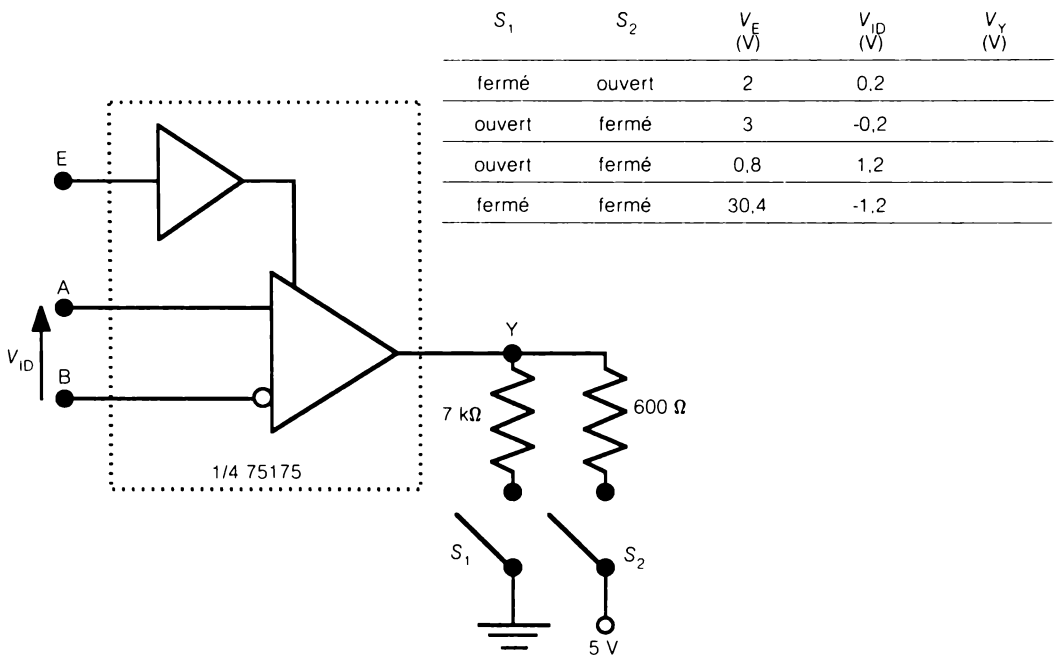


Figure 2.78 Pour le problème 18.

Consultez la fiche technique du récepteur 75175 et complétez le tableau.

19. Transmission sur ligne téléphonique

Tracez le schéma d'une transmission bidirectionnelle entre deux postes reliés par une ligne téléphonique de 500 m. Utilisez l'émetteur-récepteur 75174-75175.

20. Taux de répétition et longueur de ligne

Si le taux de répétition est de 10 %, quelle est la fréquence maximale pouvant être transmise sur la ligne de 1000 m du problème précédent ?

3.2 Fonction de sortie d'une porte

On exprime la fonction de sortie des portes représentées à la figure 3.1 de plusieurs façons. Nous en retiendrons quatre, à savoir

- a) Sous forme d'une équation booléenne ;
- b) Sous forme d'une table de vérité ;
- c) Sous forme d'un chronogramme ;
- d) Sous forme de priorité (exemple : 0 → 1 qui se lit zéro implique un, ce qui signifie qu'une seule entrée à 0 suffit pour forcer la sortie à 1).

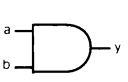
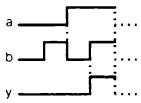
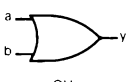
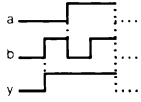
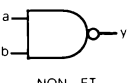
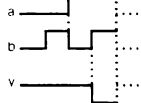
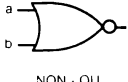
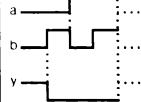
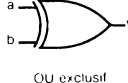
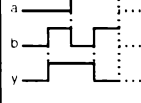

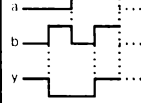
Symbole	a) Équation	b) Table de vérité	c) Chronogramme	d) Priorité															
 ET	$y = a \cdot b$	<table border="1" style="font-size: small;"> <tr><td>a</td><td>b</td><td>y</td></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </table>	a	b	y	0	0	0	0	1	0	1	0	0	1	1	1		0 → 0
a	b	y																	
0	0	0																	
0	1	0																	
1	0	0																	
1	1	1																	
 OU	$y = a + b$	<table border="1" style="font-size: small;"> <tr><td>a</td><td>b</td><td>y</td></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </table>	a	b	y	0	0	0	0	1	1	1	0	1	1	1	1		1 → 1
a	b	y																	
0	0	0																	
0	1	1																	
1	0	1																	
1	1	1																	
 NON · ET	$y = \overline{a \cdot b}$ $y = \overline{a} + \overline{b}$	<table border="1" style="font-size: small;"> <tr><td>a</td><td>b</td><td>y</td></tr> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </table>	a	b	y	0	0	1	0	1	1	1	0	1	1	1	0		0 → 1
a	b	y																	
0	0	1																	
0	1	1																	
1	0	1																	
1	1	0																	
 NON · OU	$y = \overline{a + b}$ $y = \overline{a} \cdot \overline{b}$	<table border="1" style="font-size: small;"> <tr><td>a</td><td>b</td><td>y</td></tr> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </table>	a	b	y	0	0	1	0	1	0	1	0	0	1	1	0		1 → 0
a	b	y																	
0	0	1																	
0	1	0																	
1	0	0																	
1	1	0																	
 OU exclusif	$y = a \oplus b$ $y = \overline{a}b + a\overline{b}$	<table border="1" style="font-size: small;"> <tr><td>a</td><td>b</td><td>y</td></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </table>	a	b	y	0	0	0	0	1	1	1	0	1	1	1	0		≠ → 1
a	b	y																	
0	0	0																	
0	1	1																	
1	0	1																	
1	1	0																	
 NON OU exclusif	$y = \overline{a \oplus b}$ $y = \overline{a} \cdot \overline{b} + a \cdot b$	<table border="1" style="font-size: small;"> <tr><td>a</td><td>b</td><td>y</td></tr> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </table>	a	b	y	0	0	1	0	1	0	1	0	0	1	1	1		⇒ → 1
a	b	y																	
0	0	1																	
0	1	0																	
1	0	0																	
1	1	1																	

Figure 3.1 Les quatre formes de la fonction d'une porte.

3.2.1 Exercice sur l'équation d'un circuit

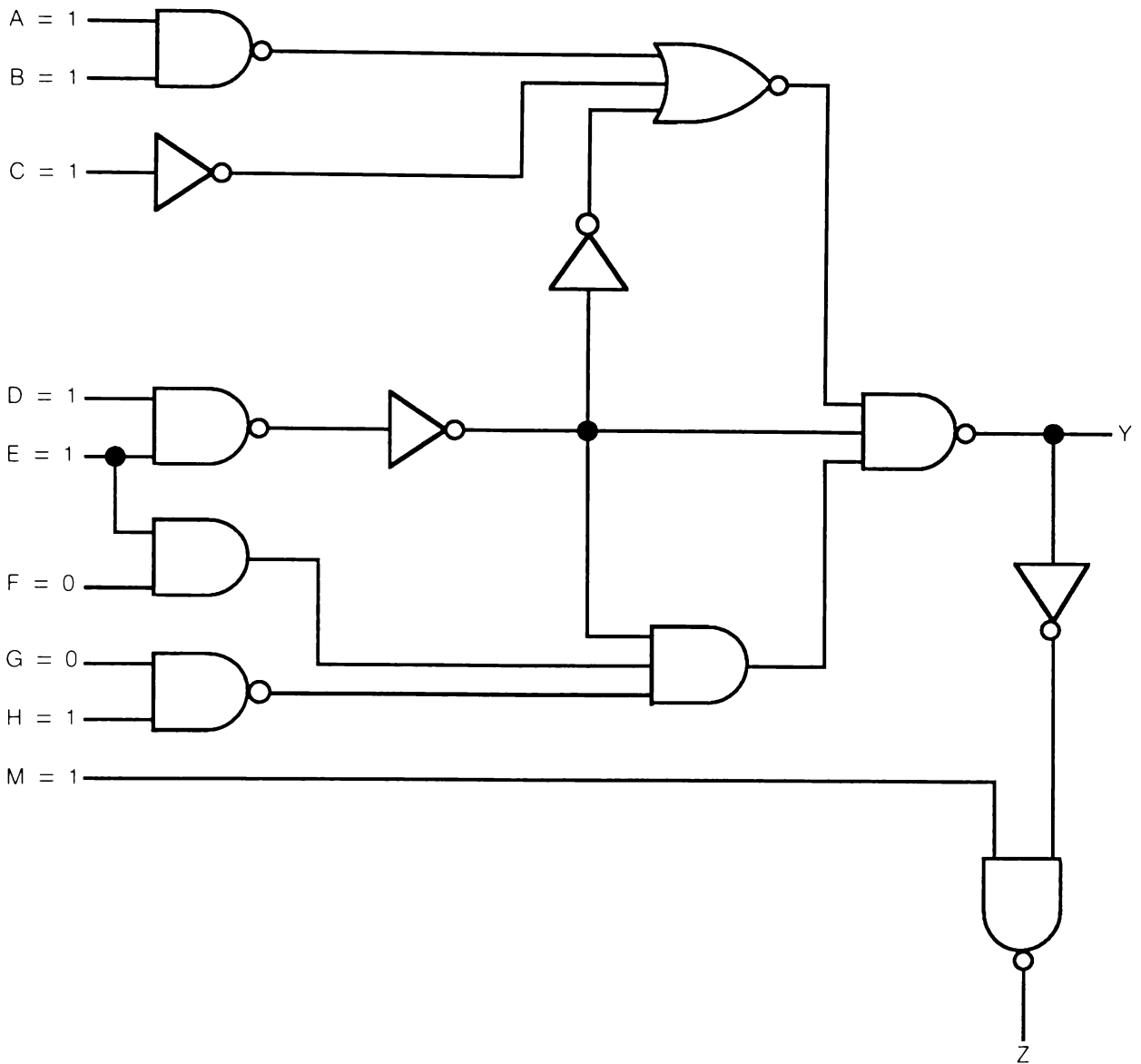


Figure.3.2 Pour l'exercice de 3.2.1.

- Déterminez l'état logique des sorties Y et Z du montage de la figure 3.2 pour l'état actuel des entrées ;
- Trouvez l'équation logique de Y et de Z ;
- Effectuez le montage en utilisant un minimum de CI de la famille 74.

Solution

a) En moins de 5 s, pour peu qu'on ait l'habitude du dépannage, on trouve $Y = 1$ et $Z = 1$. La figure 3.3 donne le chemin de priorité pour l'état actuel des entrées.

$$b) Y = \bar{A} + \bar{B} + \bar{C} + \bar{D} + \bar{E} + \bar{F} + GH$$

$$Z = Y + \bar{M}$$

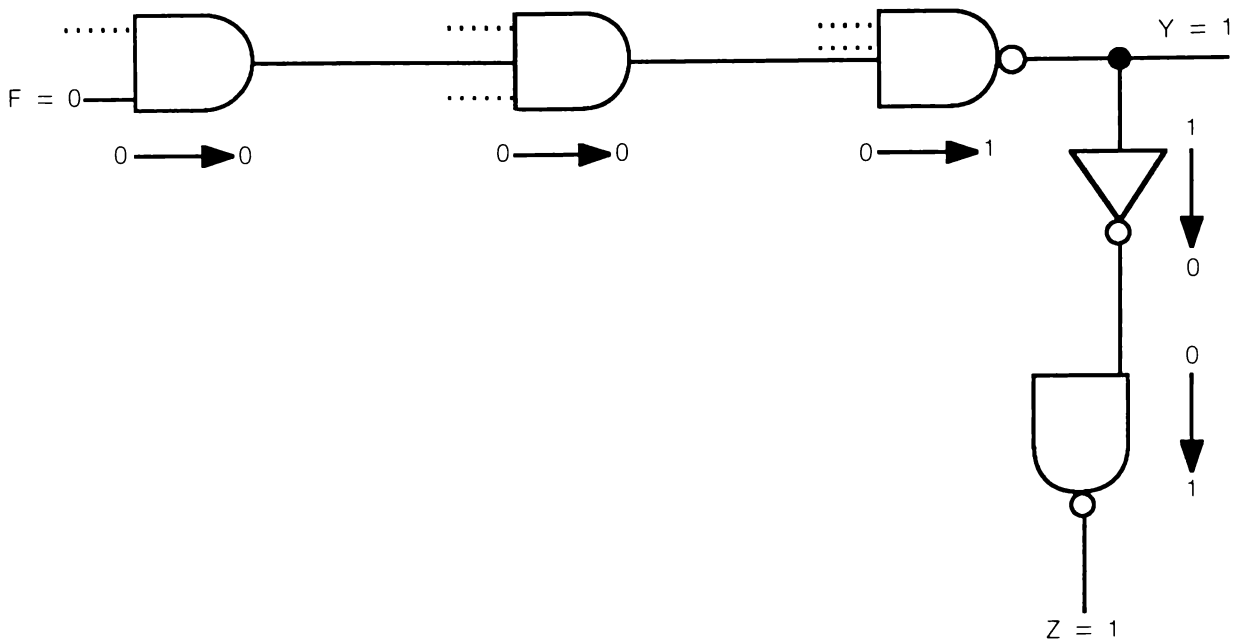


Figure 3.3 Pour la solution de l'exercice de 3.2.1.

c) La figure 3.4 représente la matérialisation des équations de b) à l'aide d'un CI 7400 et d'un CI 7420.

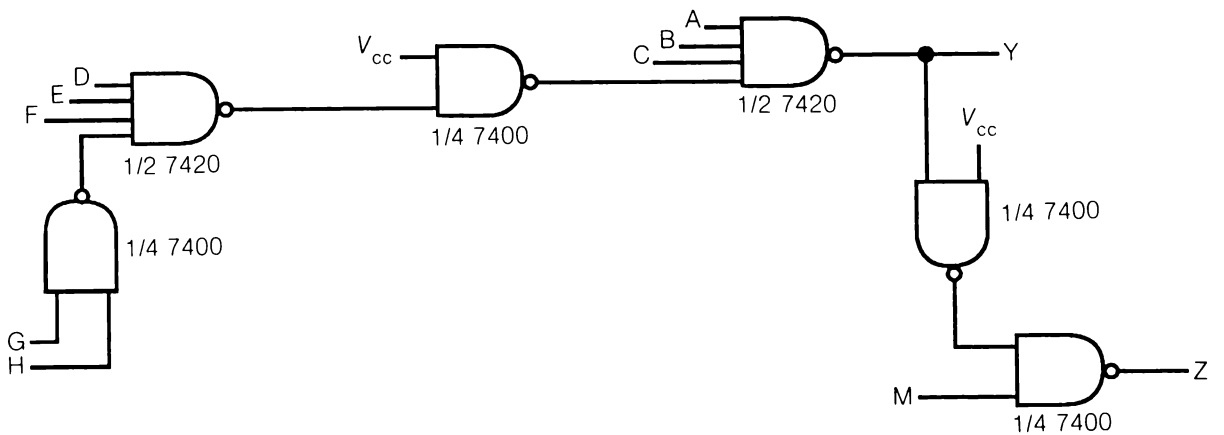


Figure 3.4 Pour la solution de l'exercice de 3.2.1.

3.2.2 Exercice sur l'état logique d'un circuit

Trouvez l'état logique actuel de B, C, D, F, G, H du circuit de la figure 3.5.

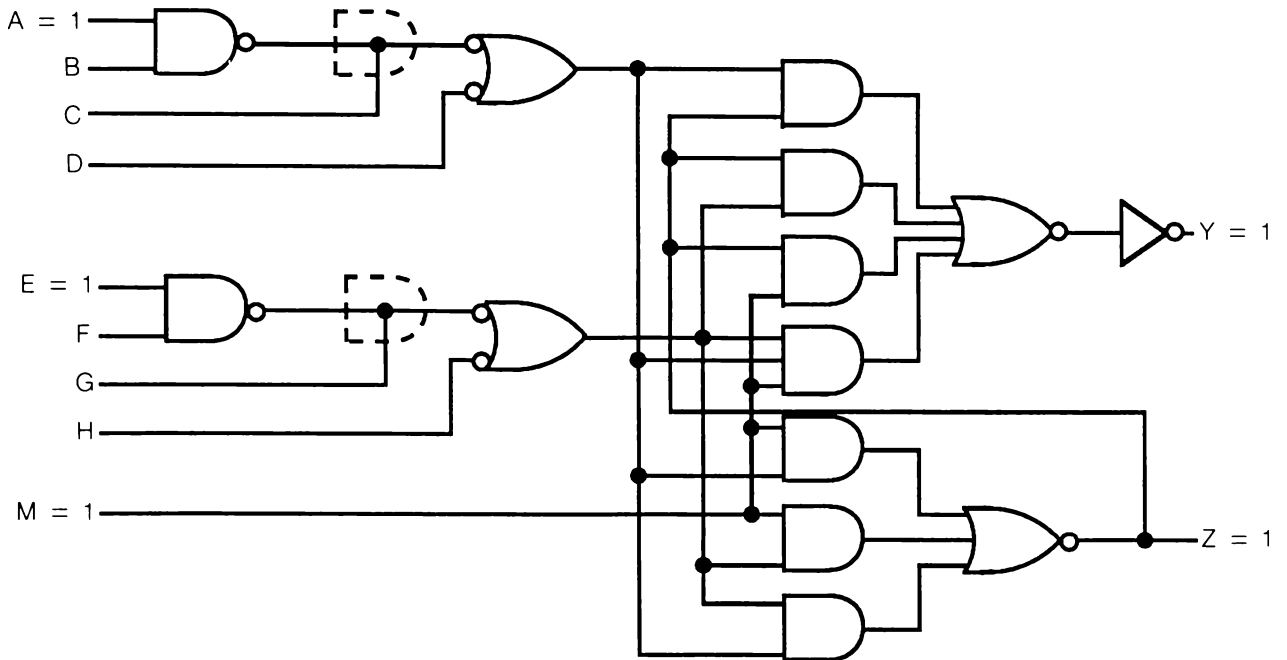


Figure 3.5 Pour l'exercice de 3.2.2.

Solution

$$B = 0, C = 1, D = 1, F = 0, G = 1, H = 1$$

3.2.3 Exercice sur la table de vérité de ou exclusif

Dressez la table de vérité du circuit de la figure 3.6 pour les deux positions du commutateur ($S = 1$ et $S = 0$).

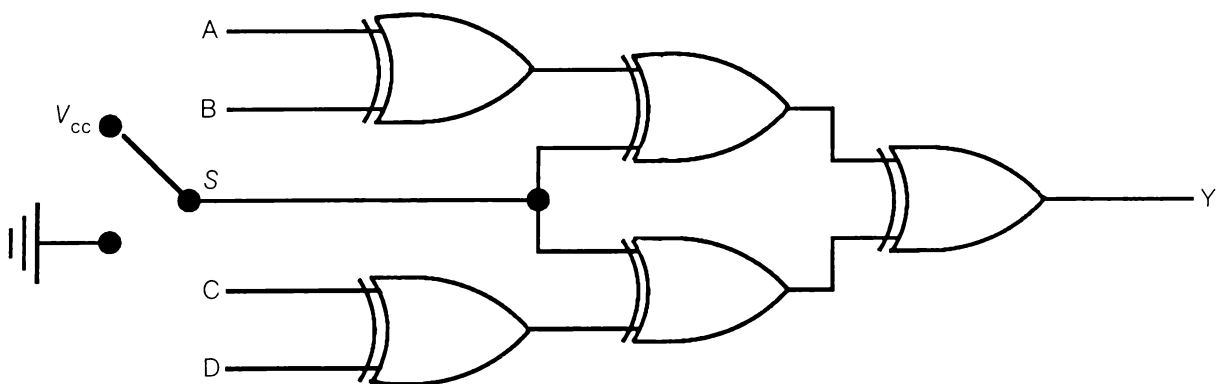


Figure 3.6 Pour l'exercice de 3.2.3.

Solution

L'état logique de S n'intervient pas dans l'équation de sortie. En effet, pour $S = 1$

$S = 1$				
A	B	C	D	Y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0

$S = 0$				
A	B	C	D	Y
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0

$$Y_1 = \overline{A \oplus B \oplus C \oplus D}$$

et pour $S = 0$

$$Y_0 = A \oplus B \oplus C \oplus D$$

d'où, selon les tables de vérité

$$Y_1 = Y_0$$

3.2.4 Résumé de la fonction de sortie d'une porte

L'équation booléenne, la table de vérité, le chronogramme et la priorité sont quatre façons de définir la fonction d'une porte. Ces quatre formes, bien qu'exprimant une même réalité, n'ont pas la même puissance de travail : le contexte (conception, simulation, mise au point, dépannage) indique la forme à adopter. Pour le dépannage dynamique, la forme prioritaire, très efficace pour le dépannage statique, cédera souvent sa place au chronogramme. Les interfaciens intuitifs utilisent souvent la forme prioritaire. D'autres, plus formalistes, préfèrent la rigueur de l'algèbre et des tables.

Aux chapitres 5, 6, 7 et 8 sur les circuits programmables, les fonctions booléennes sont primordiales.

3.3 Chronogramme des circuits combinatoires

L'état Y de la sortie du circuit combinatoire asynchrone représenté à la figure 3.7a est une fonction dynamique f de l'état a des entrées et du temps t_p de propagation des signaux d'entrée à travers le circuit, soit

$$Y = f(a, t_p)$$

Selon l'exercice de la section 3.3.1, le chronogramme représente très bien cette fonction dynamique.

Si la sortie ne pilote pas un circuit séquentiel ou synchrone, on peut négliger t_p et considérer que la sortie ne dépend que de l'état actuel des entrées (figure 3.7b). La fonction statique qu'il en résulte permet d'écrire les équations booléennes et les tables de vérité.

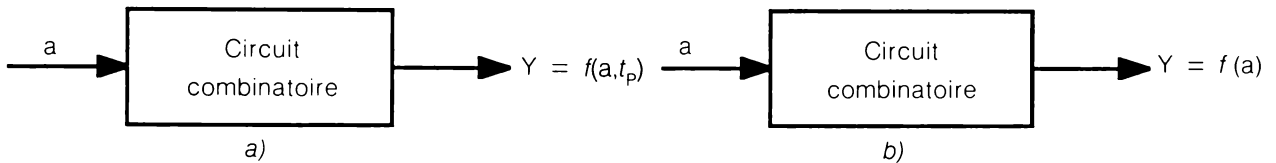


Figure 3.7 a) Fonction dynamique ; b) Fonction statique, d'un circuit combinatoire asynchrone.

3.3.1 Exercice sur les chronogrammes statiques et dynamiques

Soit le circuit représenté à la figure 3.8.

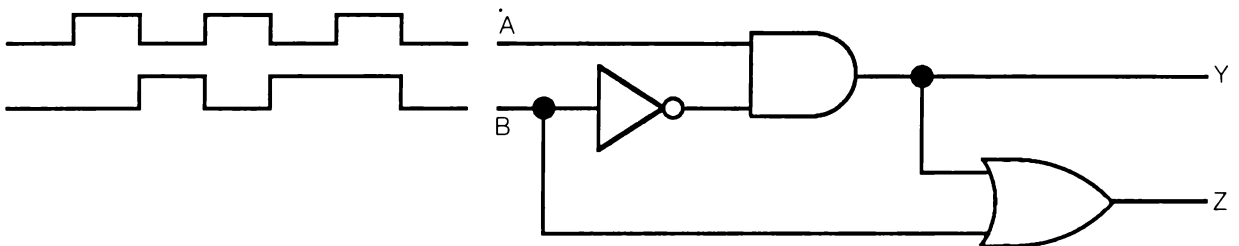


Figure 3.8 Pour l'exercice de 3.3.1.

- Trouvez les équations booléennes de Y et de Z ;
- Dressez les tables de vérité de Y et de Z ;
- Tracez les chronogrammes statiques de Y et de Z ;
- Tracez les chronogrammes dynamiques de Y et de Z.

Solution

a) $Y = A\bar{B}$
 $Z = Y + B = A\bar{B} + B = A + B$

b)

A	B	Y	Z
0	0	0	0
0	1	0	1
1	0	1	1
1	1	0	1

c) Les figures 3.9a et 3.9b donnent respectivement les chronogrammes statiques et dynamiques ; t_p = temps de propagation d'une porte.

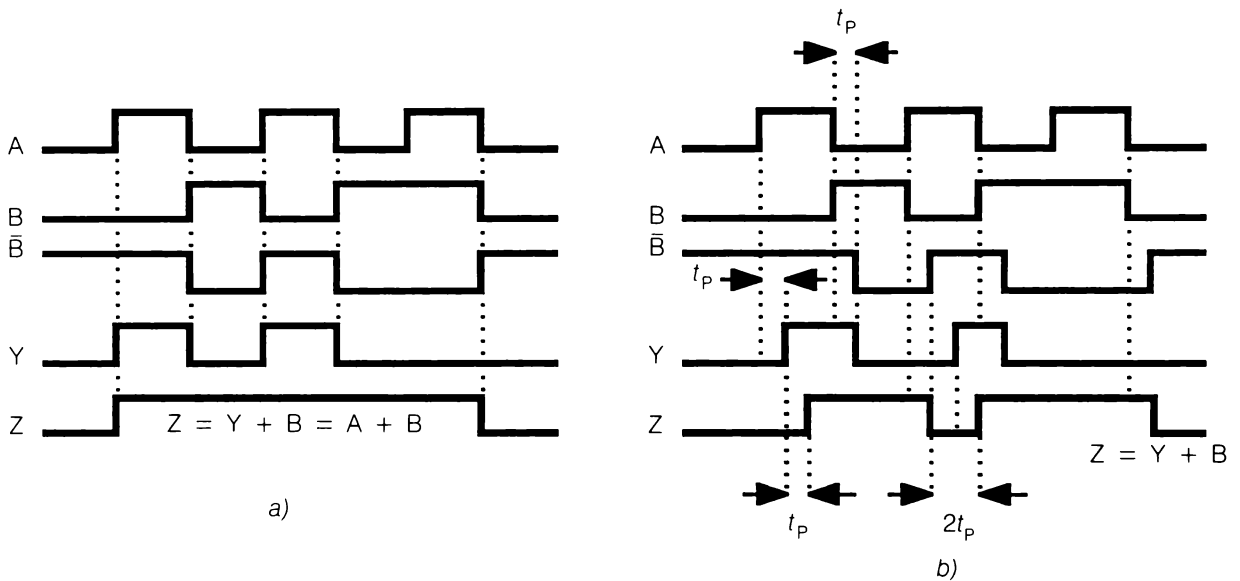


Figure 3.9 Pour la solution de l'exercice de 3.3.1.

Si $2t_p$ est suffisamment long, un circuit séquentiel ou synchrone percevra la sortie Z comme une double impulsion. Remarquez qu'on obtient le chronogramme dynamique Z à l'aide de l'équation d'origine $Z = Y + B$. En effet, la simplification booléenne $Z = A + B$ fait disparaître les retards. Vous avez deviné que pour neutraliser le retard parasite il suffit de délayer le circuit selon la figure 3.10a. Évidemment, le circuit équivalent de la figure 3.10b fonctionne aussi bien et est plus rapide *. Ces deux circuits sont équivalents et correspondent aux chronogrammes de la figure 3.9a.

* Voir la section de l'appendice B intitulée Simplification booléenne.

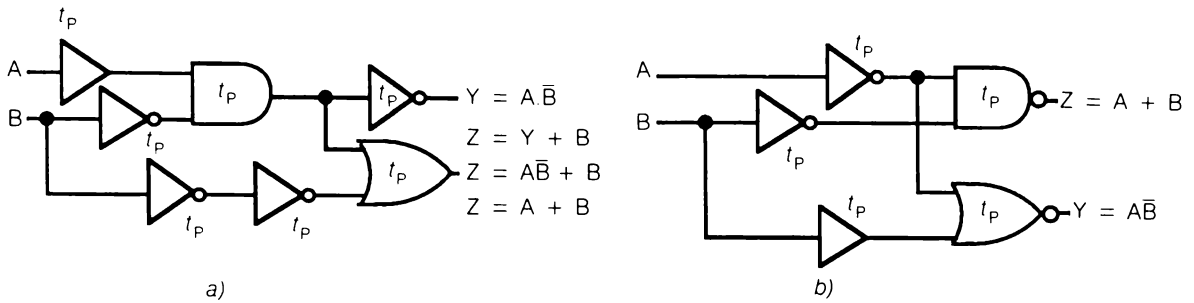


Figure 3.10 Pour la solution de l'exercice de 3.3.1.

3.3.2 Exercice sur compteur de manipulateur

Tracez le chronogramme du circuit de la figure 3.11. Le CI est un 4070.

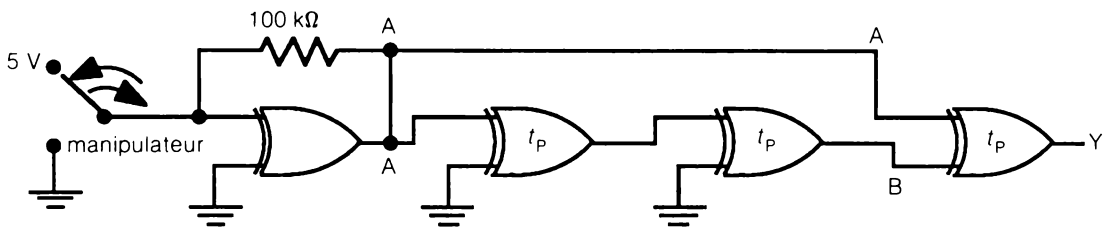


Figure 3.11 Pour l'exercice de 3.3.2.

Solution

La figure 3.12 donne le chronogramme du circuit.

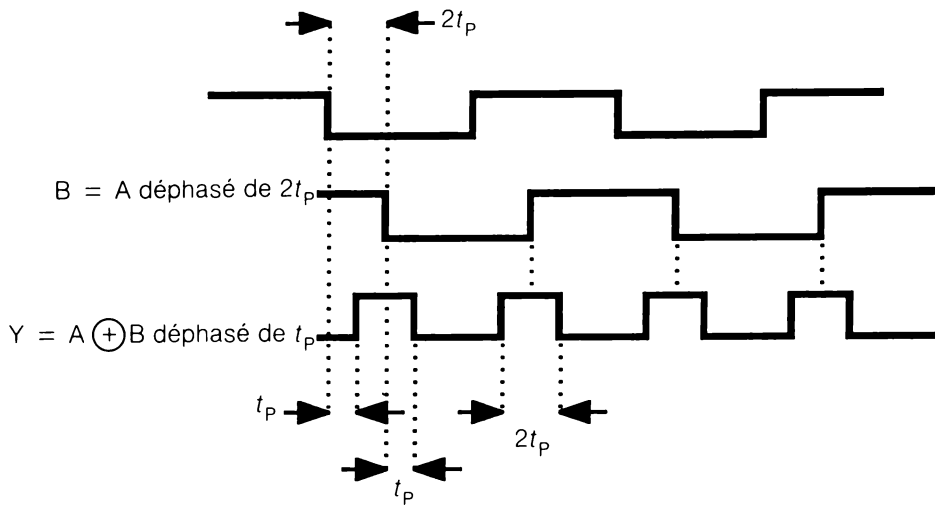


Figure 3.12 Pour la solution de l'exercice du 3.3.2.

La sortie Y génère une impulsion positive à chaque actionnement du manipulateur. Le temps de propagation t_p du 4070 étant relativement long, vous pouvez essayer ce montage sur un compteur ordinaire. Vous avez remarqué que la première porte forme avec la résistance de $100\text{ k}\Omega$ un circuit antirebonds.

3.3.3 Résumé de chronogramme des circuits combinatoires

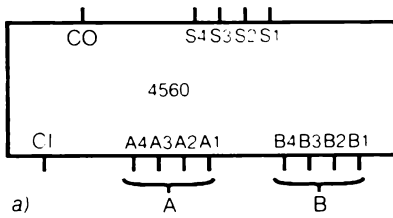
Par conception, les circuits asynchrones combinatoires que nous étudierons dans les paragraphes suivants sont évidemment exempts de retards parasites. Il ne faut pas s'étonner si le circuit logique comporte parfois des portes que ne justifie aucunement l'algèbre booléenne, comme deux inverseurs raccordés bout à bout. L'analyse statique d'un circuit combinatoire asynchrone mal conçu n'est pas suffisante pour relever les retards parasites. Une sonde d'analyse logique assez rapide sera efficace dans la majorité des cas. La simple sommation des retards de propagation est suffisante pour éviter les retards parasites dans la conception de petits projets. Le découpage du temps (parfois en ns) doit devenir un réflexe chez tout bon concepteur.

Enfin, ne pas oublier que l'équation booléenne en un point n'exprime pas les états transitoires en ce point : cette discrétion est d'autant plus grande que l'équation est simplifiée.

3.4 Additionneurs

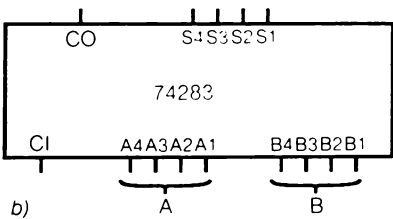
Ces circuits calculent la somme S de deux nombres binaires A et B généralement constitués de 4 bits. De plus, une entrée C_1 permet d'ajouter un report venant d'un additionneur de poids plus faible. Le report de sortie C_0 cascade un autre additionneur de poids supérieur. La figure 3.13a représente l'additionneur décimal 4560 et sa table de

vérité partielle. L'additionneur 74283 (74HC283 dans sa version CMOS) de la figure 3.13b est un classique pédagogique que vous connaissez peut-être. Sa table de vérité partielle vous aidera à réviser le code hexadécimal*.



a)

Décimal		DCB (Décimal codé binaire)													
CI + A + B = CO S		CI	A4	A3	A2	A1	B4	B3	B2	B1	CO	S4	S3	S2	S1
0	+ 0 + 5 = 0 5	0	0	0	0	0	0	1	0	1	0	0	1	0	1
0	+ 6 + 3 = 0 9	0	0	1	1	0	0	0	1	1	0	1	0	0	1
0	+ 2 + 8 = 1 0	0	0	0	1	0	1	0	0	0	1	0	0	0	0
1	+ 7 + 4 = 1 2	1	0	1	1	1	0	1	0	0	1	0	0	1	0
1	+ 9 + 6 = 1 6	1	1	0	0	1	0	1	1	0	1	0	1	1	0
1	+ 9 + 9 = 1 9	1	1	0	0	1	1	0	0	1	1	1	0	0	1



b)

Hexadécimal		Binaire													
CI + A + B = CO S		CI	A4	A3	A2	A1	B4	B3	B2	B1	CO	S4	S3	S2	S1
0	+ 0 + 5 = 0 5	0	0	0	0	0	0	1	0	1	0	0	1	0	1
0	+ 6 + 3 = 0 9	0	0	1	1	0	0	0	1	1	0	1	0	0	1
0	+ 2 + 8 = 0 A	0	0	0	1	0	1	0	0	0	0	1	0	1	0
1	+ 7 + 4 = 0 C	1	0	1	1	1	0	1	0	0	0	1	1	0	0
1	+ 9 + B = 1 5	1	1	0	0	1	1	0	1	1	1	0	1	0	1
1	+ F + F = 1 F	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Figure 3.13 Additionneurs 4 bits a) DCB (décimal codé binaire); b) Binaire.

*Voir la section de l'appendice B intitulée Numération hexadécimale.

3.5 Comparateurs

La figure 3.14a représente un comparateur à un bit.

La figure 3.14b représente un comparateur à deux bits.

La figure 3.14c représente un comparateur à trois bits.

Plutôt que de continuer ce petit jeu, laissons le fabricant nous proposer son circuit 74LS688 (ou 74HC688) qui est un comparateur de 8 bits. Et si 8 bits ne sont pas suffisants, nous cascadons plusieurs 74688 selon la figure 3.15b. En plus de l'égalité, certains comparateurs offrent les fonctions d'entrée et de sortie $A > B$ et $A < B$.

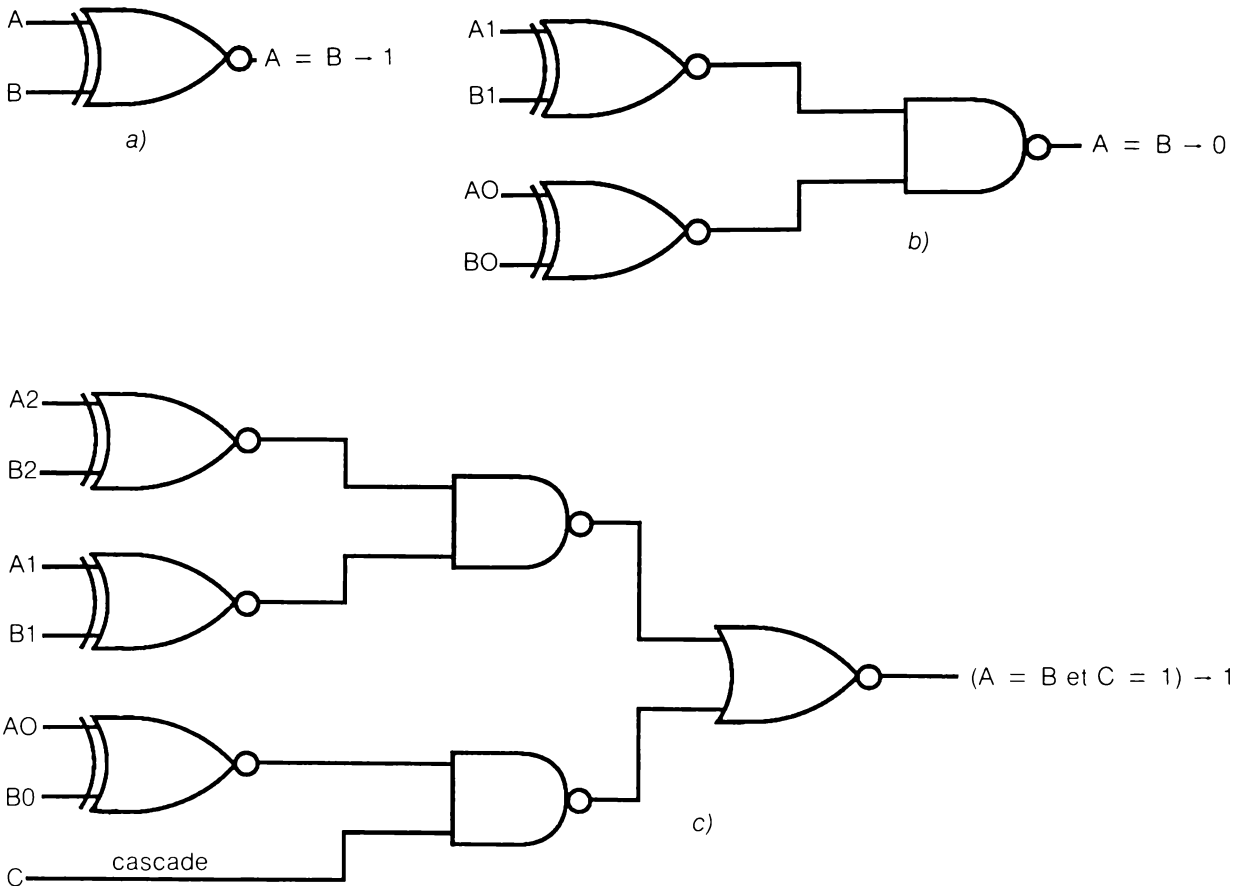


Figure 3.14 Comparateur élémentaire :

- a) à 1 bit ;
- b) à 2 bits ;
- c) à 3 bits.

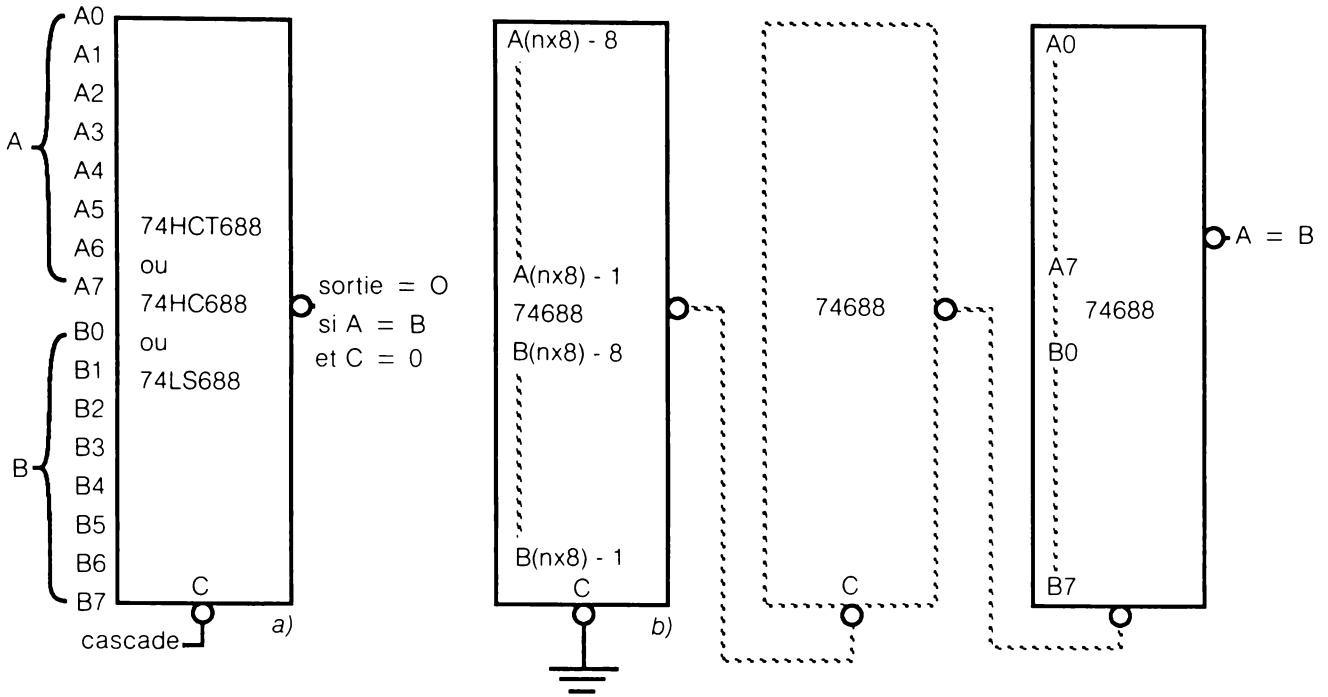


Figure 3.15 a) Comparateur à 8 bits ;
 b) comparateur de 2 mots de n bits.

3.6 Multiplexeur et démultiplexeur

La figure 3.16a représente la fonction d'un multiplexeur 2 lignes vers 1 ligne (autre écriture 2/1). Si la sélection est de niveau haut, la ligne L_1 est raccordée à la sortie Y. Si la sélection est de niveau bas, la ligne L_2 est raccordée à la sortie Y. Le démultiplexeur 1/2 assure la fonction inverse et la figure 3.16b parle d'elle-même. La figure 3.17 représente le circuit simplifié du double multiplexeur 74253 4/1, 3 états.

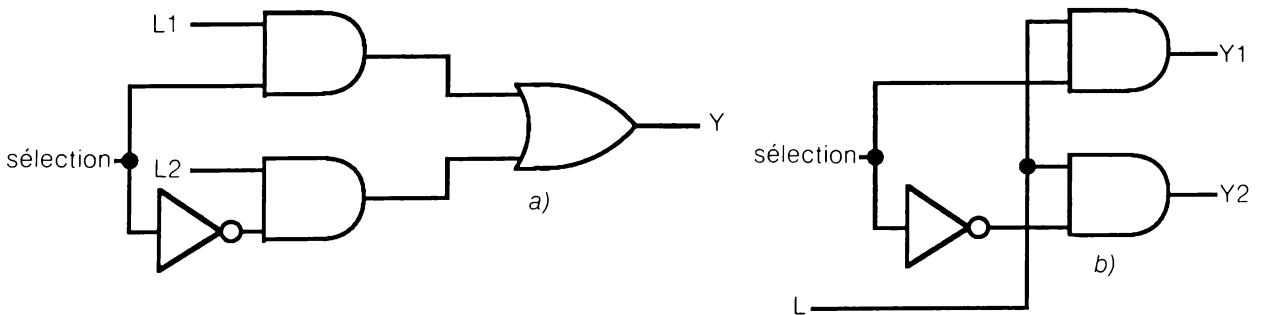


Figure 3.16 a) Multiplexeur 2/1 ;
 b) Démultiplexeur 1/2.

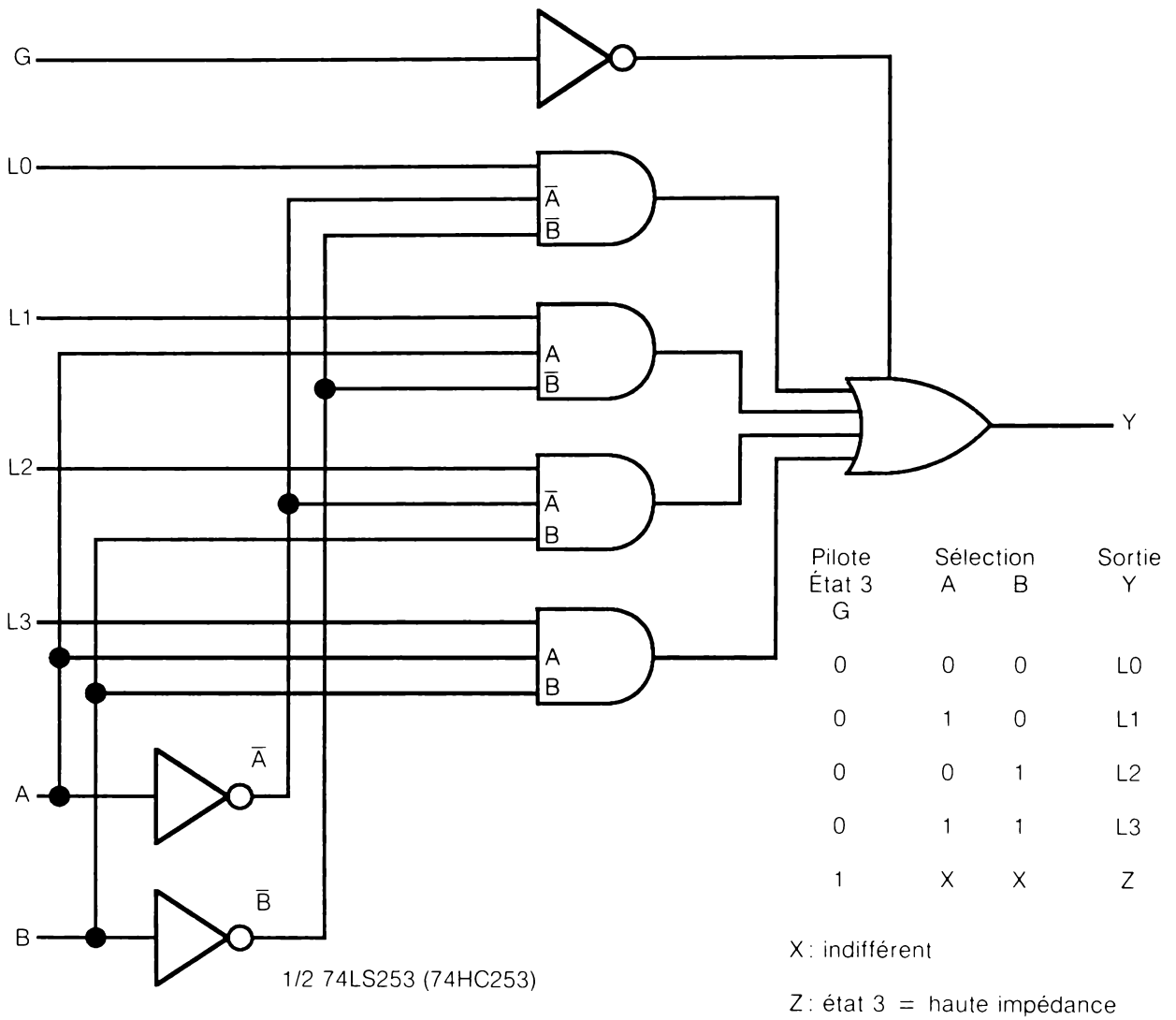


Figure 3.17 Multiplexeur 4/1, 3 états.

3.8 Détecteur ou générateur de parité

Si le nombre de 1 détecté à l'entrée du circuit de la figure 3.19 est impair, la sortie IMP = 1. Si le nombre de 1 détecté est pair, la sortie PAIR = 1. Tel est le détecteur de parité d'un nombre de quatre bits. Nous pouvons aussi dire qu'en injectant un nombre impair de 1 à l'entrée, la sortie IMP génère un 1 et vice versa. Par la magie des mots, le circuit est devenu un générateur de parité ! L'utilisation décide du terme à retenir. Examinez la double fonction du générateur détecteur de parité 74HC280 (74LS280) du montage de la figure 3.20 et décidez de continuer ou d'arrêter la transmission si vous détectez une erreur de parité.

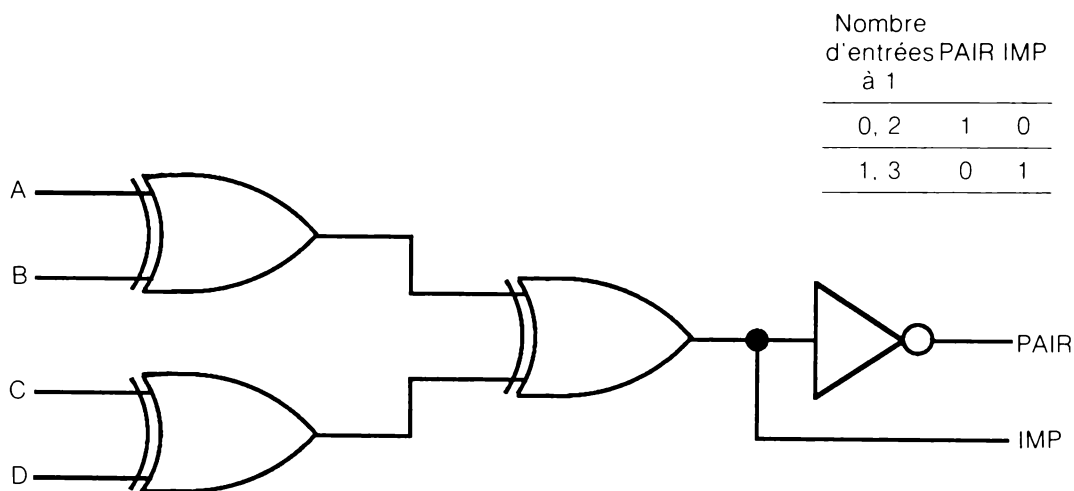


Figure 3.19 Détecteur ou générateur de parité à quatre bits.

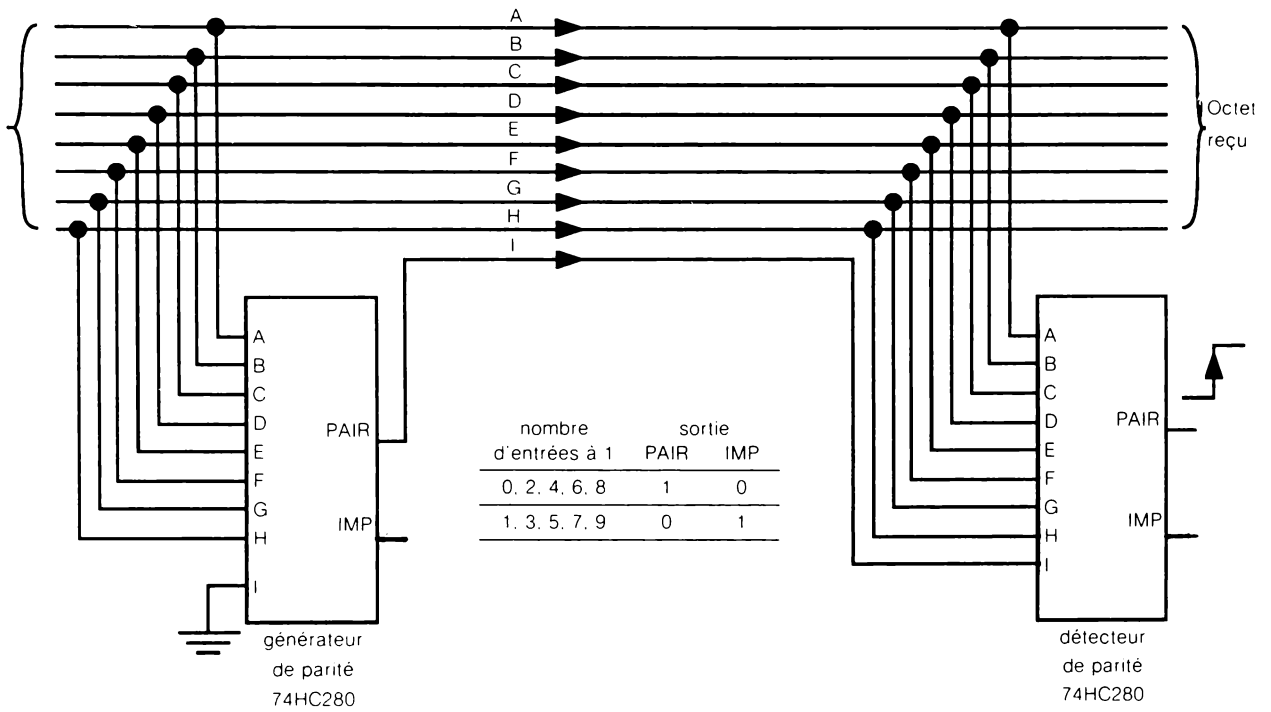


Figure 3.20 Une transition haute (\uparrow) à la sortie du détecteur signale que l'octet reçu est différent de l'octet émis.

3.9 Multiplicateur



Rappel: la multiplication binaire revient à une suite d'additions et de décalages. Exemple :

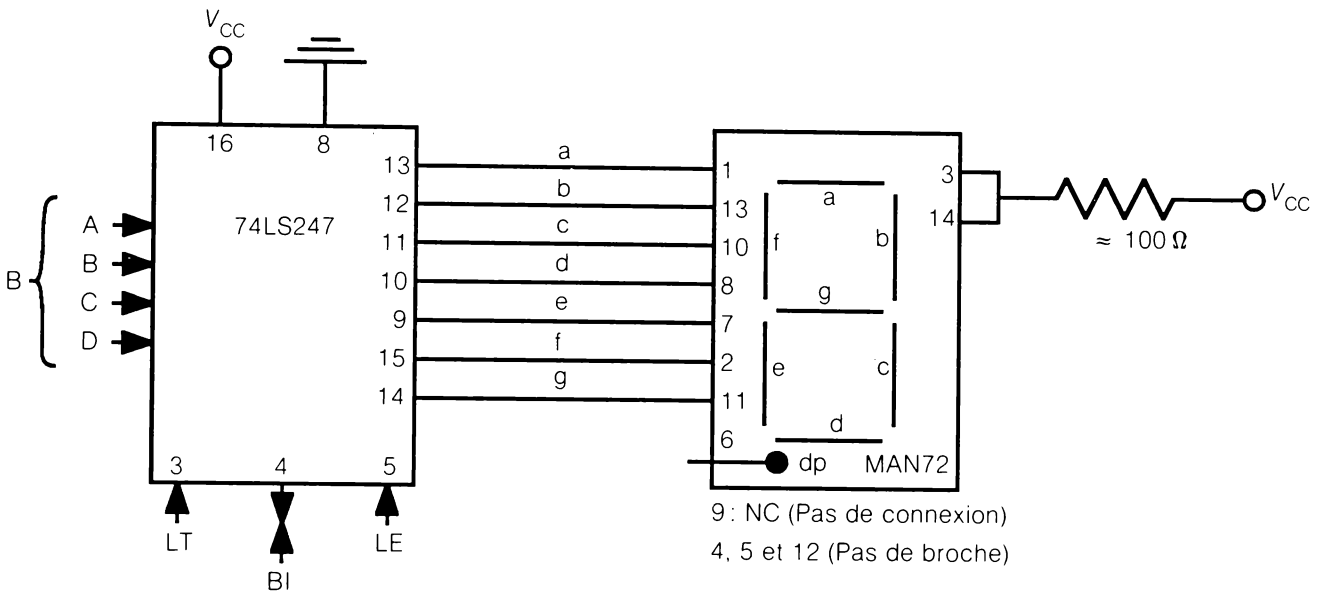
Multiplicande M 1101 (13)
 Multiplicateur m × 1011 (11)

Produits Partiels PP $\left[\begin{array}{r} 1101 \\ 1101 \\ 1101 \end{array} \right.$

Produit = Somme des PP 10001111 (143)

3.7 Codeur et décodeur

On convertit un code en un autre à l'aide de circuits appelés codeurs si le nombre d'entrées est supérieur au nombre de sorties et décodeurs dans le cas contraire. Ainsi, le 74LS147 est un codeur 10 lignes (décimales) vers 4 lignes (DCB) et le 74LS145 est un décodeur 4 lignes (DCB) vers 10 lignes (décimales). La figure 3.18 représente le décodeur DCB à 7 segments 74LS247 pilotant un affichage du type MAN72. Notez que le 74LS247 a le même brochage que son prédécesseur 74LS47. La différence réside dans la présentation du 6 et du 9 :  pour le 74LS47 et  pour le 74LS247.



LT	LE	ABCD	BI utilisé en entrée	BI utilisé en sortie	AFFICHAGE	COMMENTAIRES
1	1	0000		1	0	Le zéro est affiché
1	0	0000		0	blanc	Le zéro n'est pas affiché
1	X	1000 à 1001		1	1 à 9	Comptage normal. Le 74LS47 escamote le bâton inférieur du 9 et le bâton supérieur du 6.
X	X	XXXX	0		blanc	Affichage supprimé
0	X	XXX		1	8	Essais des segments

Figure 3.18 Affichage 7 segments d'un code DCB.

Selon l'algorithme de la multiplication résumé à la figure 3.21, les PP sont immédiatement additionnés au lieu de l'être à la fin des multiplications partielles. À titre d'exercice, calculez le produit 13×11 en suivant la séquence de l'ordinogramme.

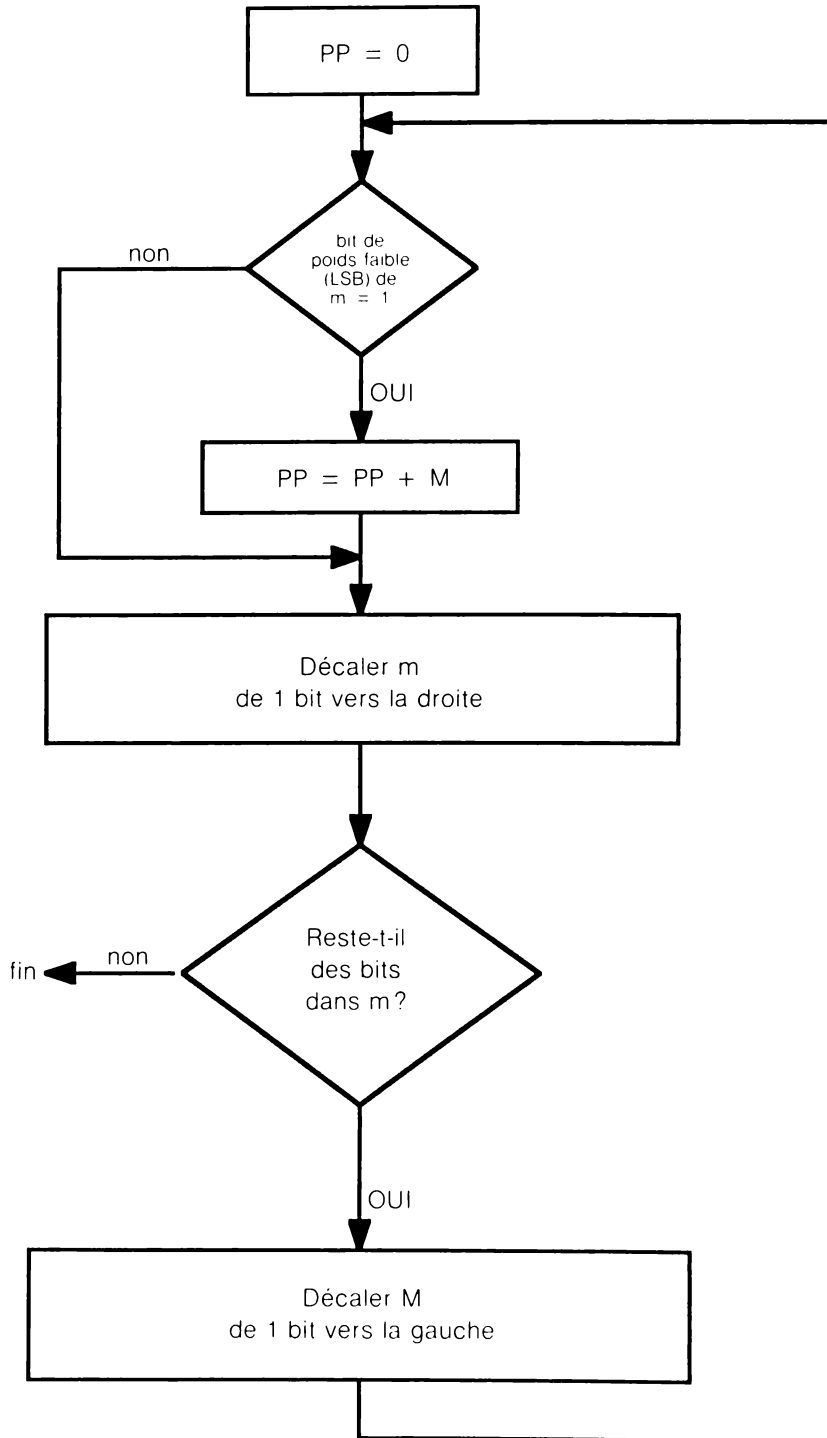
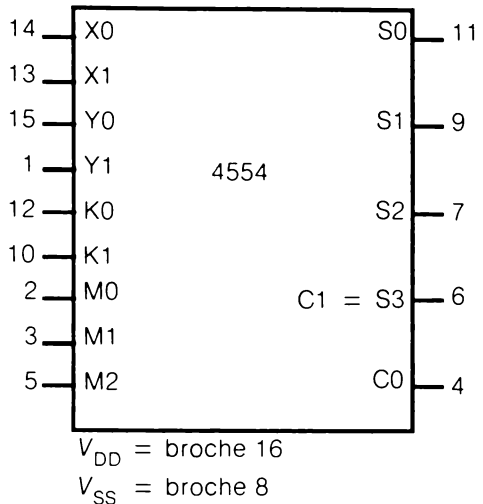


Figure 3.21 Ordinogramme d'une multiplication.

Des algorithmes plus performants associés à des circuits sophistiqués augmentent la vitesse d'exécution d'une multiplication. La figure 3.22 représente un multiplicateur parallèle de 2 bits par 2 bits et ses équations de sortie.



équations

$$S = (X \times Y) + K + M$$

(x) lire : multiplié

(+) lire : plus

exemple : $X = 2(10)$, $Y = 3(11)$

$$K = 0(00), M = 2(10)$$

$$S = (2 \times 3) + 0 + 2 = 8$$

$$S = (10 \times 11) + 00 + 10 = 1000$$

Figure 3.22 Multiplicateur parallèle 2 bits par 2 bits 4554.

Selon le diagramme logique complet représenté à la figure 3.23, la multiplication des bits et l'addition des produits partiels s'effectuent simultanément. À titre d'exemple, nous avons simulé sur ce diagramme le produit $X(2) \times Y(3) = S(6)$. Pour la construction d'un multiplicateur de m bits par n bits à l'aide de mn circuits 4554, voir la fiche technique de ce composant.

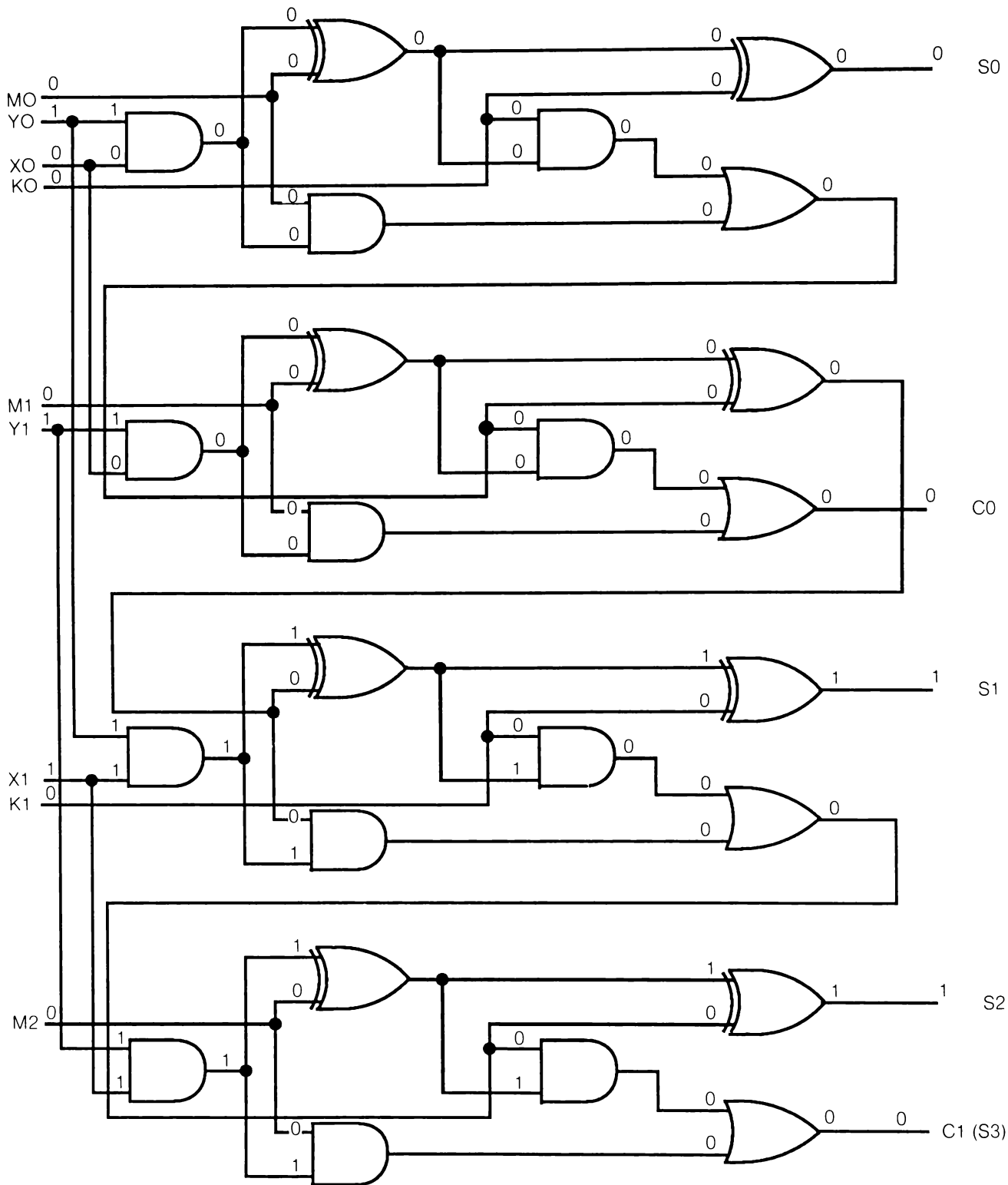
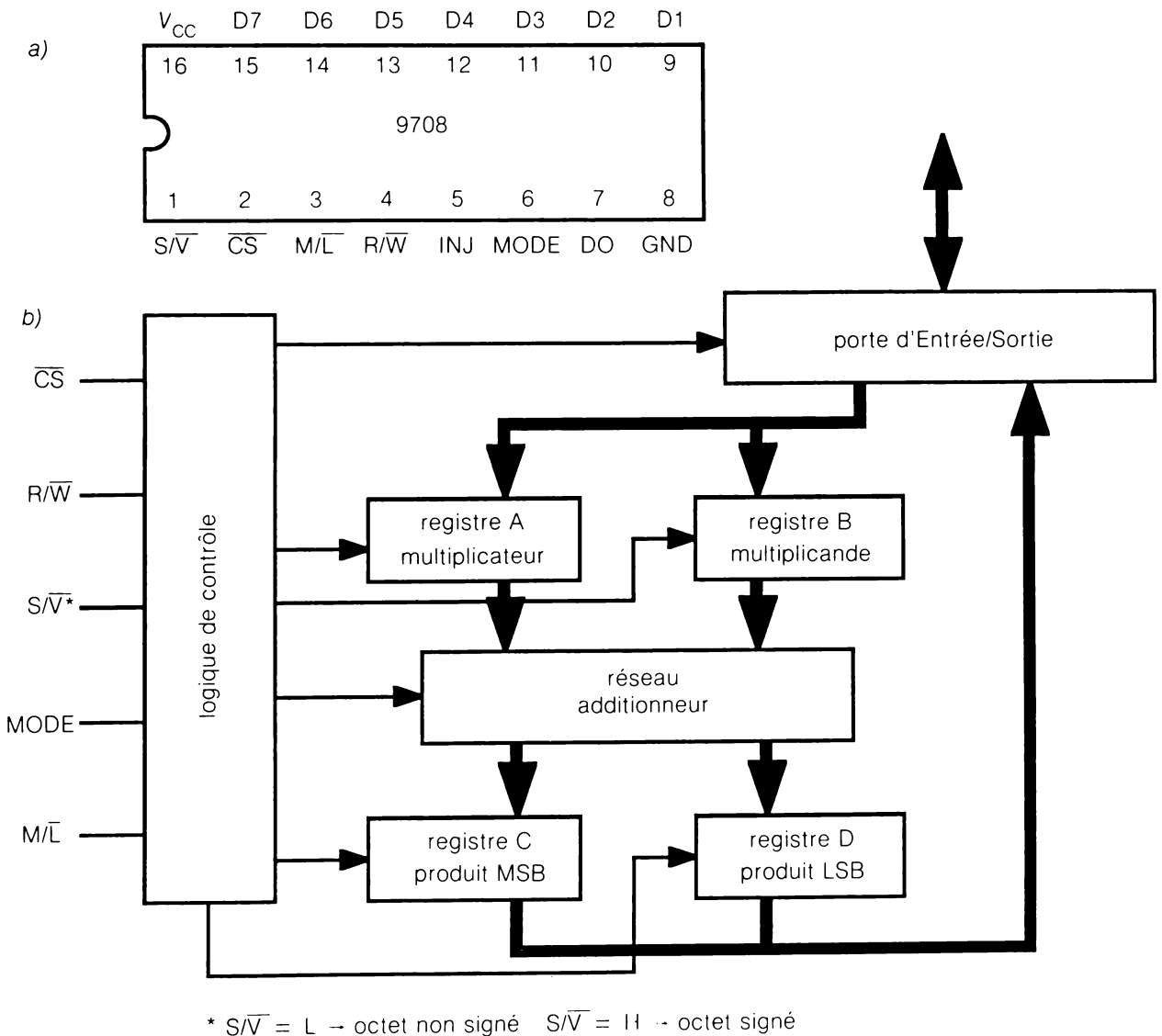


Figure 3.23 Diagramme logique du multiplicateur 4554 et simulation du produit $X(10) \times Y(11) = S(0110)$.

Le CI 9708 de la figure 3.24a contient un autre multiplicateur parallèle de 8 bits par 8 bits. La figure 3.24b représente son diagramme de fonctionnement en mode transparent. Selon la table de vérité de la figure 3.24c, le multiplicateur se présente à la connexion d'entrée et est chargé dans son registre A. Puis le multiplicande se présente à la connexion d'entrée et est chargé dans son registre B. Ensuite, le registre D présente les 8 bits de poids faible (LSB) du produit à la connexion de sortie. Enfin le registre C présente les 8 bits de poids fort (MSB) du produit à la connexion de sortie par le registre C. Ces quatre opérations s'effectuent en 1 ms. La broche INJ est caractéristique de la technologie I²L. Il suffit de la raccorder à la broche d'alimentation V_{CC} à travers une résistance de 24 Ω et 2 watts pour assurer un courant d'injection de 160 mA environ.



c)

\overline{CS}	R/\overline{W}	M/\overline{L}	MODE	Fonction
H	X	X	X	état 3 (Z)
L	L	L	H	chargement du multiplicateur
L	L	H	H	chargement du multiplicande
L	H	L	H	lecture du produit LSB
L	H	H	H	lecture du produit MSB

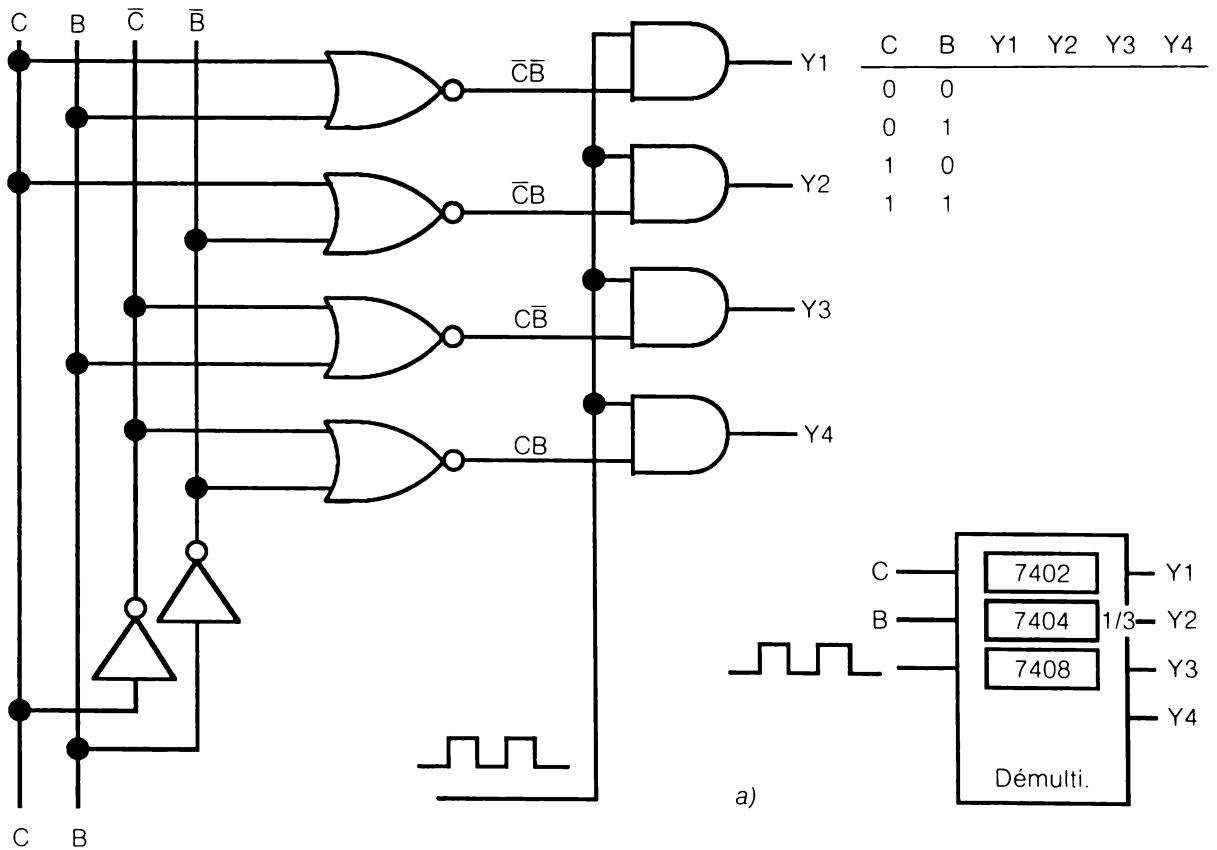
Figure 3.24 Multiplicateur parallèle 8 bits par 8 bits 9708.

- a) Brochage ;
- b) Diagramme de fonctionnement en mode transparent ;
- c) Table de vérité d'une multiplication complète en mode transparent.

3.10 Expériences de laboratoire

1. Multiplexeur, démultiplexeur

Soit le montage de la figure 3.25a.



E	C	B	A1	A2	A3	A4	Y
0	X	X	X	X	X	X	1
1	0	0	m	X	X	X	m
1	0	1	X	m	X	X	m
1	1	0	X	X	m	X	m
1	1	1	X	X	X	m	m

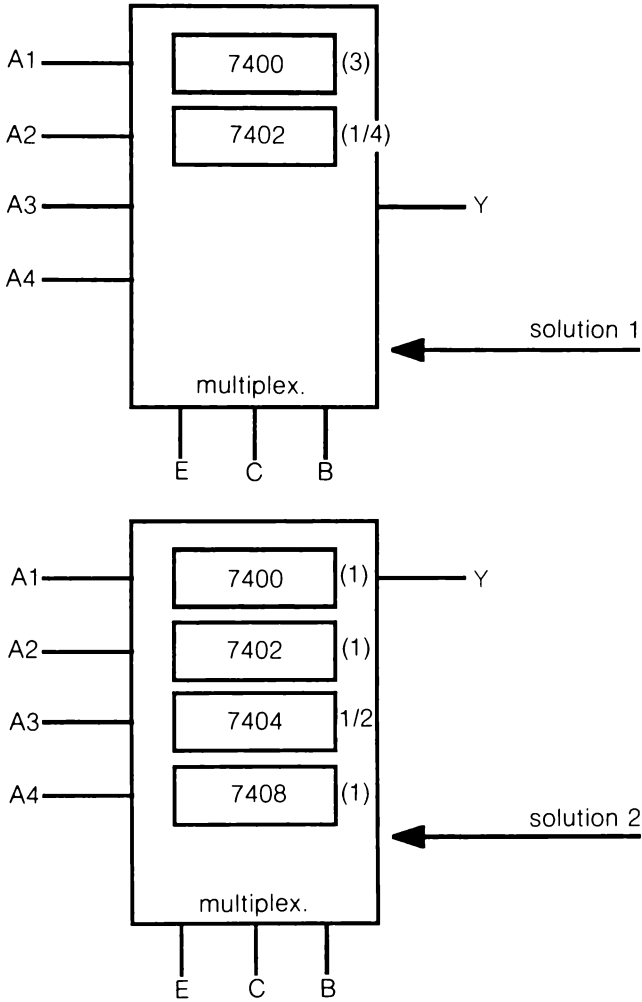


Figure 3.25 Pour l'expérience 1.

- a) Par expérimentation, complétez la table de vérité du démultiplexeur ;
- b) Implantez le circuit correspondant à la table de vérité de 3.25b.

2. Multiplexeur et décodeur

Réalisez le montage de la figure 3.26 qui affiche successivement la valeur DCB d'un groupe de 4 x 4 lignes.

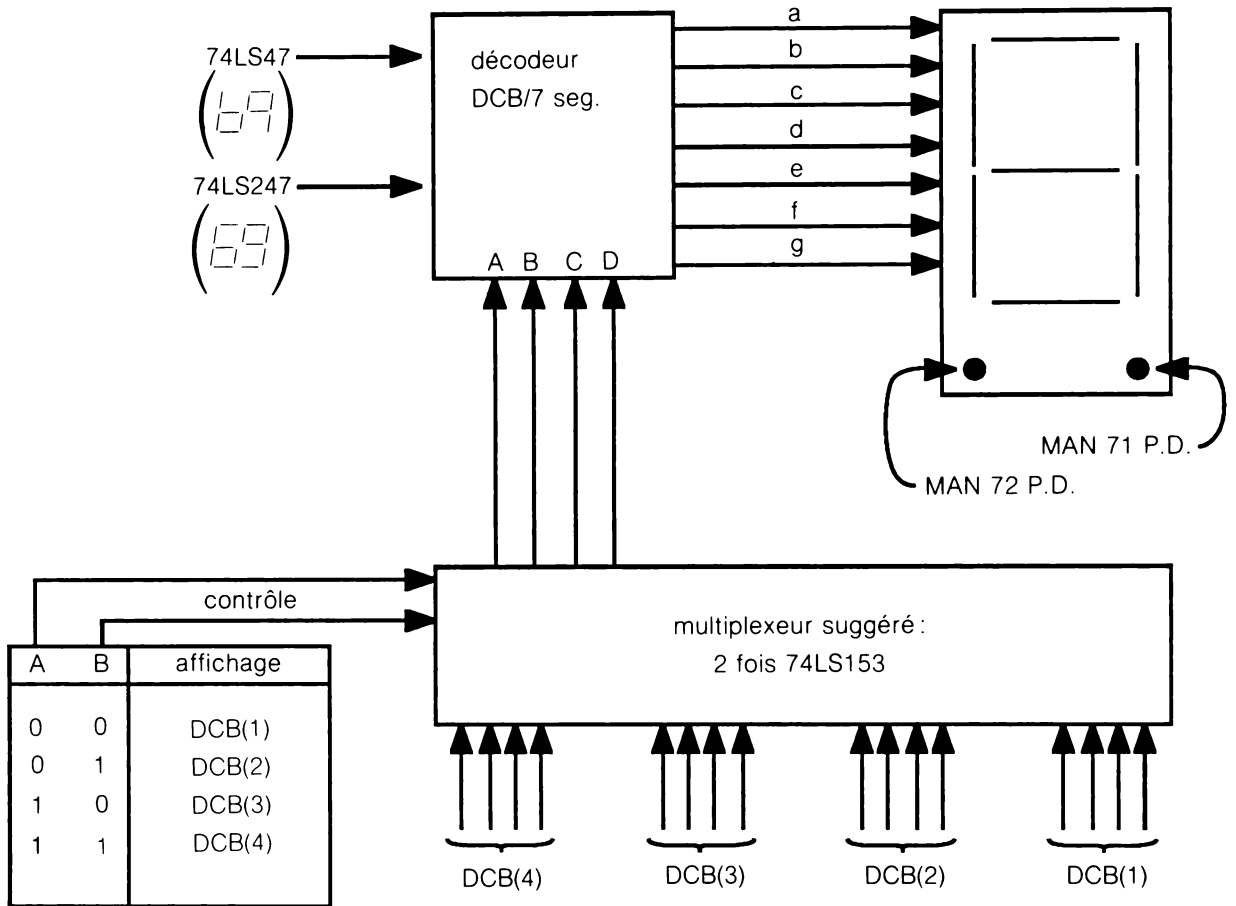


Figure 3.26 Pour l'expérience 2.

3. Multiplicateur

Expérimentez le multiplicateur représenté à la figure 3.27. Lisez et écrivez les données en fonction de votre équipement : sonde logique, module d'affichage, etc.

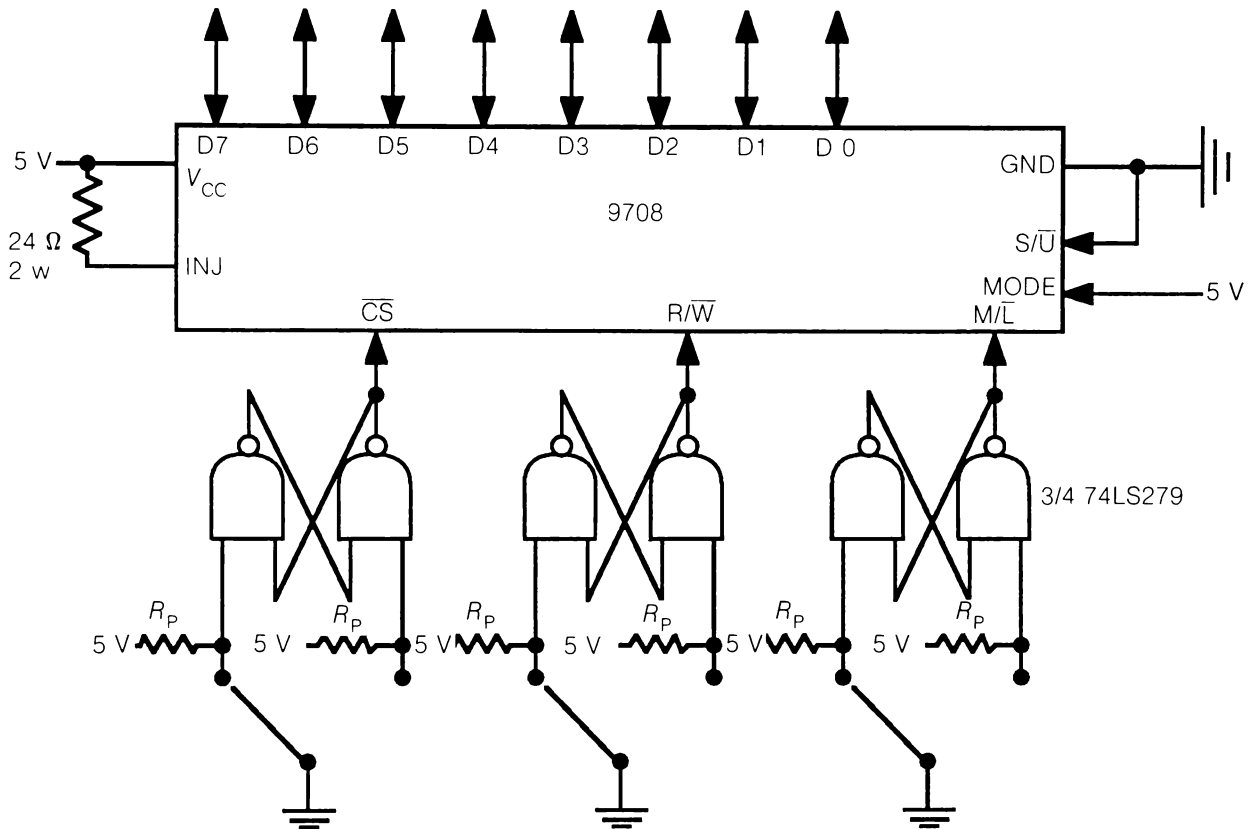


Figure 3.27 Pour l'expérience 3.

3.11 Problèmes

1. Table de vérité et équations d'un circuit

Soit le montage de la figure 3.28.

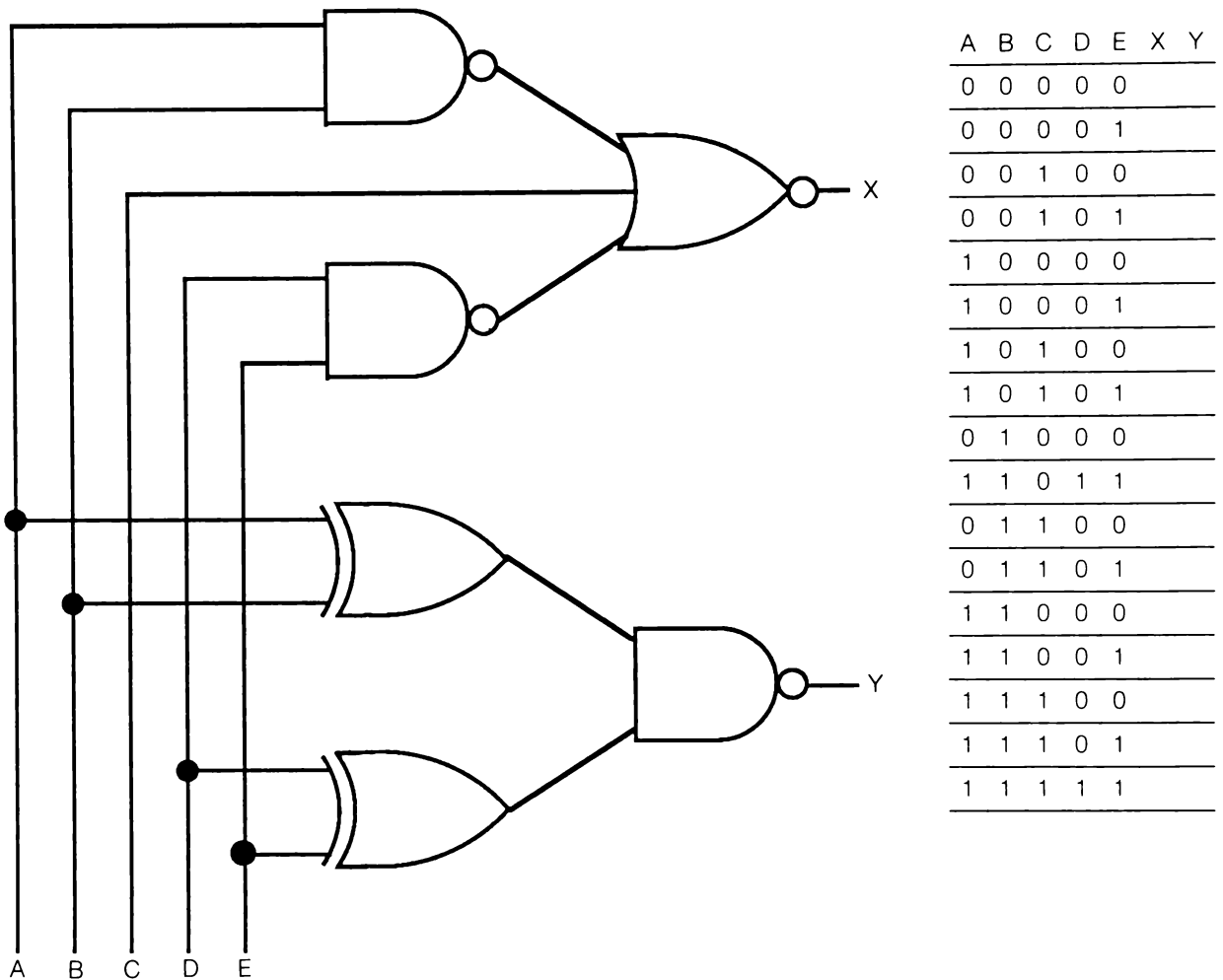
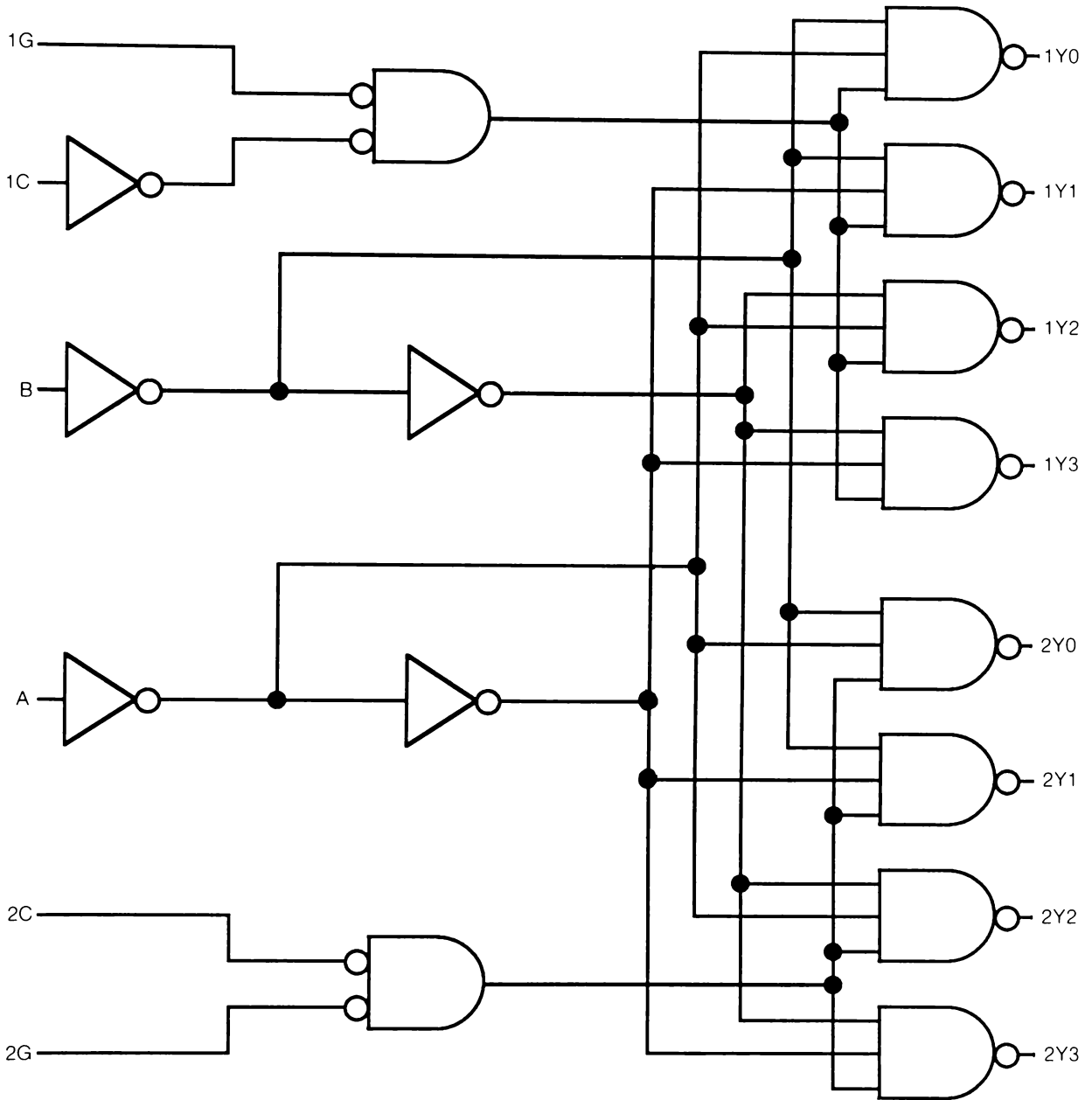


Figure 3.28 Pour le problème 1.

- a) Complétez la table de vérité ;
- b) Trouvez les équations logiques de X et de Y.

2. Double démultiplexeur

Soit le montage de la figure 3.29.



1G	1C	B	A	2C	2G	1Y0	1Y1	1Y2	1Y3	2Y0	2Y1	2Y2	2Y3
1	X	0	1	0	0								
0	1	1	0	1	X								
				0	0	0							

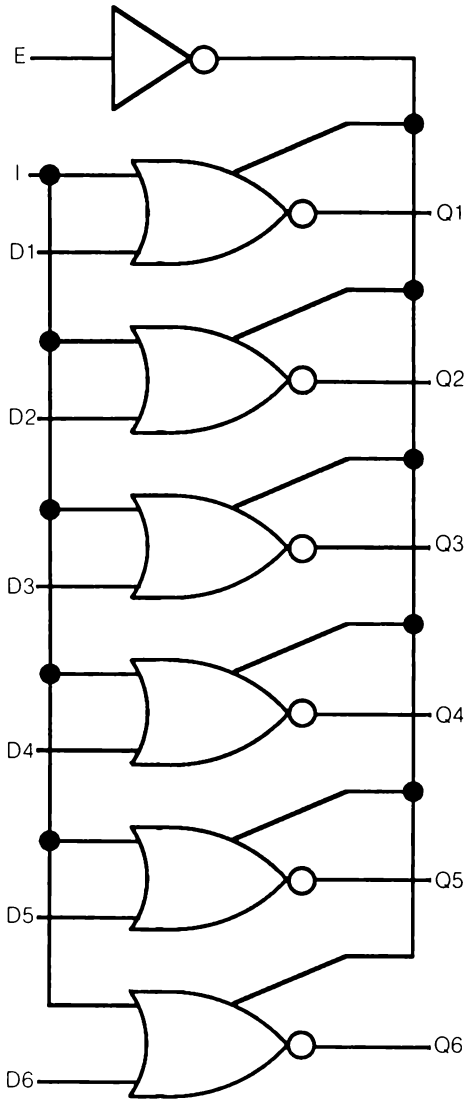
X: indifférent

Figure 3.29 Pour le problème 2.

Complétez la table de vérité.

3. Logique 3 états

Soit le montage de la figure 3.30.



E	I	D	Q
1	X	X	Z
0	1	X	0
0	0	0	1
0	0	1	0

X : indifférent
 Z : état 3 (haute impédance)

E	I	D1	D2	D3	D4	D5	D6	Q1	Q2	Q3	Q4	Q5	Q6
0	0	1	0	1	1	1	0						
				0	1			0	1			1	1
										Z			
										1			
		1									0		
			1	0	1	1	0	1			0		

Figure 3.30 Pour le problème 3.

Complétez la table de vérité.

4. Additionneur

Soit la figure 3.31.

A	B	C	S	R
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

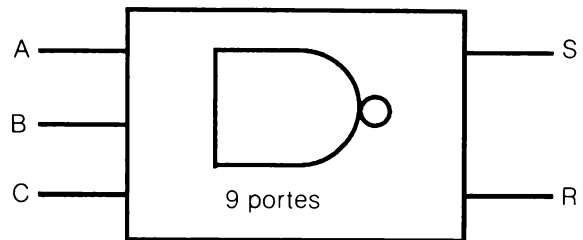


Figure 3.31 Pour le problème 4.

En utilisant 2 4011 et 1/4 de 4011 (9 portes NON-ET à 2 entrées), matérialisez un additionneur complet.

$$S = \bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C} + ABC$$

$$R = \bar{A}Bc + A\bar{B}C + AB\bar{C} + ABC$$

$$\bar{S} = \bar{A}\bar{B}\bar{C} + \bar{A}Bc + A\bar{B}C + AB\bar{C}$$

$$\bar{R} = \bar{A}\bar{B}c + \bar{A}B\bar{C} + A\bar{B}\bar{C} + A\bar{B}C$$

$$\text{IF } V_{CC} / S = \bar{A} * \bar{B} * \bar{C}$$

5. Multiplexeur 4/1

Soit le montage de la figure 3.32.

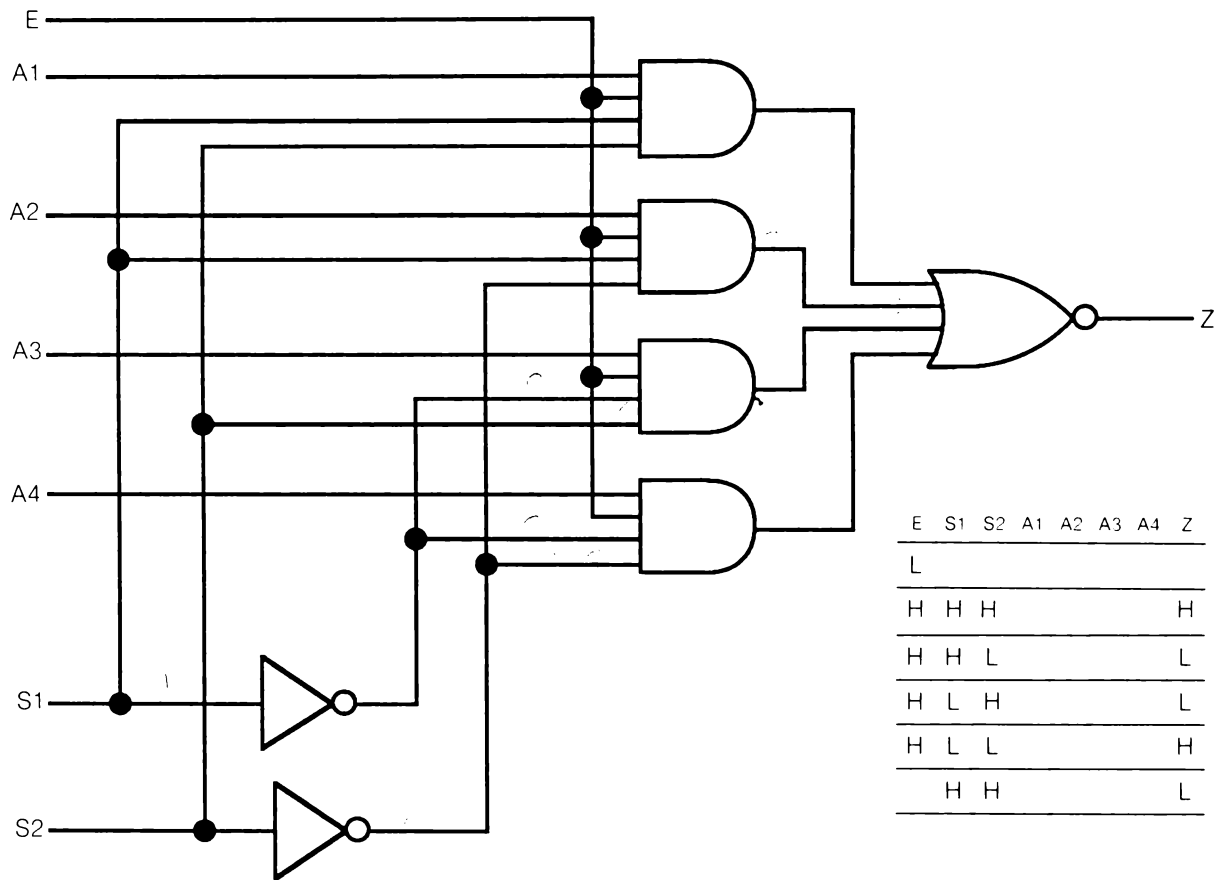
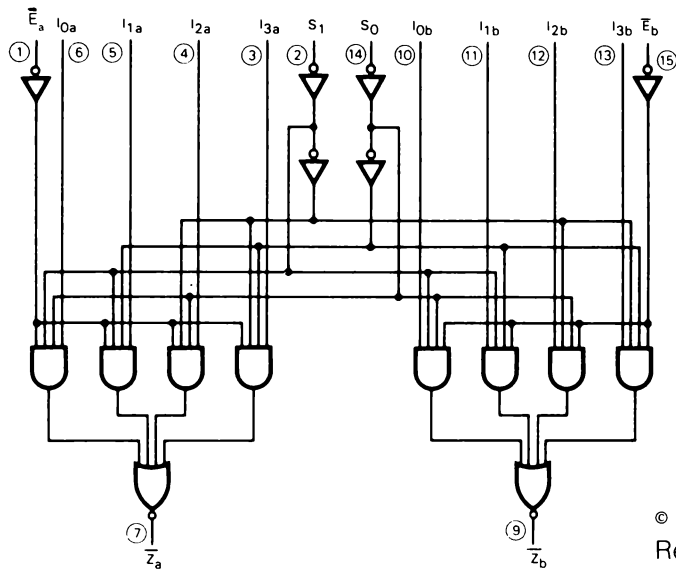


Figure 3.32 Pour le problème 5.

- a) Complétez la table de vérité ;
- b) Trouvez l'équation logique de Z.

6. Double multiplexeur (4/1) 74LS352

Soit le montage de la figure 3.33.



© Motorola Inc.
Reproduit avec permission

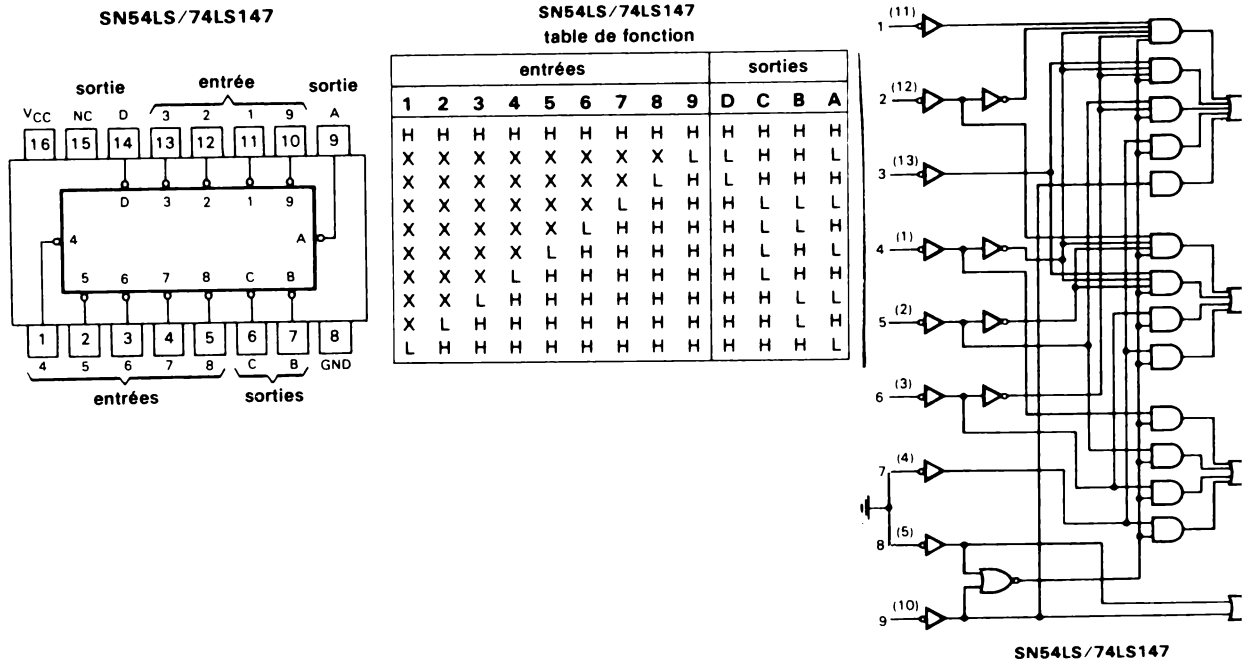
74LS352												\bar{Z}_a	\bar{Z}_b
\bar{E}_a	\bar{E}_b	S_0	S_1	I_{0a}	I_{1a}	I_{2a}	I_{3a}	I_{0b}	I_{1b}	I_{2b}	I_{3b}		
H		L	H										L
	H	H	L										L
		L	L										L L
H				L	H	L	L						L
		H	L			H					H		L L
	L	L	L	H									H H
H	H												

Figure 3.33 Pour le problème 6.

- Trouvez l'équation logique de Z_a ;
- Trouvez l'équation logique de Z_b ;
- Complétez la table de vérité.

7. Codeur prioritaire (8/4) 74LS147

Soit le montage de la figure 3.34.



© Motorola Inc.,
Reproduit avec permi

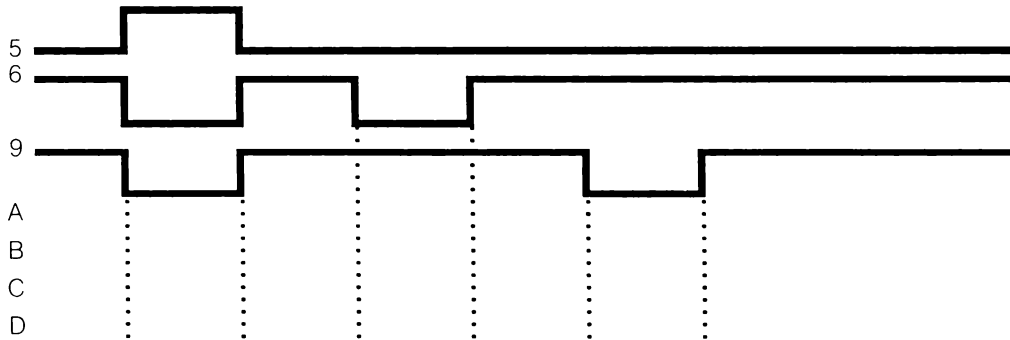
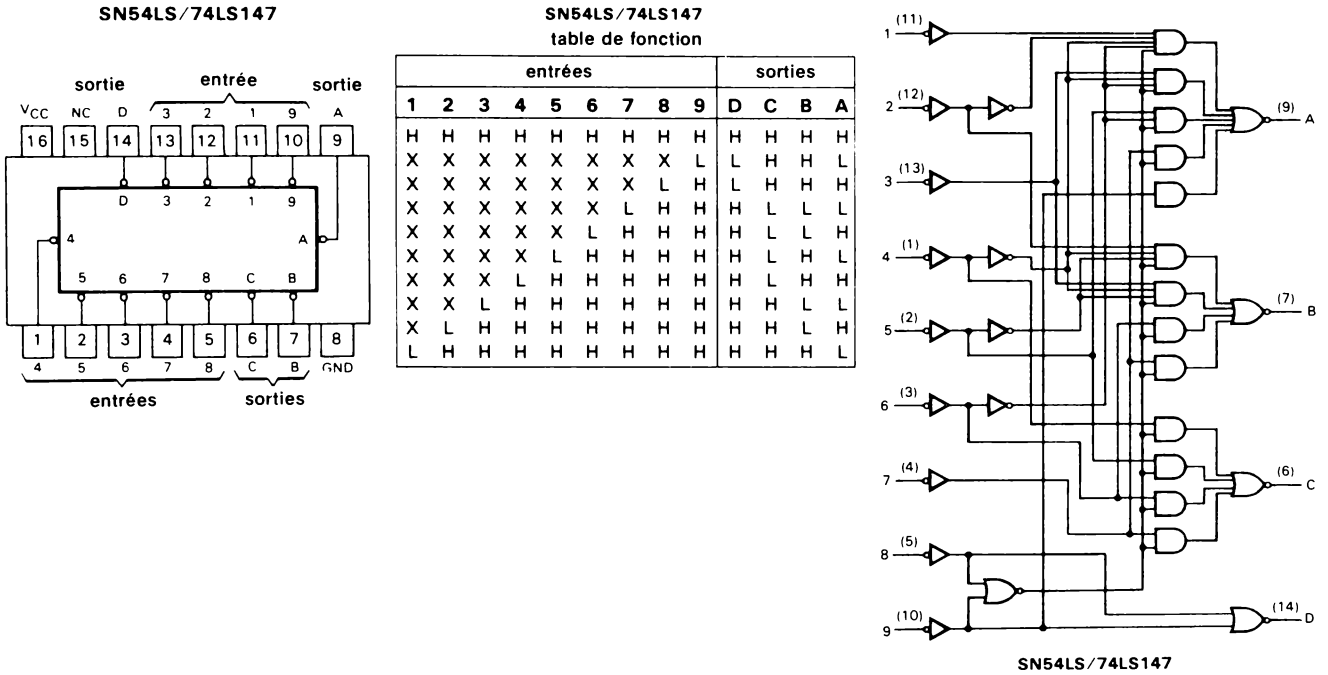


Figure 3.34 Pour le problème 7.

Tracez le chronogramme des sorties A, B, C, D.

8. Codeur prioritaire (8/4) 74LS147

Soit le montage de la figure 3.35.



© Motorola Inc.,
Reproduit avec permission

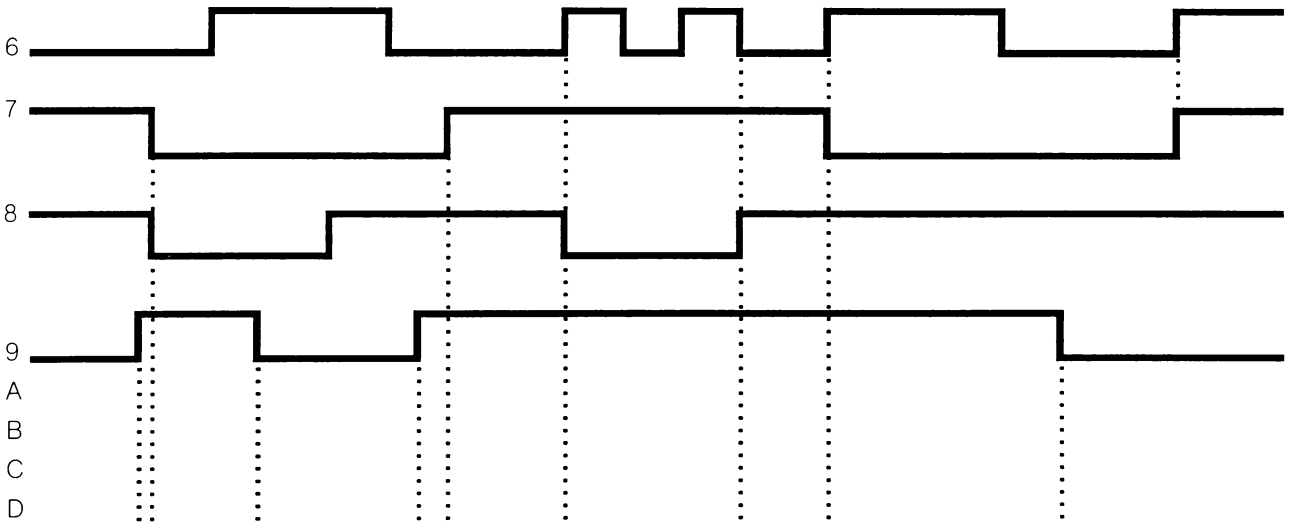
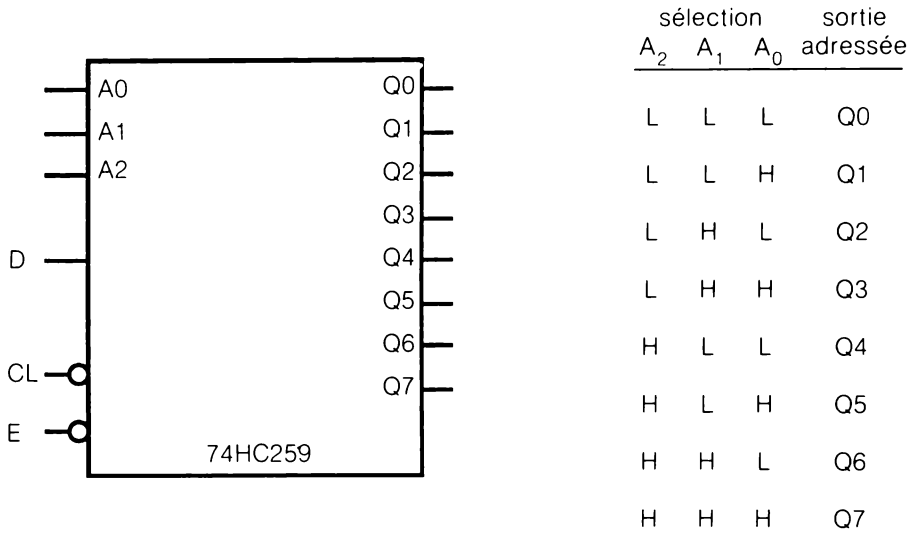


Figure 3.35 Pour le problème 8.

Dessinez le chronogramme des sorties A, B, C, D.

9. Décodeur adressable (1/8) 74HC259

Soit la figure 3.36.



CL	E	D	Fonction
L	H	X	toutes les sorties sont basses (remise à zéro)
L	L	d	la sortie adressée prend la valeur d. Les autres sorties sont basses (démultiplexage)
H	L	d	la sortie adressée prend la valeur d. Les autres sorties ne changent pas d'état (adressage)
H	H	X	aucune sortie ne change d'état (mémoire)

CL	E	D	A2	A1	A0	Q0	Q1	Q2	Q3	Q4	Q5	Q6	Q7
L	H	X	X	X	X								
L	L	H	L	H	H								
L	L	L	H	L	L								
H	L	H	L	L	H								
H	H	H	L	L	H								
H	H	H	H	L	H								
H	L	H	H	L	H								
H	H	H	H	L	H								
H	H	L	L	L	H								
H	L	L	L	L	H								

Figure 3.36 Pour le problème 9.

Complétez la table de vérité.

10. Révision des équations booléennes

Les conditions d'embauchage d'une société sont :

Parler français, être de sexe masculin, être diplômé et posséder une voiture ;

ou parler anglais et français, être mariée et de sexe féminin ;

ou parler anglais et français, être diplômé et posséder une voiture ;

ou parler anglais, être de sexe féminin et mariée ;

ou parler français, être diplômée, être de sexe féminin et posséder une voiture ;

ou être marié, de sexe masculin et parler anglais ;

ou parler anglais, être diplômé marié et de sexe masculin.

Résumez ces conditions au minimum par la logique et simulez la machine à engager en utilisant seulement des portes NON-ET.

11. Révision de la logique combinatoire

La nuit, des employés jouent aux cartes pendant les heures de service dans les trois salles (figure 3.37). Ils ne veulent évidemment pas être vus !

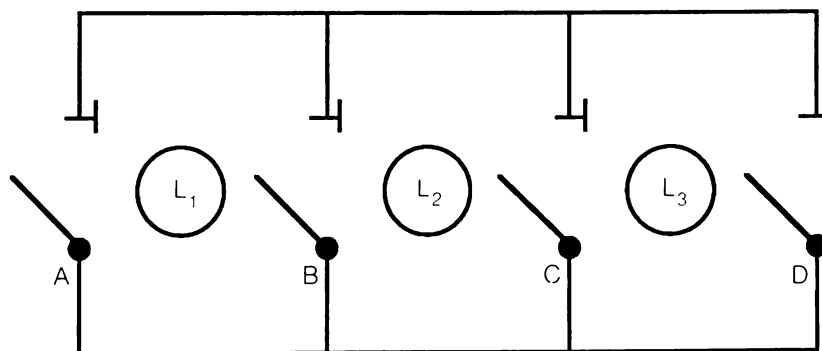


Figure 3.37 Pour le problème 11.

Ils vous demandent de monter un circuit logique qui, par l'extinction d'un nombre minimal de lampes, empêchera la lumière de filtrer à l'extérieur.

Traitez le problème par la logique et simulez le circuit en utilisant un nombre minimal de circuits intégrés.

4.1 Objectifs

Après étude de ce chapitre, l'étudiant devra savoir

1. Différencier état et transition.
2. Tracer les chronogrammes statique et dynamique d'un circuit.
3. Ce qu'est la fonction de transparence.
4. Utiliser les bascules dans les registres et les compteurs.
5. Utiliser les bascules dans les circuits séquentiels.
6. Concevoir un circuit séquentiel à partir d'un cahier des charges détaillé.
7. Concevoir un circuit séquentiel à partir de contraintes sommaires.
8. Harmoniser la puissance des équipements d'essais avec la puissance intellectuelle de l'utilisateur.

4.2 Circuit séquentiel asynchrone

Les états des sorties x et y d'un circuit séquentiel varient pour une même combinaison des états des entrées. Ainsi en est-il aux étapes 2 et 4 de la table de vérité de la figure 4.1a. Le chronogramme du circuit représenté en 4.1b fournit un supplément d'information sur les temps de propagation. Selon la figure 4.1c l'état de sortie d'un circuit séquentiel asynchrone est fonction de l'état actuel a et de l'état précédent a-1 de ses entrées ainsi que des temps de propagation t_p , d'où

$$Y = f(a, a-1, t_p)$$

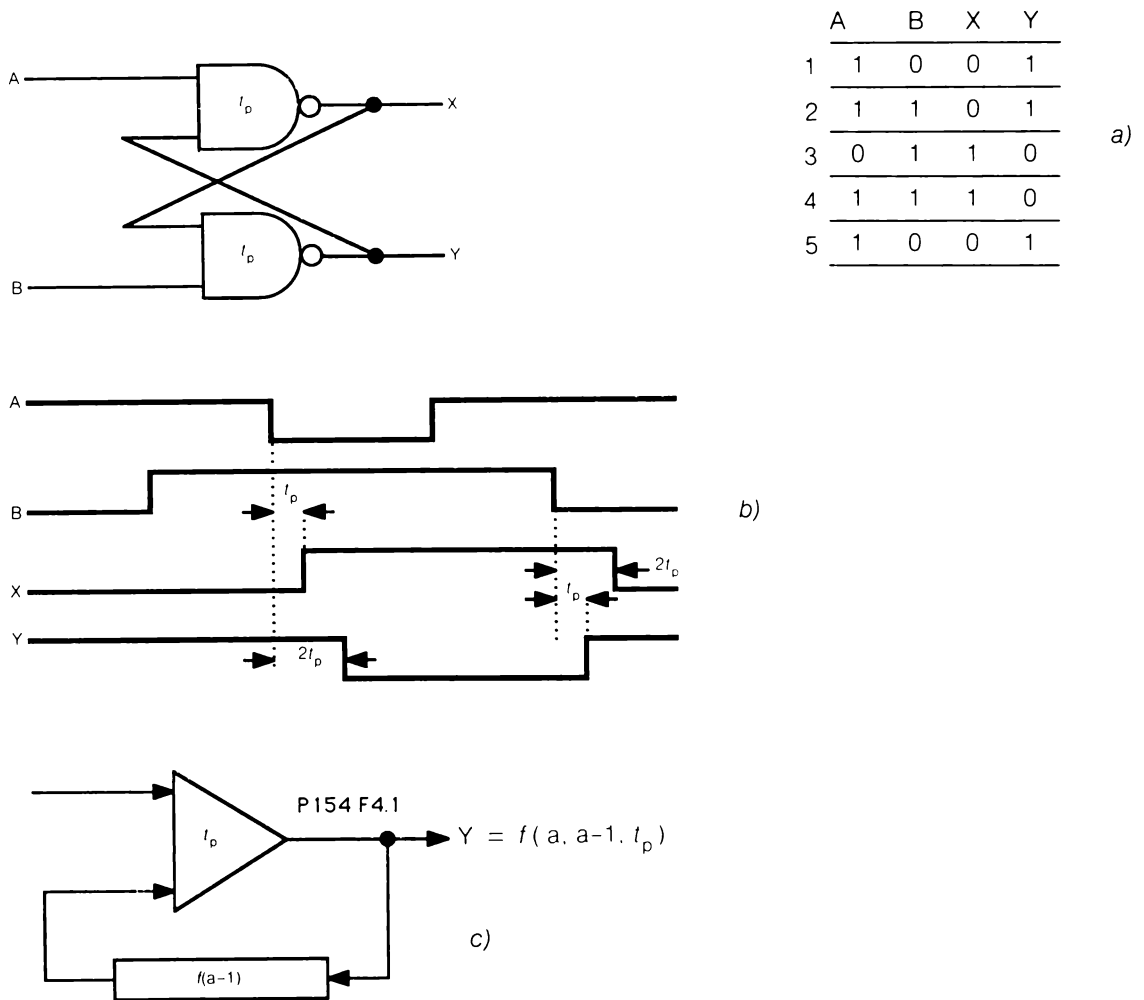


Figure 4.1 a) Circuit séquentiel et sa table de vérité ;
 b) Chronogramme du circuit séquentiel ;
 c) Fonction d'un circuit séquentiel asynchrone.

4.3 Circuit séquentiel synchrone

Les étapes 2 et 4 de la table de vérité du circuit représenté à la figure 4.2a indiquent deux états différents de la sortie pour la même combinaison des états des entrées. Cette bivalence est une caractéristique d'un circuit séquentiel. Selon le chronogramme de ce circuit séquentiel synchrone,

- a) La sortie est encore fonction des temps de propagation t_p ;
- b) La sortie ne dépend pas de la transition des entrées A et B ;
- c) La sortie est fonction de la transition du signal d'horloge (une transition haute dans ce cas). En d'autres mots, la transition active de l'horloge synchronise la sortie ; par transition active entendre celle, haute ou basse, qui provoque le déclenchement ;
- d) La sortie dépend de l'état des entrées au moment de la transition active de l'horloge.

Conclusion :

L'état de sortie d'un circuit séquentiel synchrone est fonction de l'état actuel a et de l'état précédent $a-1$ de ses entrées ainsi que des temps de propagation t_p comptés à partir de la transition active de l'horloge, d'où

$$Y = f[a, a-1, (↑, t_p)] \quad (\text{figure 4.2c})$$

Remarques :

La transition basse de l'horloge ou même les deux transitions $\uparrow\downarrow$ activent les circuits. Dans ce dernier cas, on a une fonction maître-esclave.

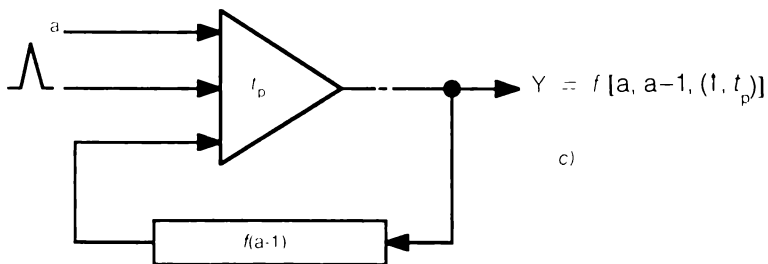
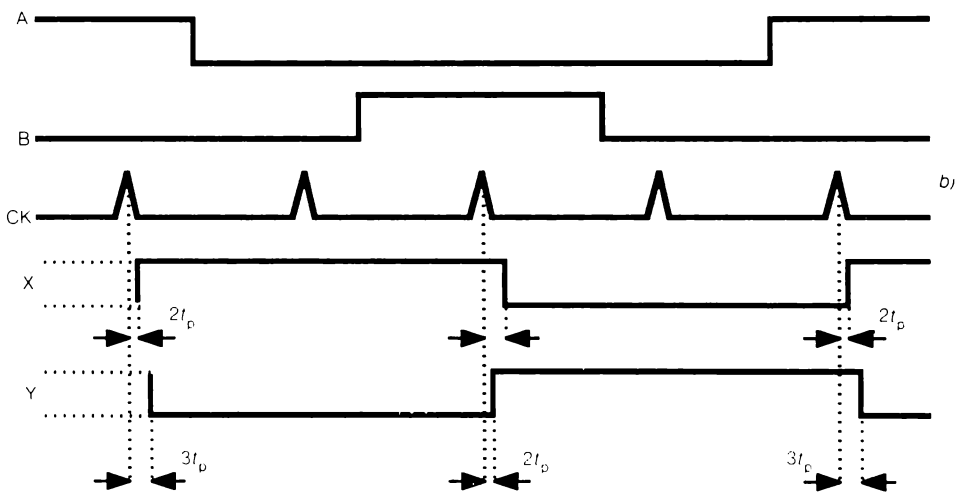
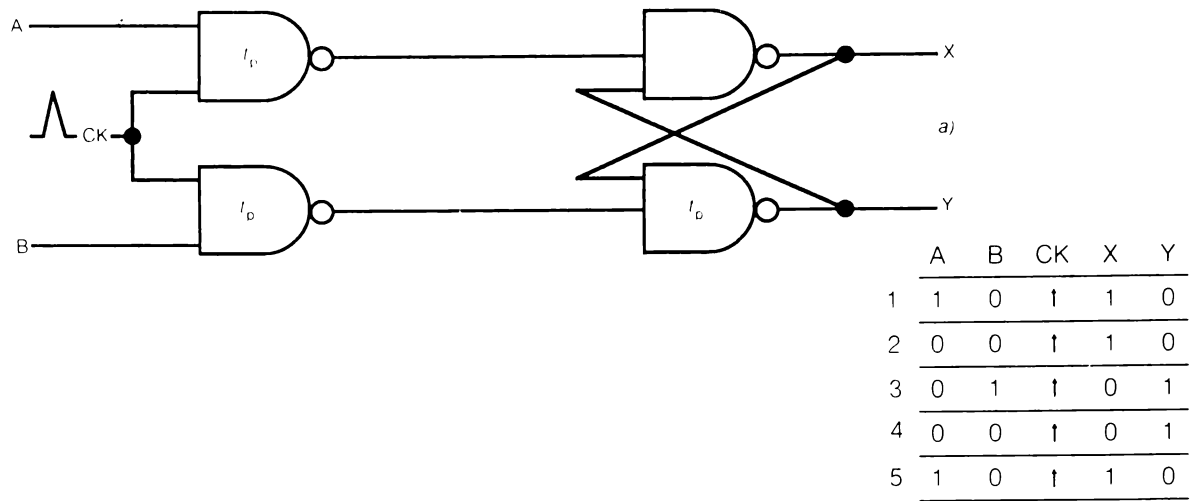


Figure 4.2 a) Circuit séquentiel synchrone et table de vérité ;
 b) Le chronogramme donne l'image dynamique du circuit ;
 c) Fonction générale d'un circuit séquentiel synchrone.

4.4 Bascules

Les bascules sont des circuits séquentiels synchrones ou asynchrones. On les divise en trois catégories :

- Les bascules transparentes qui déclenchent sur le niveau haut ou bas de l'entrée de commande. On les appelle aussi des verrous (figure 4.3a).
- Les bascules à transition qui déclenchent sur la transition haute ou basse du signal d'horloge (figure 4.3b).
- Les bascules du type maître-esclave qui ont besoin des deux transitions d'horloge pour chaque cycle de transfert entrée-sortie. On les utilise surtout dans les compteurs asynchrones (figure 4.3c).

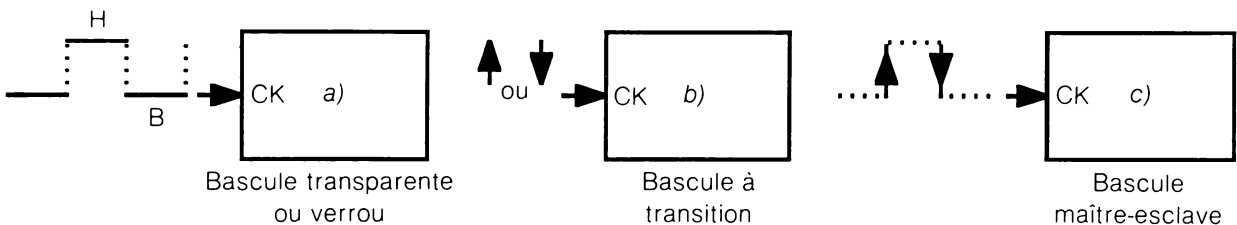


Figure 4.3 Les trois commandes des bascules.

- Bascule à niveau ;
- Bascule à transition ;
- Bascule maître-esclave.

4.4.1 Bascule RS

Un 74LS279 comprend quatre exemplaires du modèle qui nous a permis de comprendre les caractéristiques d'un circuit séquentiel. Nous rappelons à la figure 4.4b une de ses applications typiques : le verrouillage de l'information d'entrée pendant les rebonds et le flottement d'un commutateur.

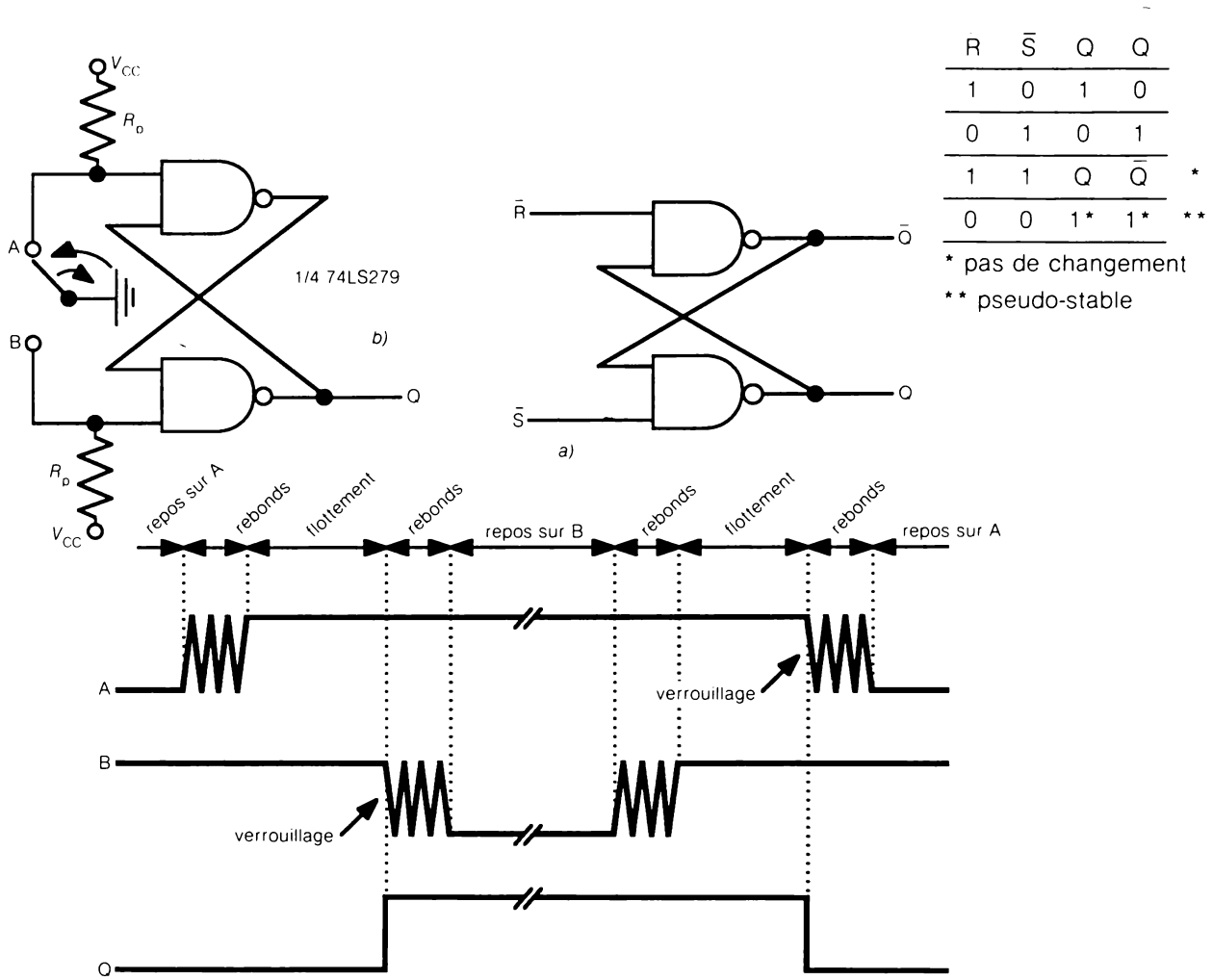


Figure 4.4 a) Bascule $\bar{R}\bar{S}$ et table de vérité ;
 b) Verrou $\bar{R}\bar{S}$ utilisé comme circuit antirebonds.

4.4.2 Exercice sur bascule antirebonds

Calculez la résistance de rappel R_p du circuit antirebonds de la figure 4.4b.

Solution

Selon la fiche technique du 74LS279

$$I_{IHmax} = 20 \mu A$$

$$V_{IHmin} = 2 V$$

Portons ces valeurs à la figure 4.5. Il vient

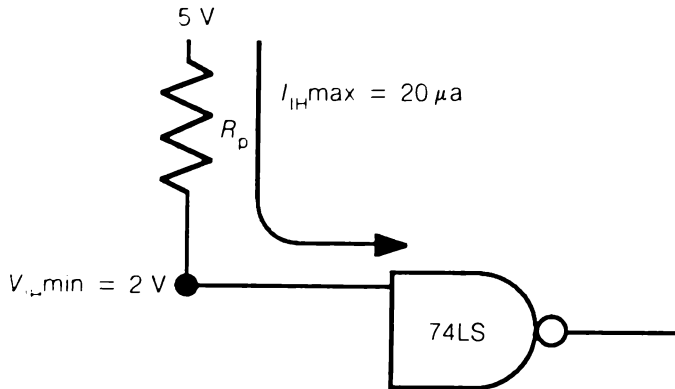


Figure 4.5 Pour la solution de l'exercice de 4.4.2.
La résistance de rappel R_p dépend de I_{IHmax} et V_{ILmin} .

$$R_{pmax} = \frac{5V - 2V}{20 \mu A} = 0,15 M\Omega = 150 k\Omega$$

En milieu bruyant, prendre $R_p = 50 k\Omega$ ou $100 k\Omega$.

4.4.3 Bascule D transparente

La bascule \overline{RS} de la figure 4.4a devient facilement la bascule D transparente de la figure 4.6a où Q est toujours égal à D tant que la commande Verrou (LE) est à 1. C'est la fonction de transparence. Par contre, un 0 sur l'entrée LE verrouille la sortie sur l'état actuel de la donnée. Nous avons ajouté une commande de sortie OE qui, lorsqu'elle est de niveau haut, force la sortie à l'état 3 (haute impédance). Un 74HC373 (74LS373) contient 8 Verrous D transparents 3 états (figure 4.6c).

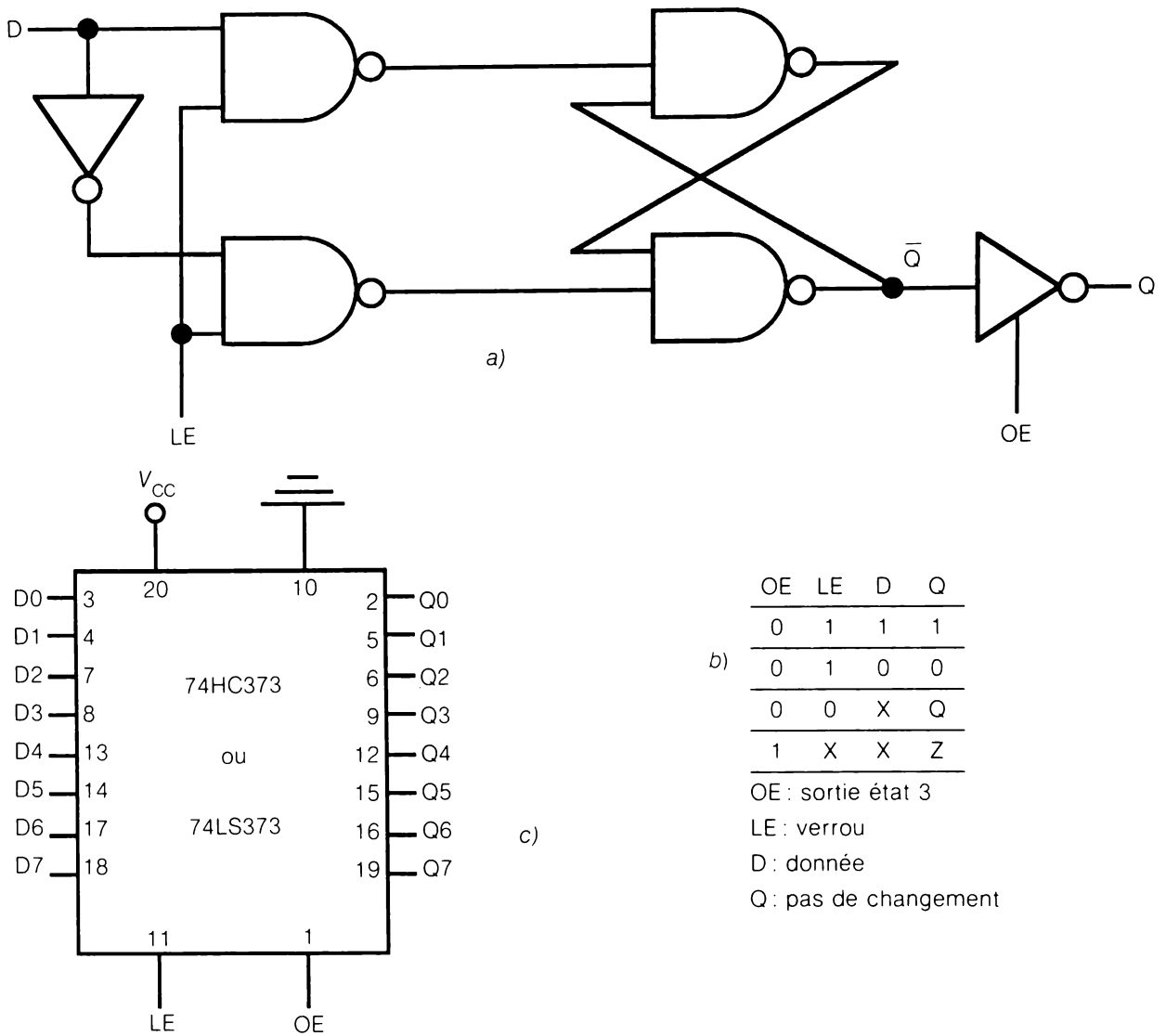


Figure 4.6 Bascule D transparente.

- a) Circuit de principe ;
- b) Table de vérité ;
- c) Le CI 74373 contient 8 Verrous D transparents 3 états.

4.4.4 Bascule D à transition

En dosant adéquatement le temps de propagation (t_{PCK}) du circuit modèle de la figure 4.7, on obtient au point CK' une impulsion juste assez large pour permettre le transfert de l'information D vers le verrou RS. C'est donc la transition haute qui sera active. Les huit bascules D à transition d'un 74HC374 (74LS374) sont relativement plus complexes que notre modèle (rétroaction imbriquée) mais elles ont la même table de vérité.

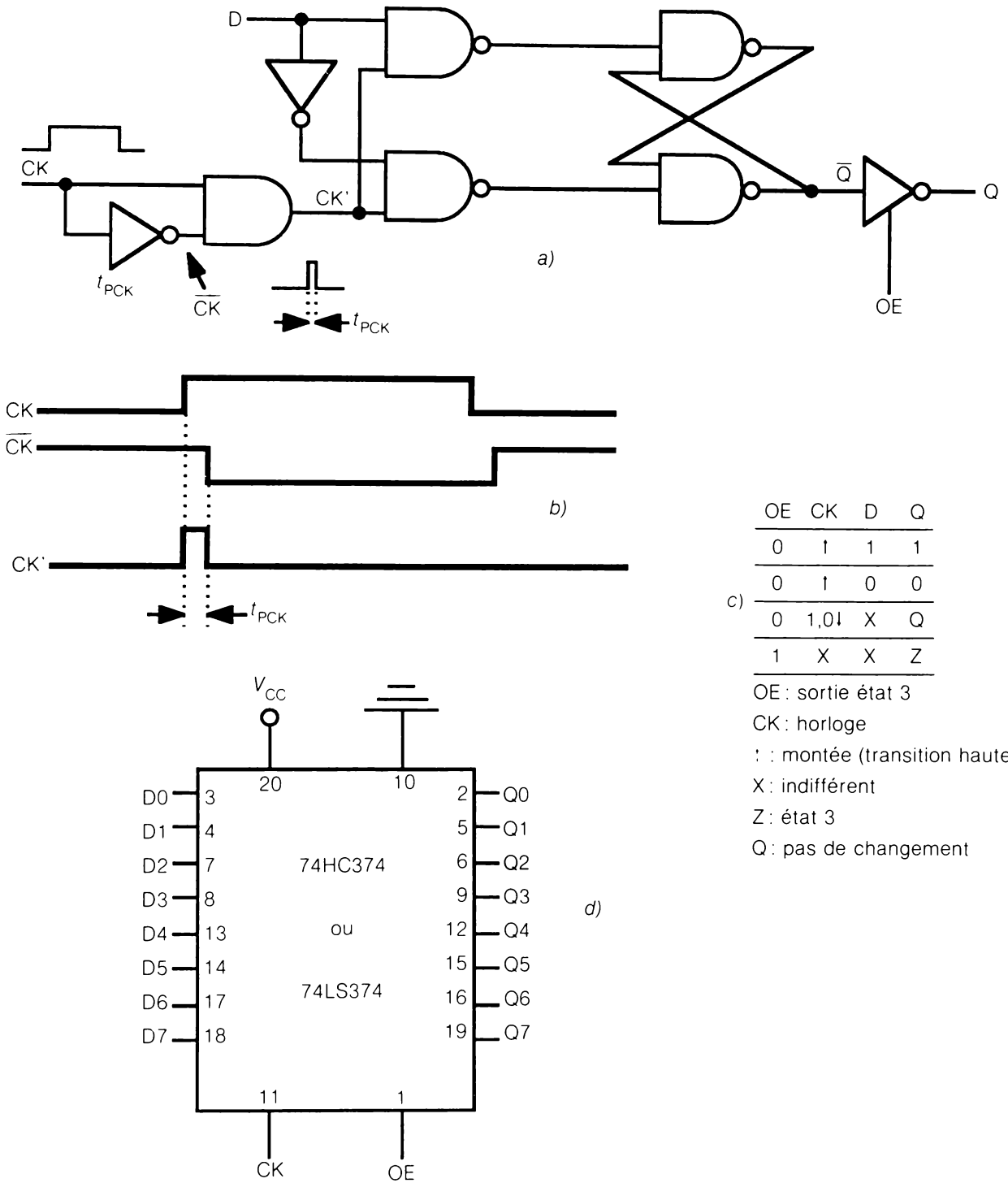


Figure 4.7 Bascule D à transition.

- a) Modèle pédagogique ;
- b) Chronogramme du circuit d'horloge ;
- c) Table de vérité ;
- d) Un 74374 comprend huit bascules D à transition.

4.4.5 Bascule JK à transition

La table de vérité de la bascule JK à transition basse \downarrow symbolisée à la figure 4.8a permet d'écrire la table d'excitation de la figure 4.8c.

En ajoutant sur l'étage de sortie deux commandes asynchrones prioritaires SET et RESET on obtient la table de vérité de la figure 4.9 qui est celle du CI 74HC112 (74LS112).

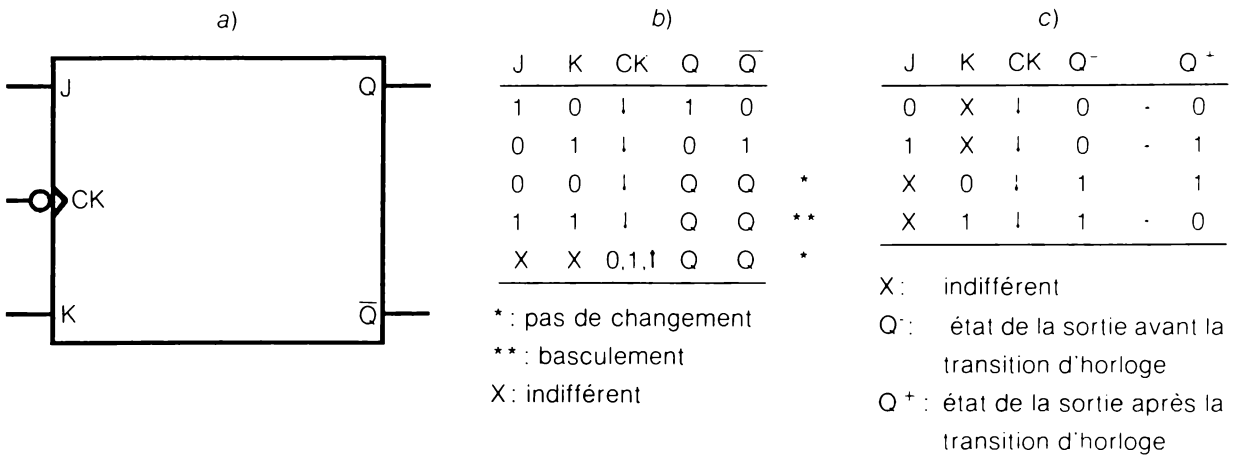


Figure 4.8 Bascule JK à transition basse \downarrow .

- a) Symbole ;
- b) Table de vérité ;
- c) Table d'excitation.

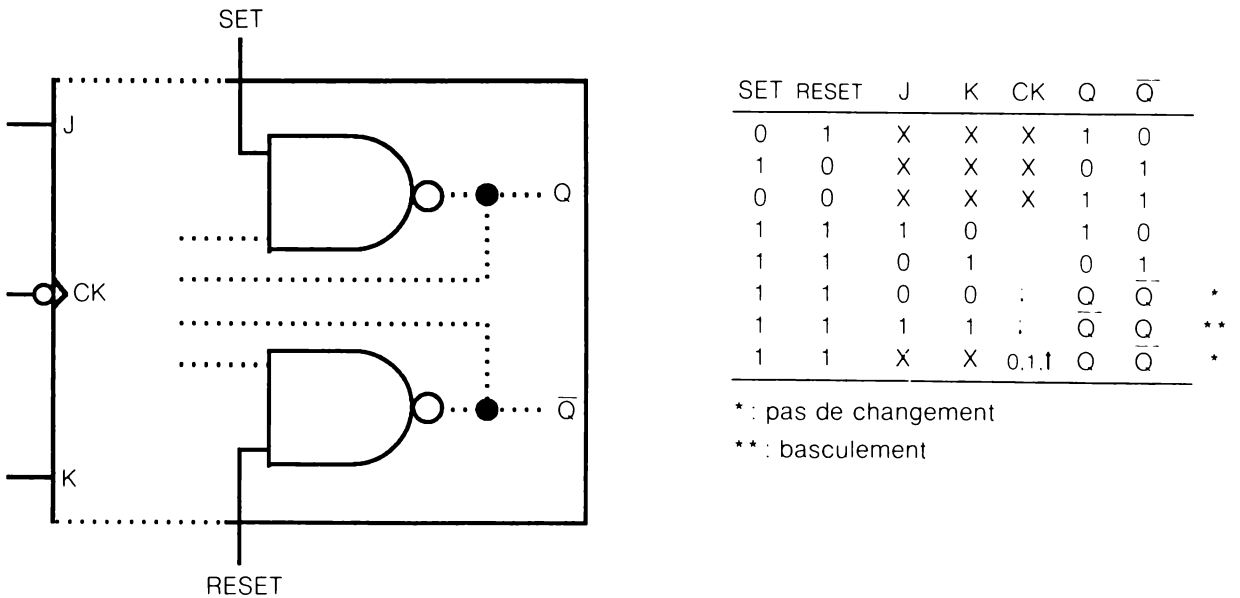


Figure 4.9 Bascule JK avec priorité de SET et RESET (ex. 1/2 74HC112).

4.4.6 Exercice sur la table d'excitation

Soit le montage de la figure 4.10.

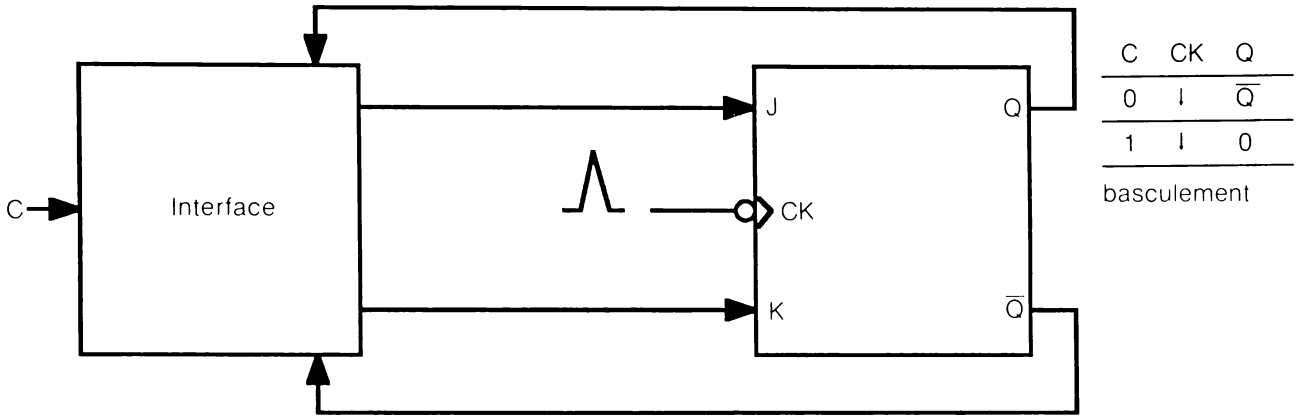


Figure 4.10 Pour l'exercice de 4.4.6.

Concevez l'interface de la figure 4.10 pour que

- a) Quand $C = 0$, la bascule bascule à chaque impulsion;
- b) Quand $C = 1$, la bascule passe de force à 0 à la prochaine impulsion.

Solution

L'énoncé du problème et la table d'excitation de la figure 4.8c permettent de dresser la table de vérité de la figure 4.11a. De cette table de vérité on tire les équations qui donnent le circuit final de la figure 4.11b.

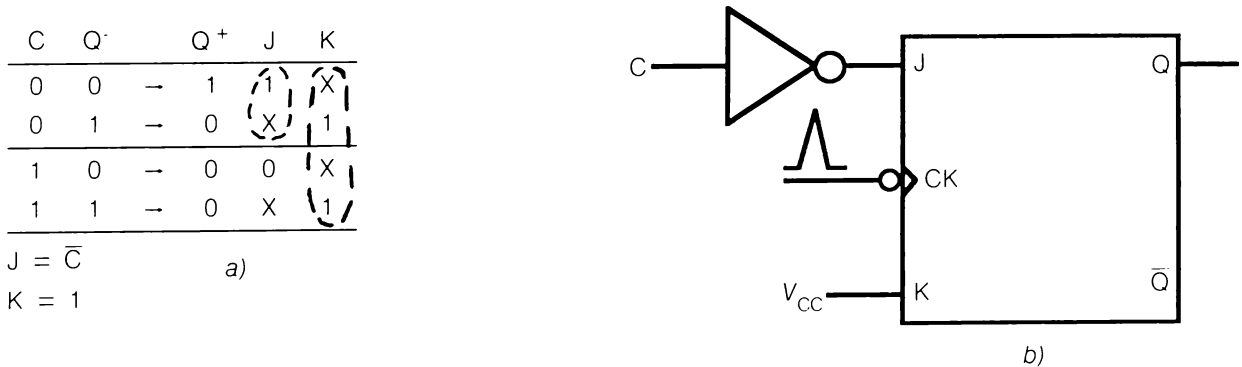


Figure 4.11 Pour la solution de l'exercice de 4.4.2.

- a) Table de vérité et équations ;
- b) Circuit final.

4.4.7 Exercice de conversion de bascule JK en bascule T

Transformez la bascule JK en bascule T (toggle = basculement).

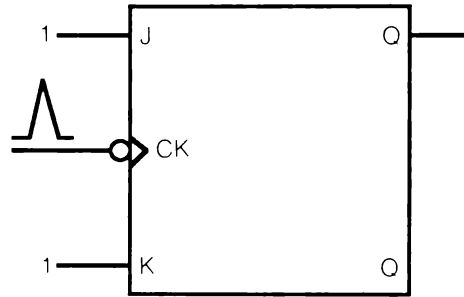
Solution

Selon la table de vérité simplifiée du JK de la figure 4.12a, si l'on maintient J et K au niveau haut, le composant bascule à chaque impulsion. La figure 4.12b représente donc la bascule T que l'on retrouve souvent dans les compteurs asynchrones.

J	K	CK	Q
1	0	↓	1
0	1	↓	0
0	0	↓	Q
1	1	↓	\bar{Q}

pas de changement
basculement

a)



b)

Figure 4.12 Pour la solution de l'exercice de 4.4.7; la table de vérité en a de la bascule JK donne la bascule T représentée en b.

4.4.8 Exercice de transformation de bascule JK en bascule D

Transformez la bascule JK en bascule D (Donnée).

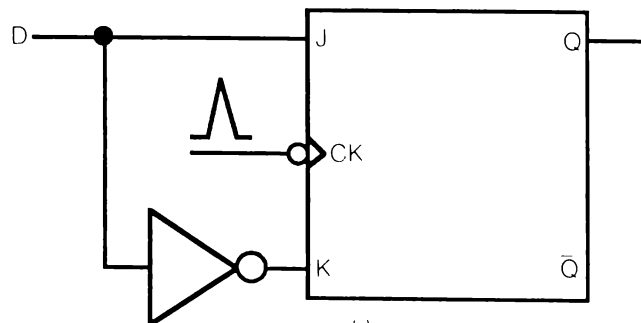
Solution

On obtient une bascule D à partir de la table de vérité du JK de la figure 4.13a en utilisant J comme entrée non inversée et K comme entrée inversée.

J	K	CK	Q
1	0	↓	1
0	1	↓	0
0	0	↓	Q
1	1	↓	\bar{Q}

Fonction
D

a)



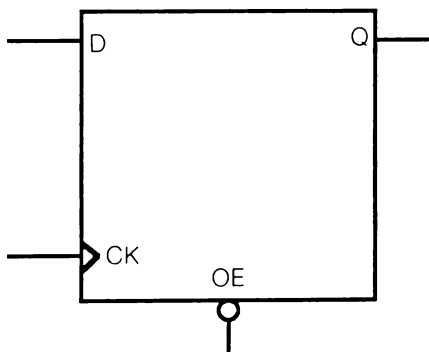
b)

Figure 4.13 Pour la solution de l'exercice de 4.4.8; les deux premières lignes de la table de vérité en a du JK donnent une bascule D (Donnée) représentée en b.

4.4.9 Chronogrammes de bascule

La bascule 74HC374 de nouveau illustrée à la figure 4.14 sert d'exemple pour l'étude des chronogrammes. La figure 4.14c représente les caractéristiques du signal d'horloge; les temps de montée t_r et de descente t_f ne peuvent excéder 500 ns; la largeur minimale de niveau haut t_{WH} et la largeur minimale de niveau bas t_{WL} sont de 16 ns. Selon le chronogramme de 4.14d, la donnée doit être présente avant et après la transition active de l'horloge (temps de préparation $t_s = 20$ ns et temps de maintien $t_h = 5$ ns). Selon le chronogramme de 4.14e, la sortie ne sera valide qu'après le temps de propagation haut t_{PLH} ou bas t_{PHL} entre l'horloge et la sortie. Le même chronogramme représente les temps de transitions haute t_{TLH} et basse t_{THL} du signal de sortie. Enfin le chronogramme de 4.14f représente les temps de propagation entre le signal de commande de sortie OE et la mise à l'état 3 (ou la remise à l'état 1 ou 2) de la sortie :

temps de propagation état 3 bas $t_{PZLmax} = 30$ ns
 temps de propagation état 3 haut $t_{PZHmax} = 30$ ns
 temps de propagation bas état 3 $t_{PLZmax} = 30$ ns
 temps de propagation haut état 3 $t_{PHZmax} = 30$ ns



1/8 74HC374

a)

OE	CK	D	Q
0	1	1	1
0	1	0	0
0	0,1↓	X	Q
1	X	X	Z

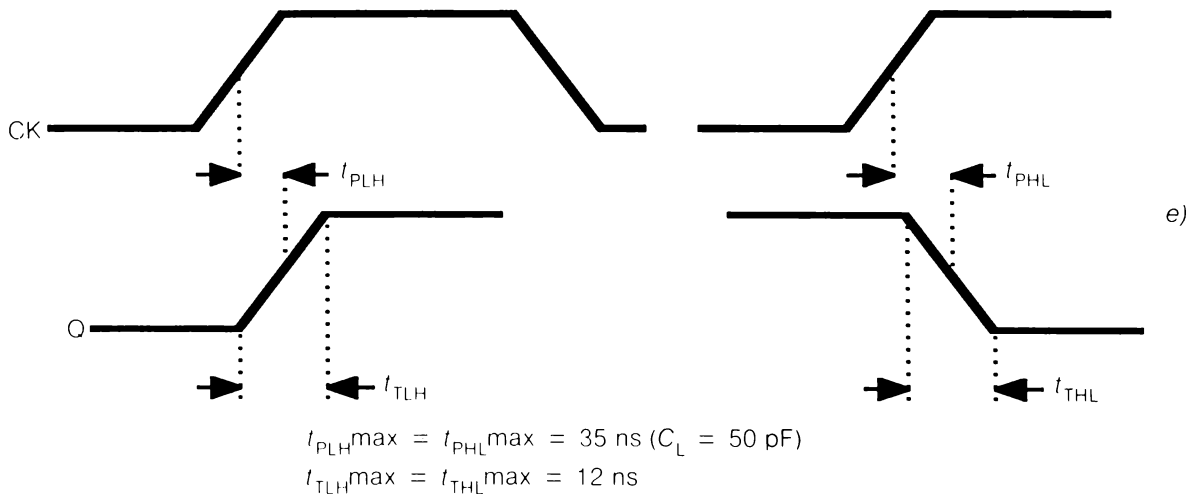
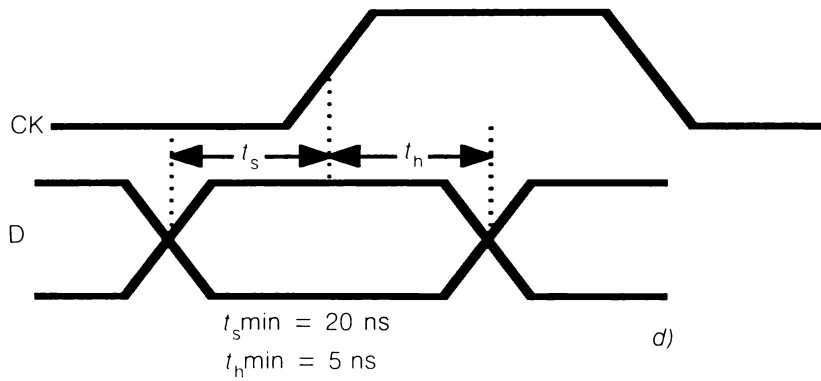
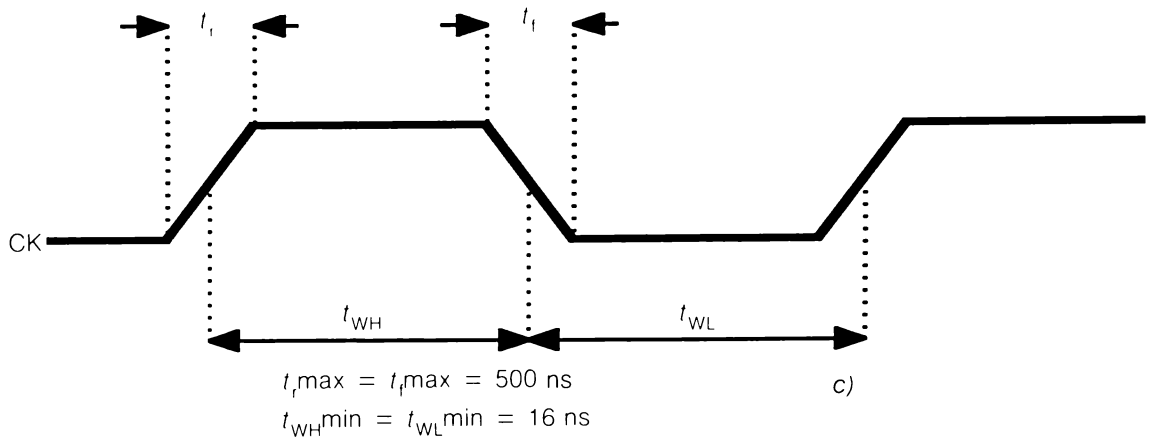
X: indifférent

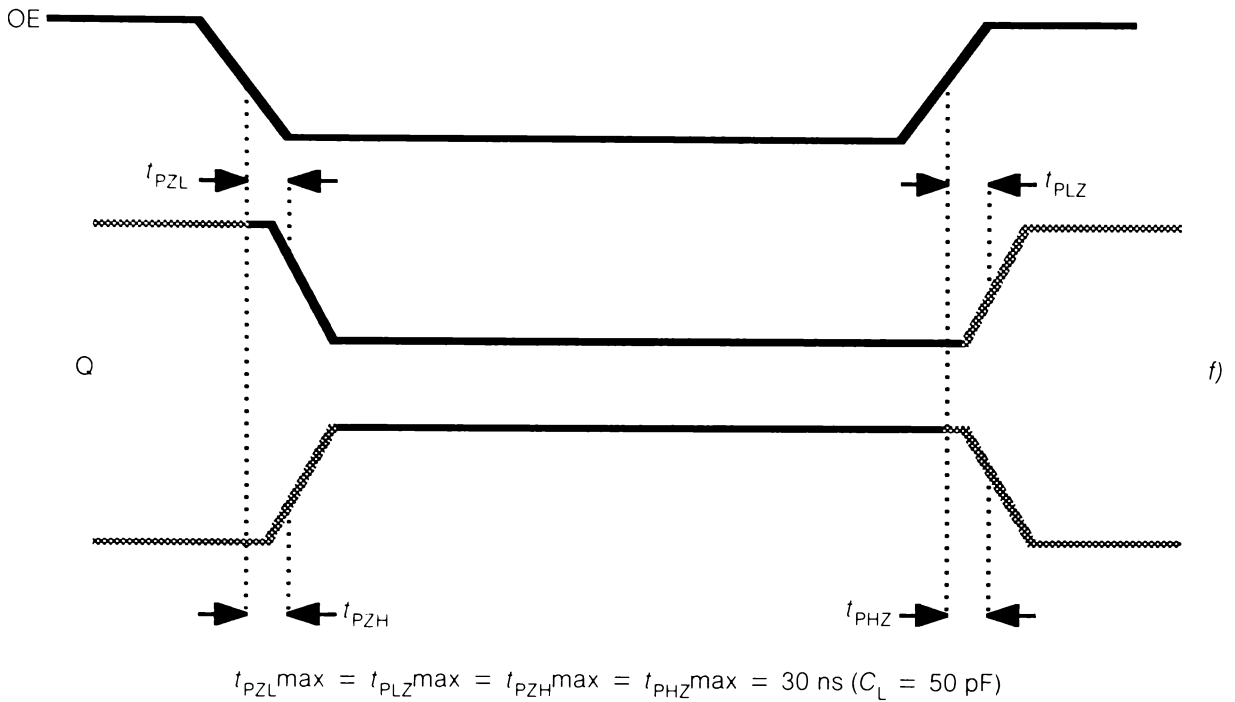
Z: état 3

Q': pas de changement

b)

Figure 4.14 a) CI 74HC374 ;
 b) Table de vérité du 74HC374 ;
 c); d); e); f) Chronogrammes du circuit (voir le texte).





4.4.10 Exercice sur le chronogramme du verrou D

Tracez le chronogramme de la sortie Q du verrou D 74LS375 représenté à la figure 4.15.

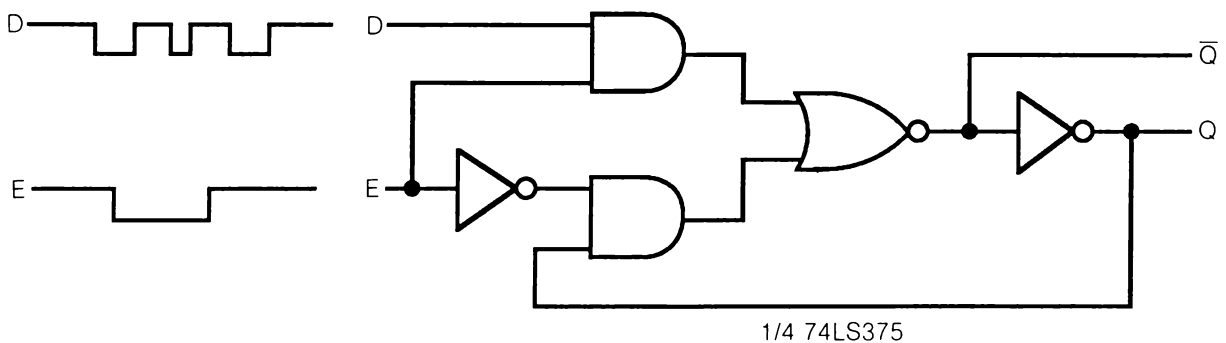


Figure 4.15 Pour l'exercice de 4.4.10.

Solution

Tant que l'entrée E est au niveau haut $Q = D$ et $\bar{Q} = \bar{D}$, comme l'illustre le circuit équivalent de la figure 4.16a. Quand E passe à 0, l'information de sortie est verrouillée, comme l'indique le circuit équivalent de la figure 4.16b. Enfin, on trace le chronogramme Q de la figure 4.16c à partir de ces circuits équivalents et des caractéristiques données par le fabricant.

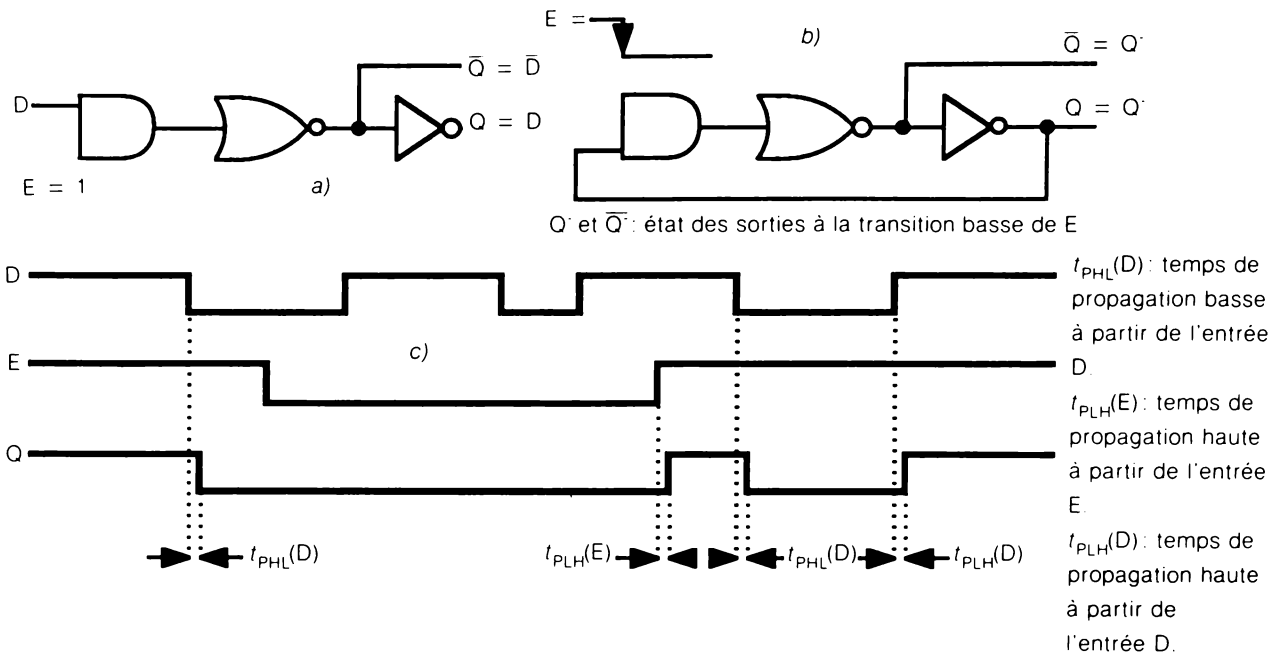


Figure 4.16 Pour la solution de l'exercice de 4.4.10.

- a) Circuit équivalent du 74LS375 pour $E = 1$;
- b) Circuit équivalent pour $E = 0$;
- c) Chronogramme du circuit (voir solution de l'exercice de 4.4.10).

4.5 Registres parallèle et série

Les registres sont un regroupement de bascules et de portes de logique combinatoire qui permet notamment (figure 4.17) :

- a) Le chargement en parallèle d'un mot de N bits ;
- b) Le chargement en série ou le décalage à droite d'un mot de N bits ;
- c) Le chargement en série ou le décalage à gauche d'un mot de N bits ;
- d) La rotation (compteur en anneau) d'un mot de N bits.

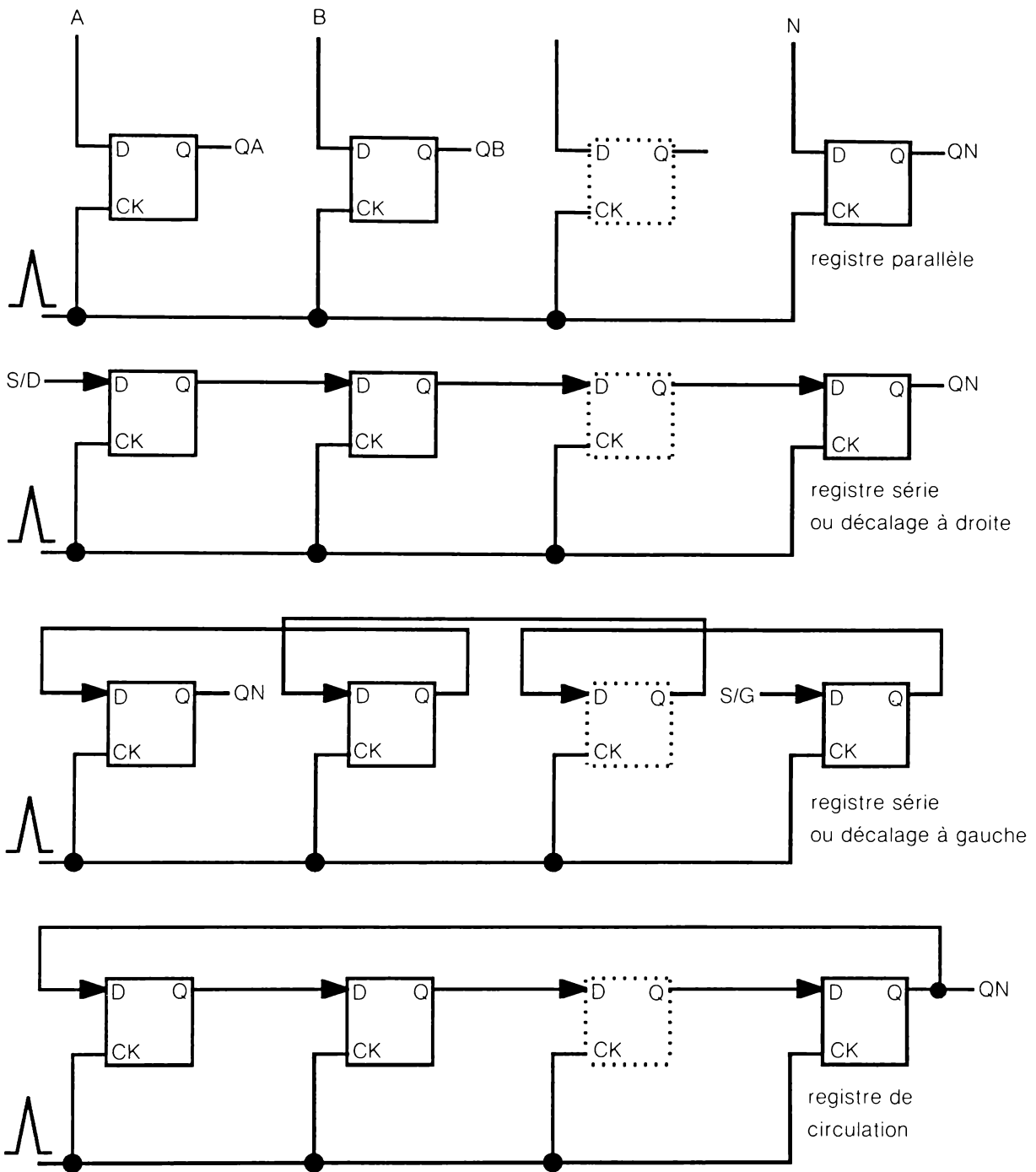
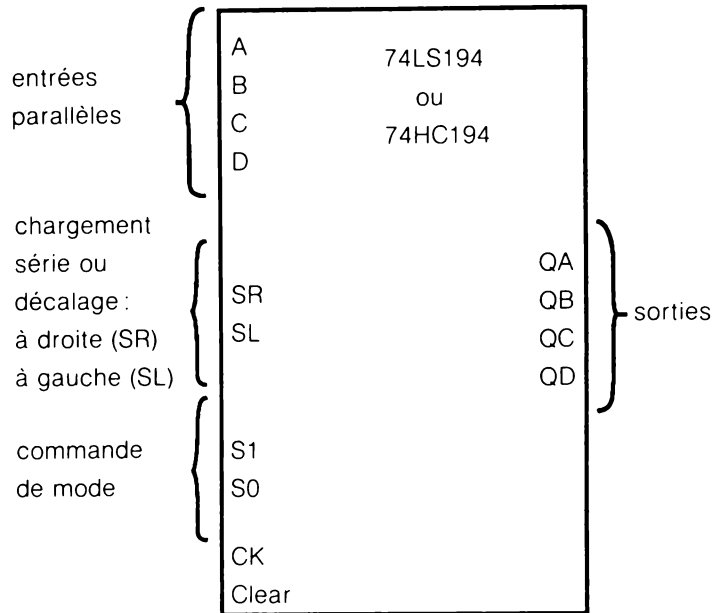


Figure 4.17 Quelques fonctions élémentaires d'un registre.

Il existe une variété de formats, comme 1 mot de 8 bits, 4 mots de 4 bits, etc., et une variété de fonctions, comme état 3 pour la sortie, deuxième horloge pour verrouiller les entrées, etc. La figure 4.18 représente le registre universel 74LS194 (74HC194), un modèle d'initiation pédagogique évident. Et pour tout comprendre, résolvez l'exercice de 4.5.1 ci-dessous.

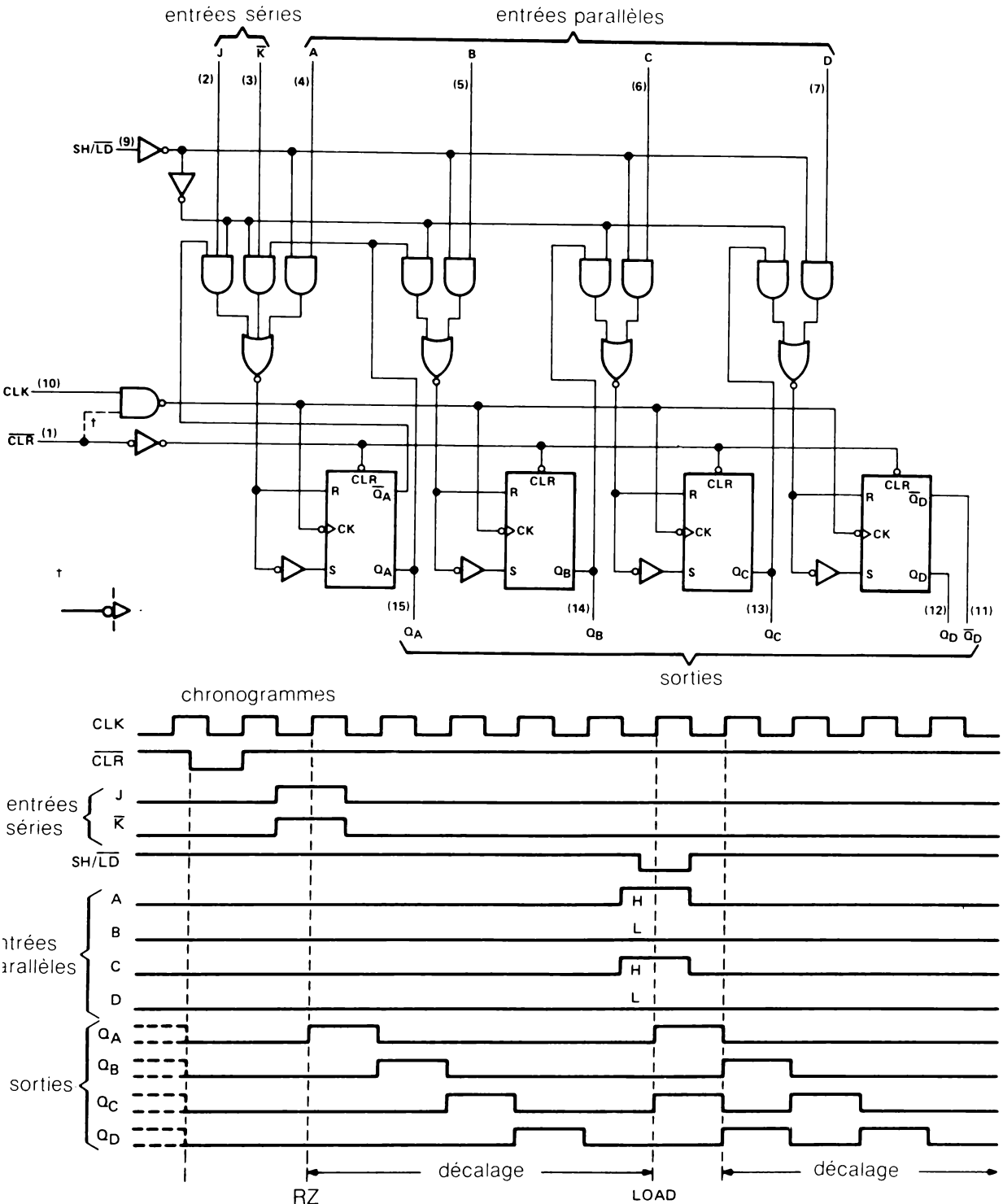


Clear	Mode		CK	Série		Parallèle				Sortie				Explications
	S1	S0		SR	SL	A	B	C	D	QA	QB	QC	QD	
0	X	X	X	X	X	X	X	X	X	0	0	0	0	Remise à zéro
1	1	1	↑	X	X	a	b	c	d	a	b	c	d	Chargement en parallèle
1	0	1	↑	1	X	X	X	X	X	1	Q _A	Q _B	Q _C	Chargement en série
1	0	1	↑	0	X	X	X	X	X	0	Q _A	Q _B	Q _C	
1	1	0	↑	X	1	X	X	X	X	Q _B	Q _C	Q _D	1	Chargement en série ou décalage à gauche
1	1	0	↑	X	0	X	X	X	X	Q _B	Q _C	Q _D	0	
1	X	X	0,1↑	X	X	X	X	X	X	Q _A	Q _B	Q _C	Q _D	Pas de changement
1	0	0	X	X	X	X	X	X	X	Q _A	Q _B	Q _C	Q _D	Pas de changement

Figure 4.18 Le registre universel 74194 permet le chargement en parallèle, le chargement et les décalages à gauche et à droite, la remise à zéro et la mise à l'état 3.

4.5.1 Exercice sur le chronogramme de sortie d'un registre

Consultez la fiche technique (figure 4.19a) et tracez les chronogrammes Q_A , Q_B , Q_C , Q_D du 74LS195 pour les conditions représentées à la figure 4.19b.



Reproduit avec la permission de Texas Instruments Inc.

Figure 4.19a Pour l'exercice de 4.5.1.

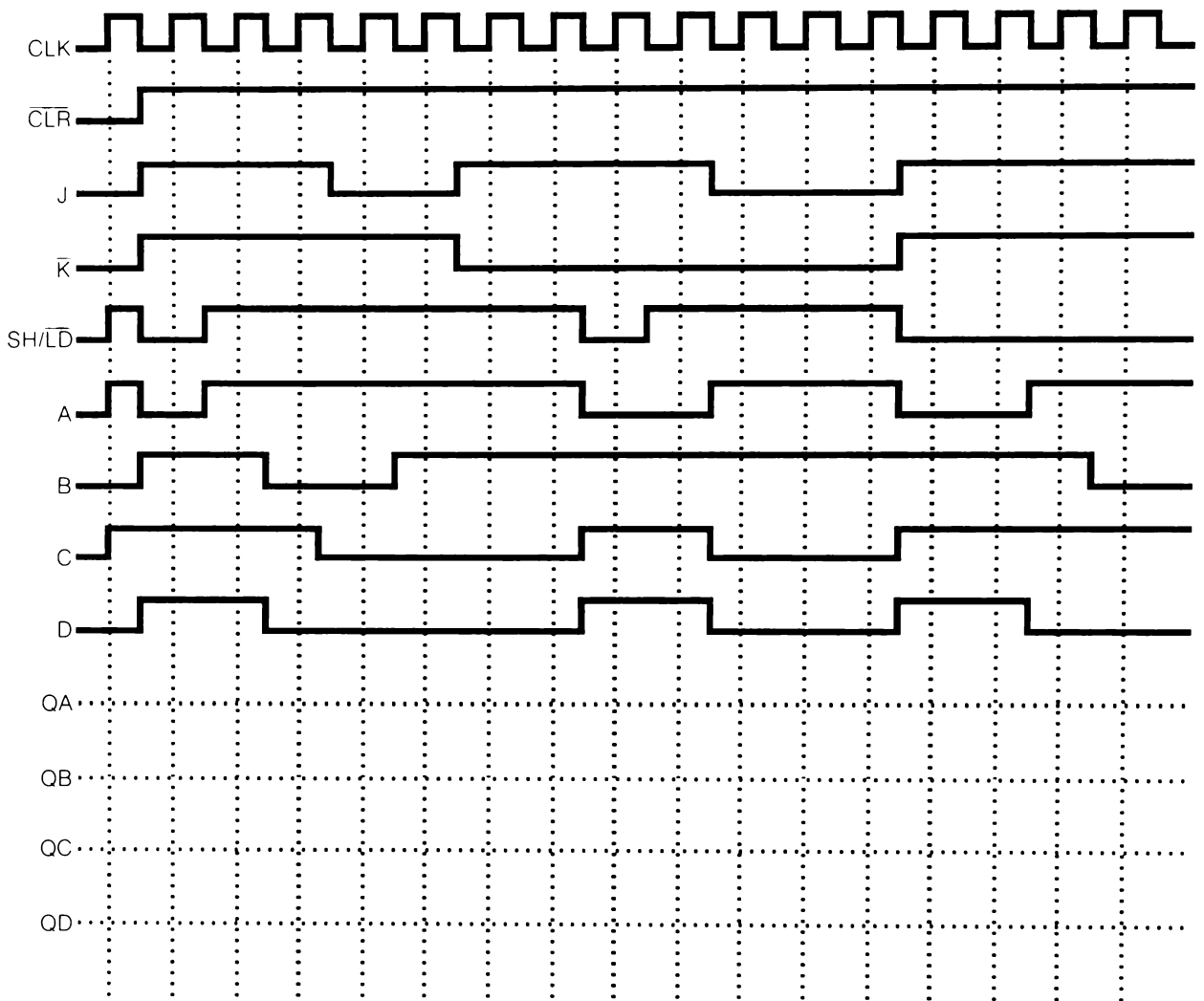


Figure 4.19b Pour l'exercice de 4.5.1.

Solution

Voir la figure 4.20.

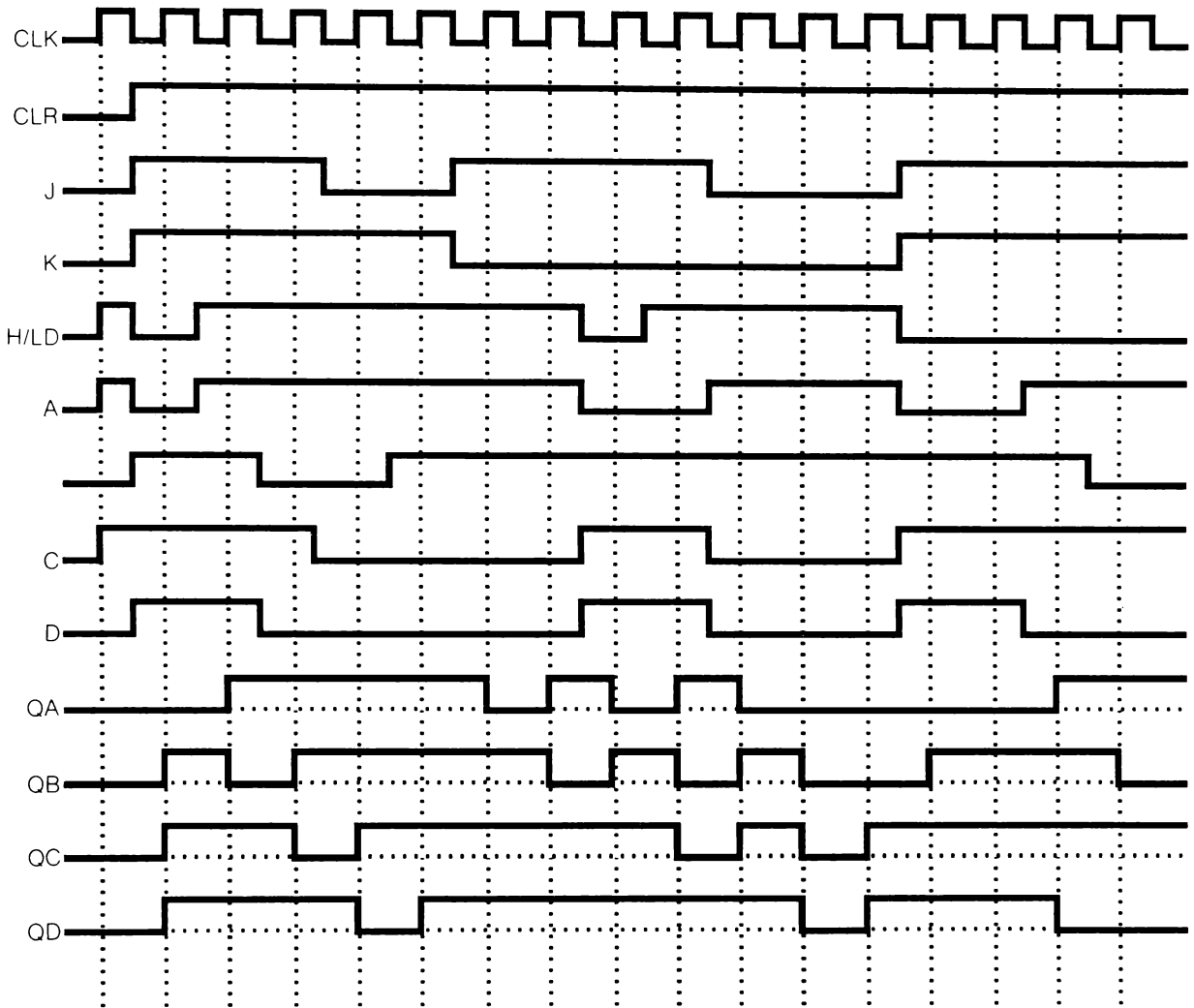


Figure 4.20 Pour la solution de l'exercice de 4.5.1.

4.6 Compteur asynchrone

Le circuit de la figure 4.21 constitué de 4 bascules T à transition basse rappelle le principe de ce compteur. Le chronogramme dynamique montre la désynchronisation progressive des sorties, ce qui n'est pas toujours dramatique (voir l'exercice de 4.6.1).

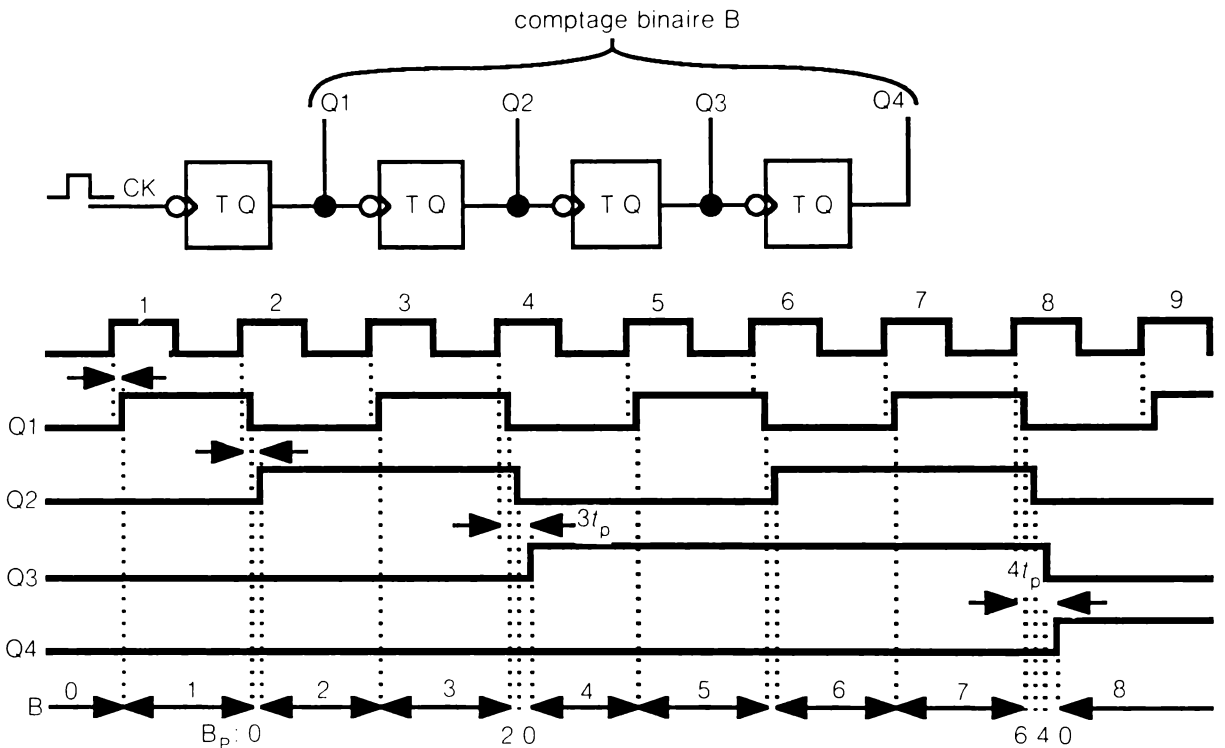


Figure 4.21 Compteur asynchrone à 4 bits. Remarquez la désynchronisation progressive des sorties qui entraîne un état binaire parasite B_p .

4.6.1 Exercice sur un diviseur horaire de 60 Hz

Trouvez l'intervalle t_1 et t_2 entre deux impulsions de sortie du circuit de la figure 4.22.

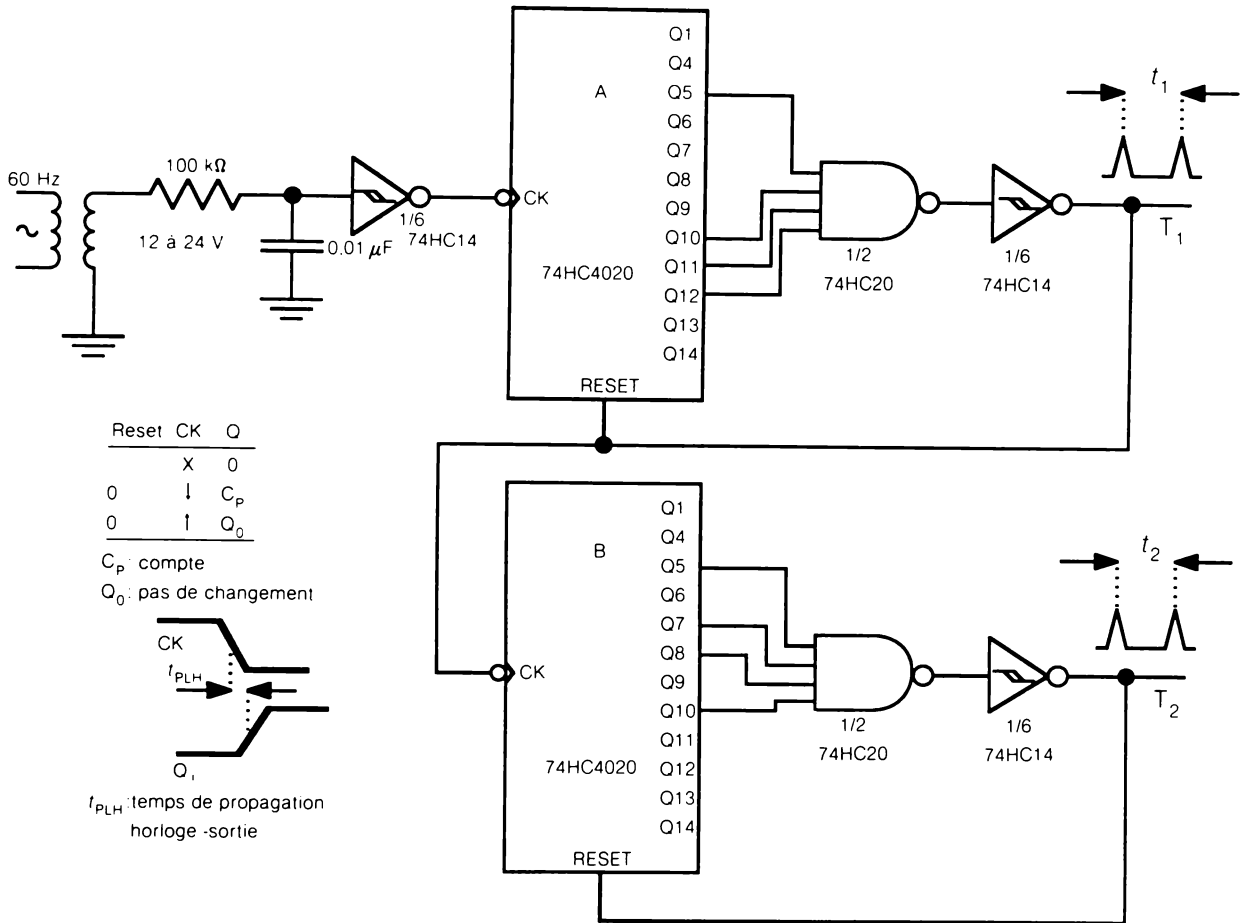


Figure 4.22 Pour les exercices de 4.6.1 et 4.6.2; double diviseur de fréquence à deux compteurs asynchrones de 14 étages.

Solution

Si et seulement si les sorties Q_5 , Q_{10} , Q_{11} et Q_{12} du compteur A sont de niveau haut, la sortie T_1 transite vers le haut durant un bref moment (le temps d'auto-remise à zéro). Et le contenu du compteur égale

$$N_A = 2^{(12-1)} + 2^{(11-1)} + 2^{(10-1)} + 2^{(5-1)} = 3600$$

À cet instant, la consommation depuis la précédente remise à zéro est de 3600 cycles d'horloge, d'où

$$t_1 = \frac{3600 \text{ cycles}}{60 \text{ cycles/s}} = 60 \text{ s}$$

De la même façon, le contenu du compteur B qui génère une impulsion sur T_2 égale

$$N_B = 2^{(10-1)} + 2^{(8-1)} + 2^{(7-1)} + 2^{(5-1)} = 720$$

À cet instant la consommation est de 720 périodes t_1 , d'où

$$t_2 = 720 \times 60 \text{ s} = 12 \times 60 \times 60 \text{ s} = 12 \text{ h}$$

Remarquez que le temps de propagation horloge - sortie pour l'étage 12 égale $12 \times 20 \text{ ns} = 240 \text{ ns}$, un temps négligeable par rapport à la largeur d'horloge de $(1/120) \text{ s}$.

4.6.2 Exercice sur un diviseur horaire de 50 Hz

Soit encore le circuit de la figure 4.22. Déterminez les broches pour obtenir le même temps $t_2 = 12 \text{ h}$ à partir d'une fréquence de réseau de 50 Hz.

Solution

Le produit $N_A N_B$ devra évaluer $50 \times 12 \times 60 \times 60$.

Conservons $N_A = 3600$, alors $N_B = 600 = 2^9 + 2^6 + 2^4 + 2^3$. On sélectionnera donc les sorties Q12, Q11, Q10 et Q5 pour le compteur A et Q10, Q7, Q5 et Q4 pour le compteur B.

4.7 Compteur synchrone

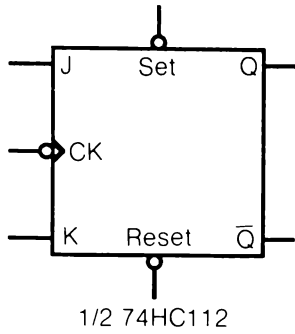
La caractéristique principale du compteur synchrone est certainement la ligne unique qui relie les entrées horloge de toutes les bascules. Pour la technique d'implantation d'un compteur synchrone, voir l'exercice ci-dessous.

4.7.1 Exercice sur un compteur modulo N avec bascule JK

À l'aide d'un CI 74HC112 (2 bascules JK) synthétisez un compteur synchrone modulo 3 (00, 01, 10, 00, ...). De plus, si le compteur affiche 11, il devra rester figé dans cet état jusqu'à sa remise à zéro effectuée manuellement.

Solution

Pour la solution détaillée et les étapes à parcourir, voir la figure 4.23.



Set	Reset	J	K	CK	Q	\bar{Q}	
0	1	X	X	X	1	0	
1	0	X	X	X	0	1	
0	0	X	X	X	1	1	pseudo stable
1	1	0	0	↓	Q	\bar{Q}	pas de changement
1	1	1	0	↓	1	0	
1	1	0	1	↓	0	1	
1	1	1	1	↓	\bar{Q}	Q	basculement
1	1	X	X	0,11	Q	\bar{Q}	pas de changement

a)

Q2	Q1	CK	Q2 + Q1 +	J2	K2	J1	K1
0	0	↓	0 1	0	X	1	X
0	1	↓	1 0	1	X	X	1
1	0	↓	0 0	X	1	0	X
1	1	↓	1 1	X	0	X	0

Q2, Q1 : contenu du compteur avant l'impulsion

Q2+, Q1+ : contenu du compteur après l'impulsion

b)

c)

$$J2 = Q1 \quad K2 = \bar{Q1} \quad J1 = \bar{Q2} \quad K1 = \bar{Q2} \quad d)$$

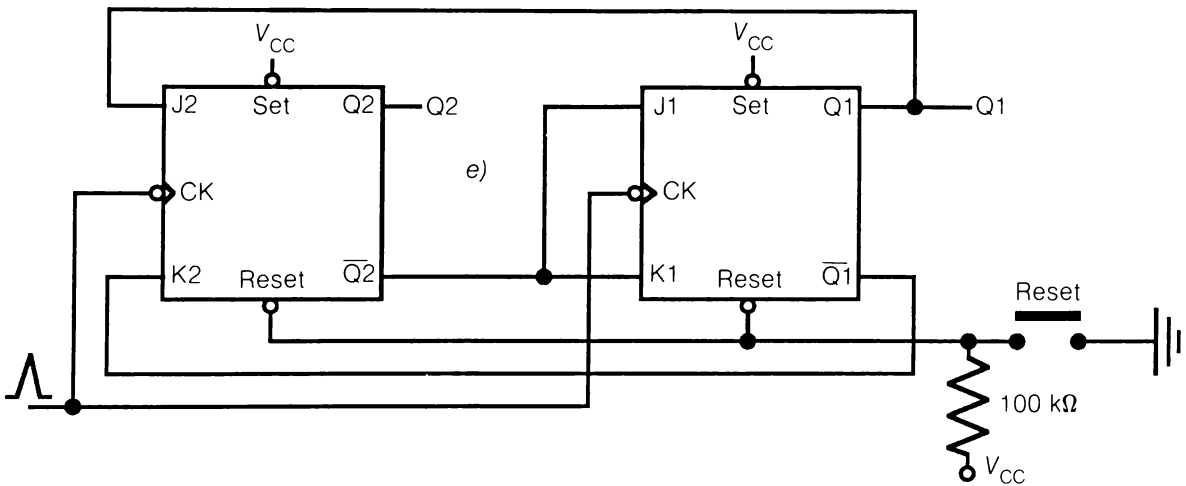


Figure 4.23 Pour la solution de l'exercice de 4.7.1 ; implantation d'un compteur synchrone modulo 3.

- a) Présentation du 74HC112 et de sa table de vérité ;
- b) La table de vérité du problème est la transposition binaire de la donnée littérale ;
- c) Table d'excitation des entrées JK avec les groupements simplificateurs ;
- d) Équations ;
- e) Implantation du circuit.

4.7.2 Exercice sur un compteur synchrone à bascule D

La technique d'implantation est la même que ci-dessus. On utilise la table de vérité et la table d'excitation d'une bascule D reproduites à la figure 4.24.

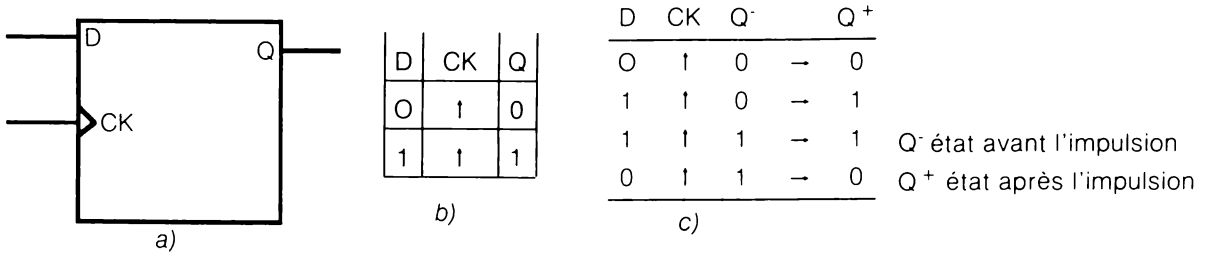


Figure 4.24 Pour la solution de l'exercice de 4.7.2.

- a) Symbole d'une bascule D ;
- b) Table de vérité d'une bascule D ;
- c) Table d'excitation d'une bascule D.

4.8 Expériences de laboratoire

1. Fonction RS et fonction D

1a) Considérez la bascule de la figure 4.25.

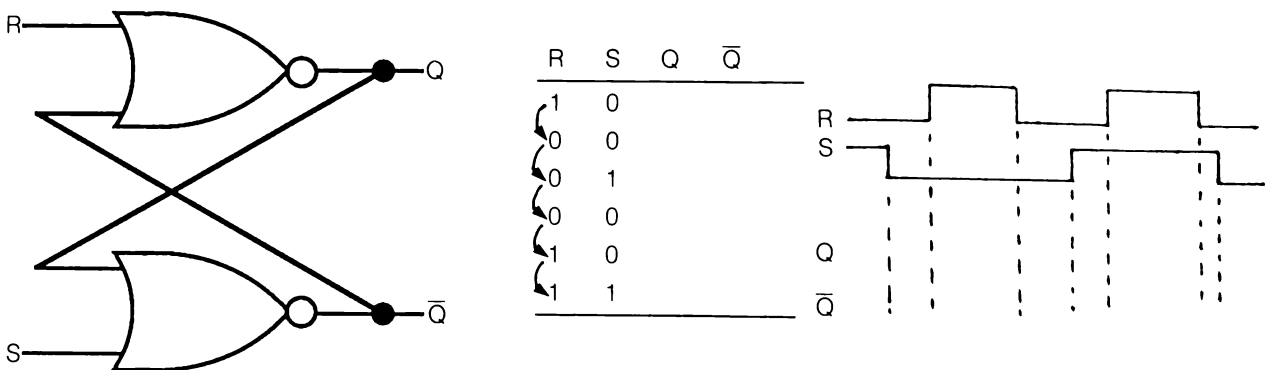


Figure 4.25 Pour l'expérience 1a.

1. Implantez la fonction RS,
 2. Complétez la table de vérité,
 3. Complétez le chronogramme ;
- 1b) Soit la bascule de la figure 4.26.

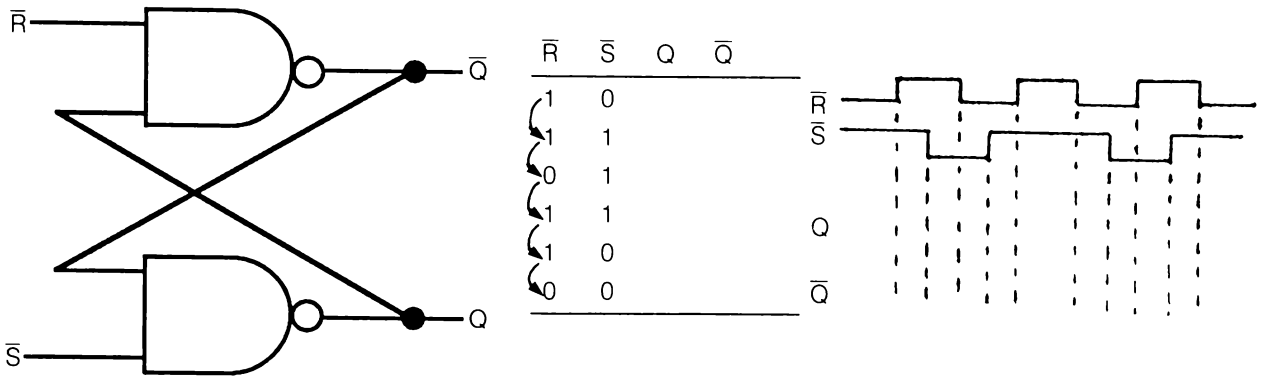


Figure 4.26 Pour l'expérience 1b.

1. Implantez la fonction $\bar{R}\bar{S}$,
2. Complétez la table de vérité,
3. Complétez le chronogramme ;

1c) Soit le montage de la figure 4.27.

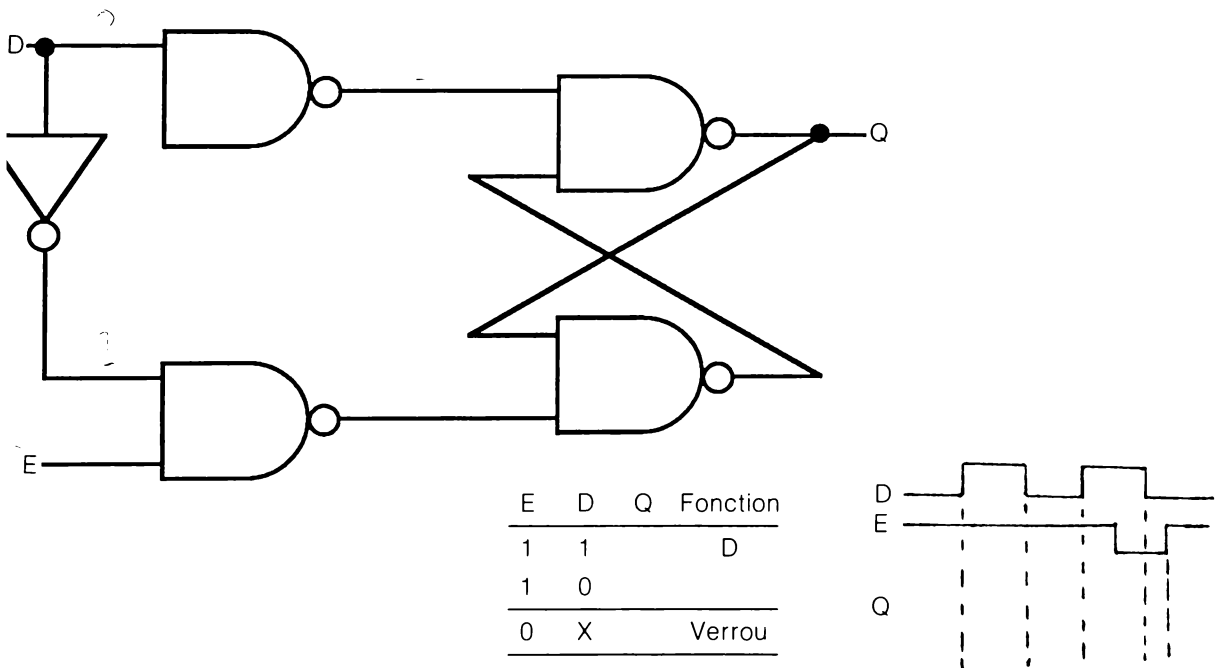


Figure 4.27 Pour l'expérience 1c.

1. Implantez la fonction D transparente,
2. Complétez la table de vérité,
3. Complétez le chronogramme.

2. Fonction JK

2a) Soit le montage de la figure 4.28.

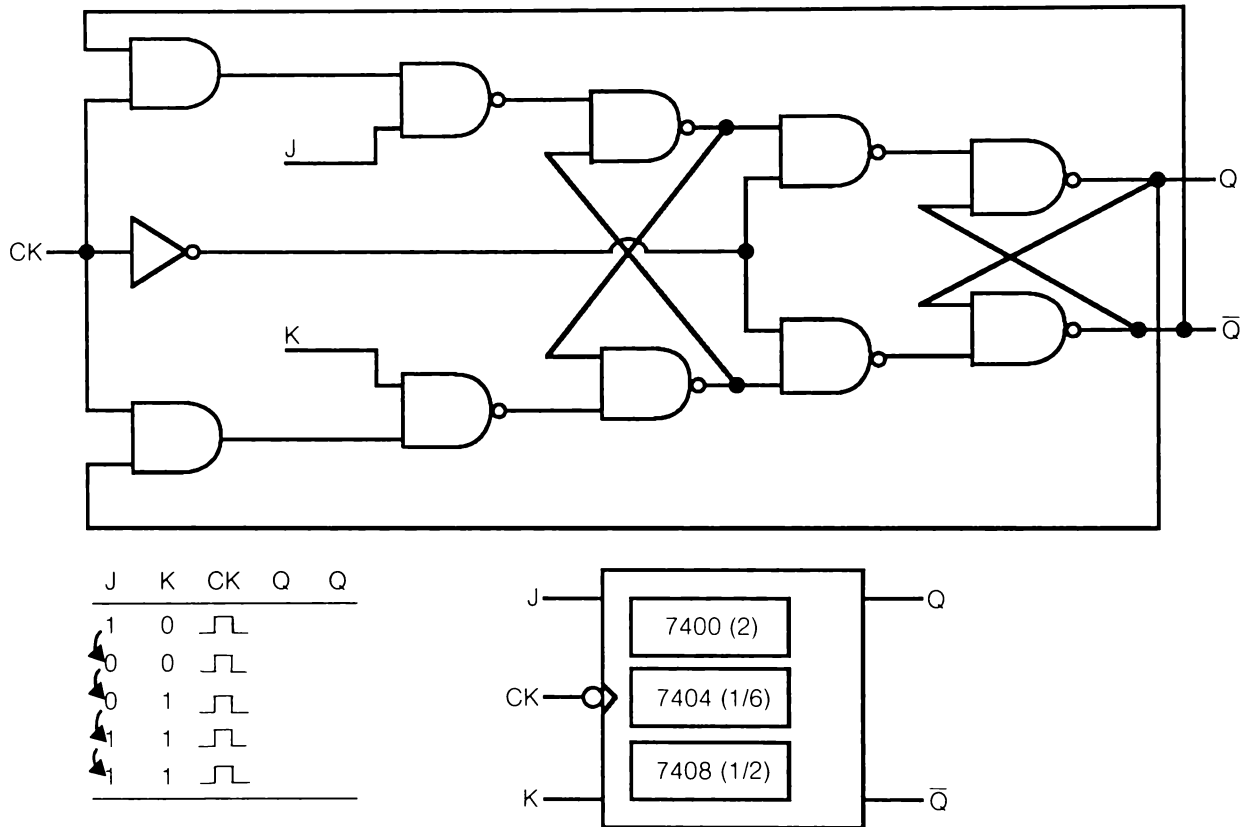


Figure 4.28 Pour l'expérience 2a.

Par expérimentation, complétez la table de vérité ;

2b) Soit la figure 4.29.

S	R	J	K	CK	Q	\bar{Q}	
0	1	X	X	X	1	0	Set
1	0	X	X	X	0	1	Reset
1	1	1	0				} Fonction JK
1	1	0	0				
1	1	0	1				
1	1	1	1				
1	1	1	1				

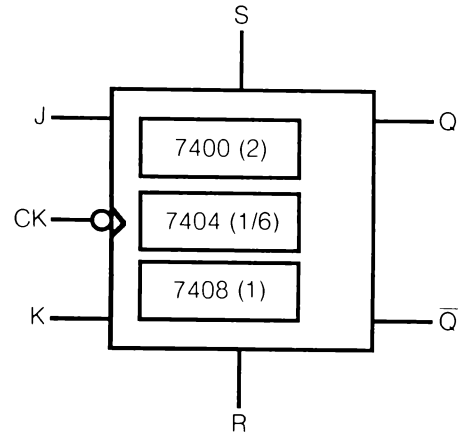
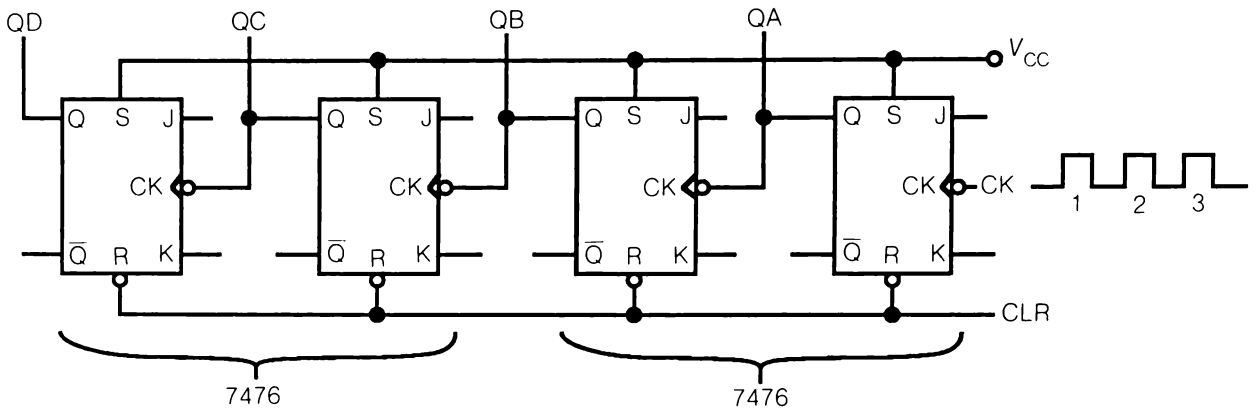


Figure 4.29 Pour l'expérience 2b.

Avec les deux portes ET restantes, ajoutez à la fonction JK une fonction S(SET) R(RESET).

3. Compteurs asynchrones

Soit la figure 4.30.



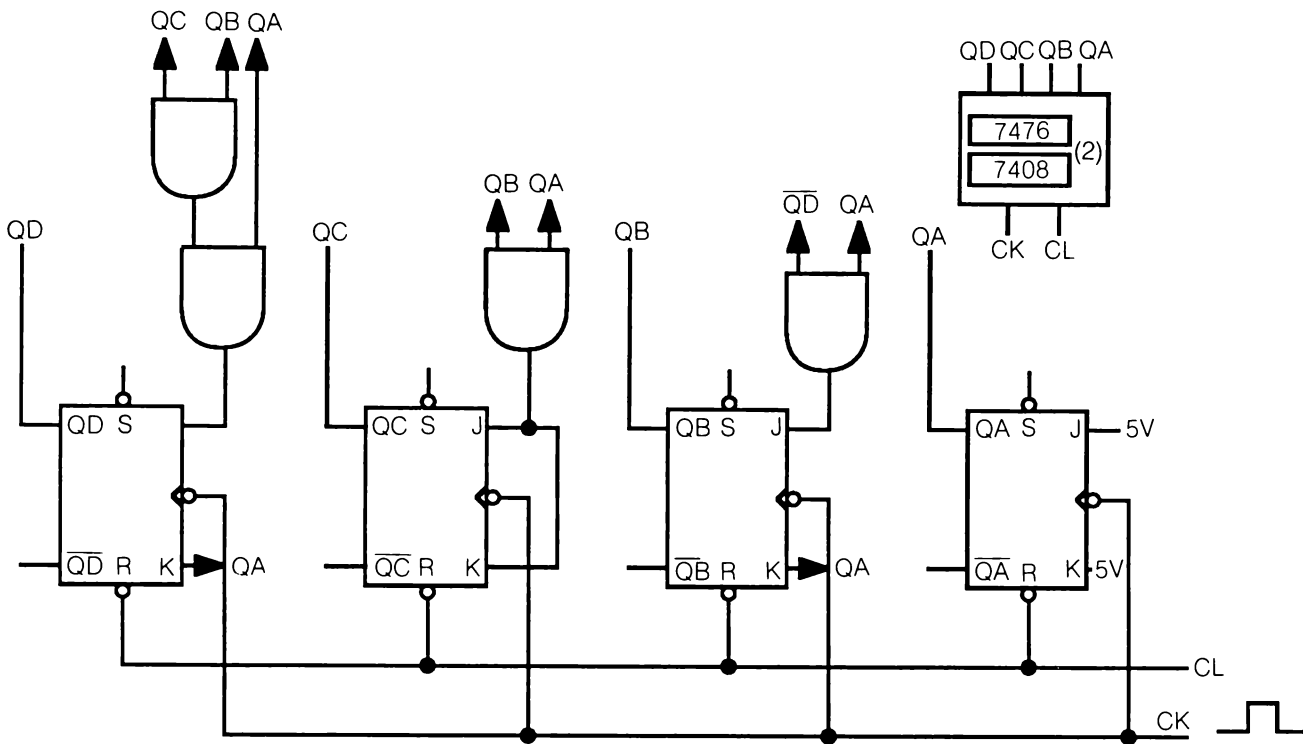
CLR	CK	QD	QC	QB	QA	QD	QC	QB	QA
0	X	0	0	0	0				
1	1	0	0	0	1				
1	2	0	0	1	0				
1	3	0	0	1	1				
1	4	1	1	0	0				
1	5		1	0	1				
1	6		1	1	0				
1	7		1	1	1				
1	8		0	0	0				
1	9		0	0	1				
1	10		0	1	0				
1	11		0	1	1				
1	12		1	0	0				
1	13		1	0	1				
1	14		1	1	0				
1	15		1	1	1				

Figure 4.30 Pour l'expérience 3.

- a) Par expérimentation, complétez la table de vérité du compteur. Expérimentez le décompteur (il suffit de transférer l'affichage sur les sorties \bar{Q});
- b) Transformez le compteur en compteur modulo 10 à l'aide de la commande
 1. S,
 2. R.

4. Compteurs synchrones

Soit le montage de la figure 4.31.



CLR	CK	QD	QC	QB	QA
0	X				
1	1				
1	2				
1	3				
1	4				
1	5				
1	6				
1	7				
1	8				
1	9				

Figure 4.31 Pour l'expérience 4.

- a) Par expérimentation, complétez la table de vérité du compteur décimal modulo 10;
- b) Étudiez et implantez un compteur synchrone modulo 7 (0,1,2,3,4,5,6).

5. Compteur-décompteur

Soit le montage de la figure 4.32.

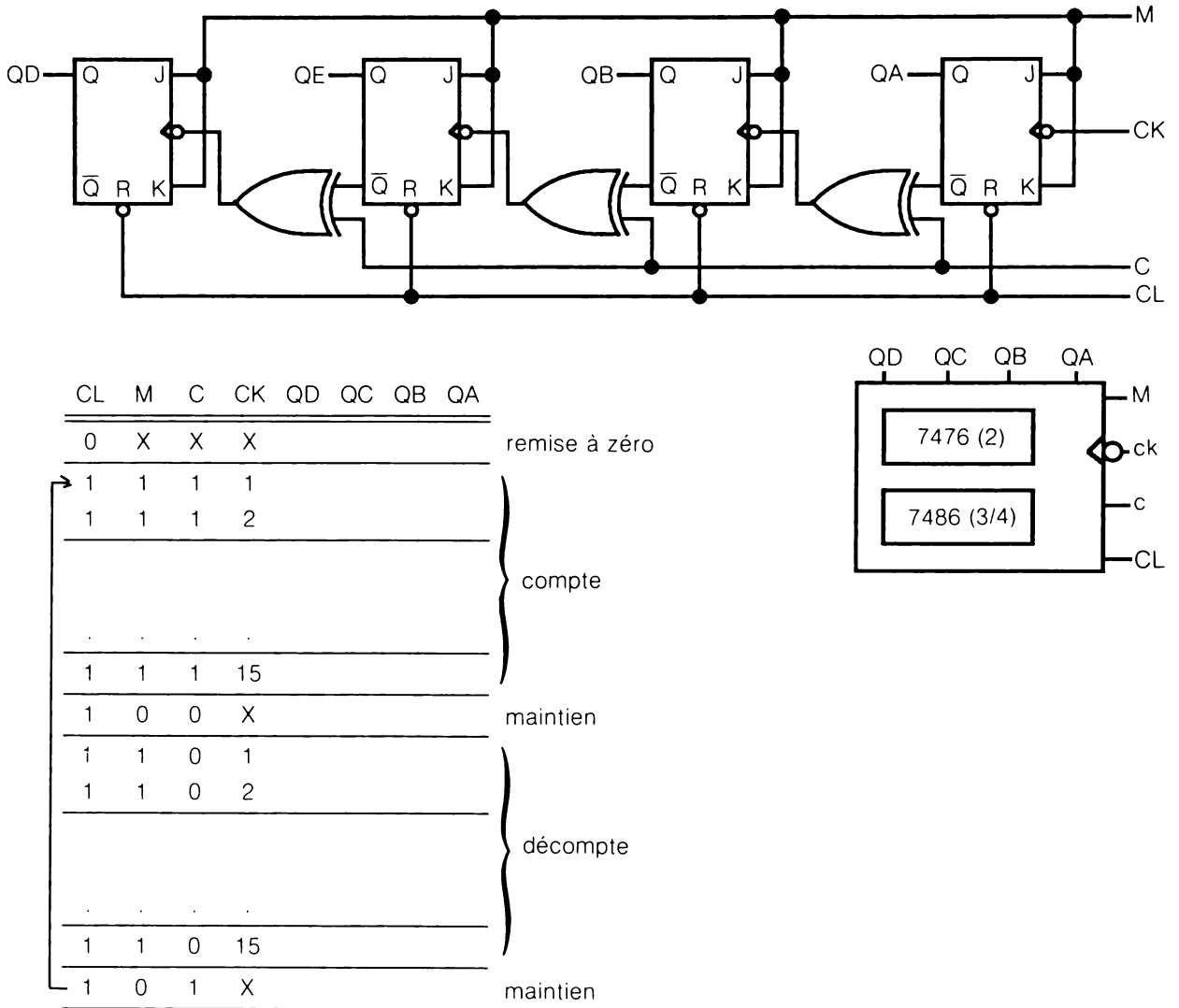


Figure 4.32 Pour l'expérience 5.

Par expérimentation, complétez la table de vérité du compteur-décompteur.

6. Registres

6a) Soit la figure 4.33.

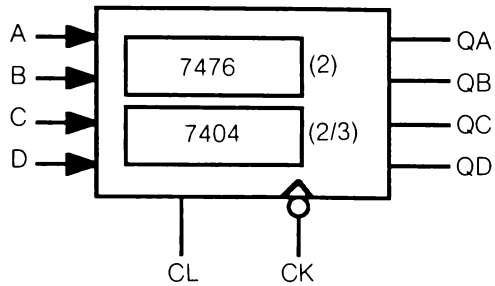


Figure 4.33 Pour l'expérience 6a.

Implantez un registre parallèle de 4 bits.

Expérimentez en chargeant les 16 mots possibles ;

6b) Soit la figure 4.34.

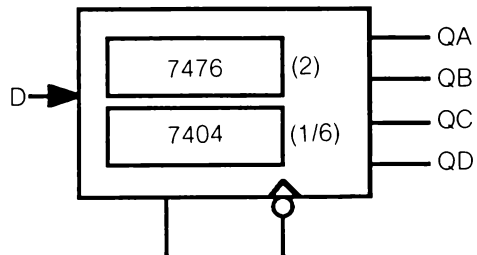
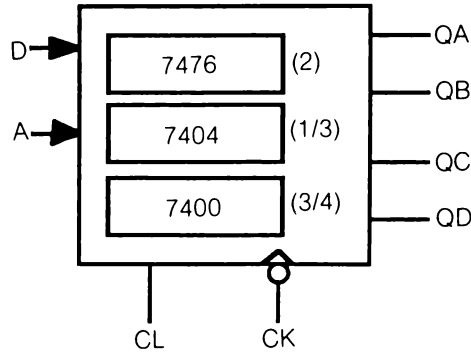


Figure 4.34 Pour l'expérience 6b.

Implantez un registre série de 4 bits.

Expérimentez en chargeant les 16 mots possibles ;

6c) Soit la figure 4.35.



CL	A	D	CK	QD	QC	QB	QA	
0	X	X	X	0	0	0	0	remise à zéro
1	0	1	⌊	0	0	0	1	chargement série de la donnée « D »
1	0	0	⌊	0	0	1	0	
1	1	X	⌊	0	1	0	0	rotation de l'information
1	1	X	⌊	1	0	0	0	
1	1	X	⌊	0	0	0	1	
1	1	X	⌊	0	0	1	0	

Figure 4.35 Pour l'expérience 6c.

Implantez un registre série transformable en compteur en anneau.

7. Circuit séquentiel

a) Soit la figure 4.36.

INIT	CK	QD	QC	QB	QA	
0	X	0	0	0	1	initialisation
1	⌊	0	0	1	0	↻
1	⌊	0	0	1	1	
1	⌊	0	1	0	0	
1	⌊	0	1	0	1	
1	⌊	1	1	1	1	
1	⌊	0	0	0	1	

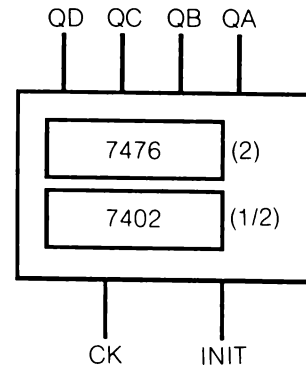


Figure 4.36 Pour l'expérience 7a.

Implantez le circuit qui correspond à la table de vérité ;

b) Soit la figure 4.37.

INIT	CK	X	Y	Z	
0	X	1	1	1	initialisation
1		0	0	1	←
1		1	0	0	
1		1	0	0	
1		1	1	0	
1		1	0	0	
1		1	1	1	

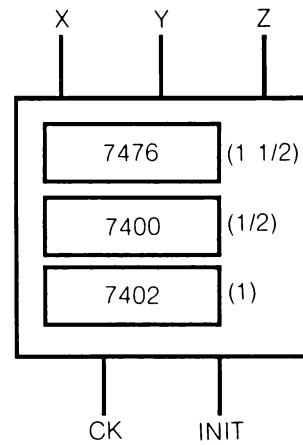


Figure 4.37 Pour l'expérience 7b.

Implantez le circuit qui correspond à la table de vérité.

8. Casse-tête

Soit la figure 4.38

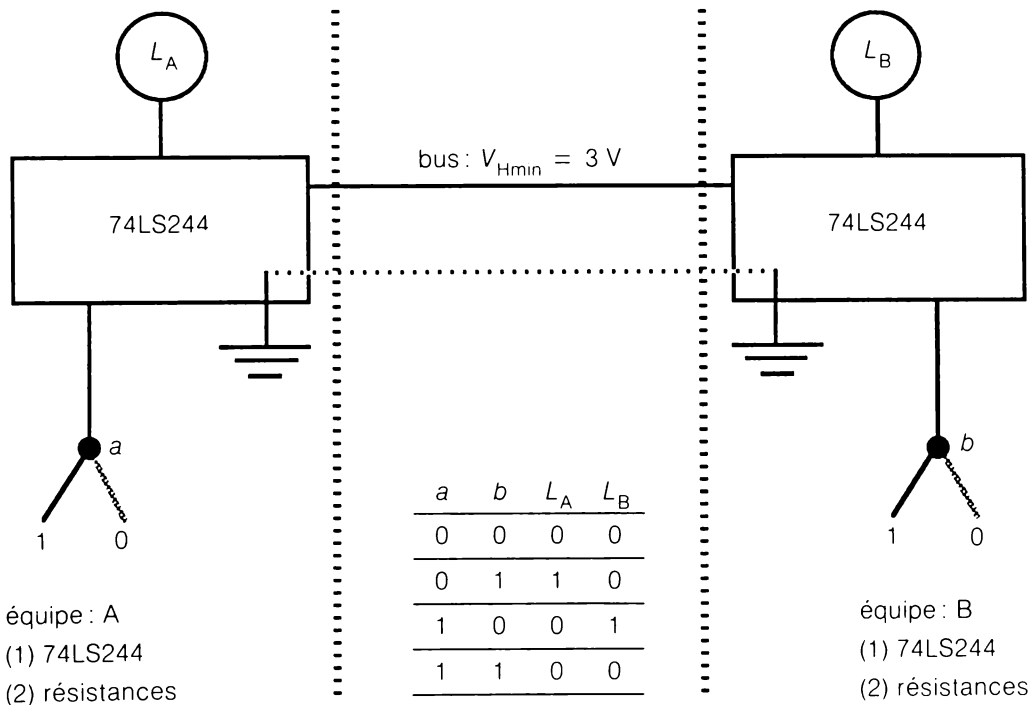
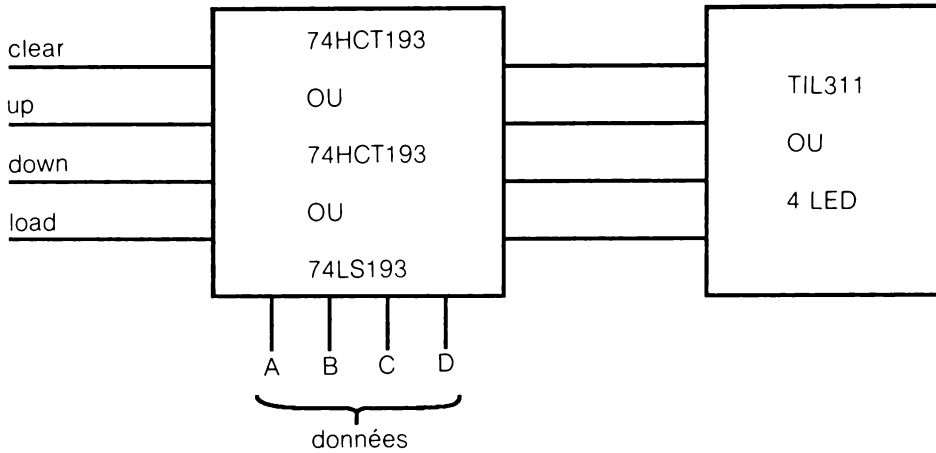


Figure 4.38 Pour l'expérience 8.

Implantez le circuit qui correspond à la table de vérité.

9. Compteur binaire

Soit la figure 4.39.



	CLEAR	A	B	C	D	LOAD	UP	DOWN	affichage
1									
2									
3									
4									
5									
6									

Ligne 1 : remise à zéro

Ligne 2 : chargez le compteur avec 5

Ligne 3 : incrémentez le compteur de 7

Ligne 4 : décrémentez le compteur de 2

Ligne 5 : chargez le compteur avec D

Ligne 6 : décrémentez le compteur de B

Figure 4.39 Pour l'expérience 9.

À l'aide de la fiche technique, complétez la table de vérité du circuit.

Expérimentez le montage.

10. Fonction JK

Soit la figure 4.40.

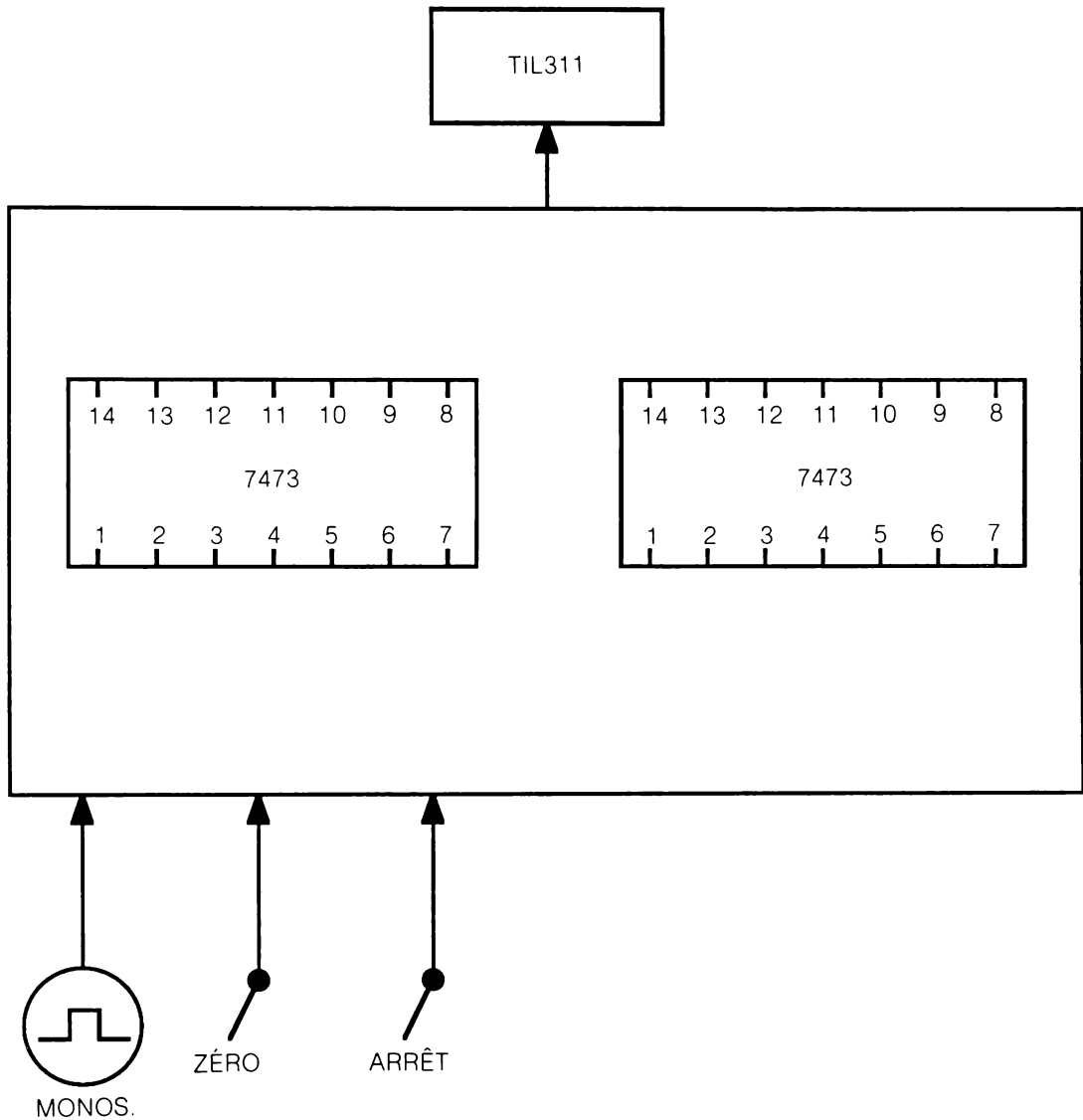


Figure 4.40 Pour l'expérience 10.

À l'aide de deux circuits 7473, réalisez un compteur binaire qui vérifie les contraintes suivantes :

- Le monostable fait avancer le compteur pas à pas de 0 à 15 ;
- Le commutateur ZÉRO remet le compteur à 0 ;
- Le commutateur ARRÊT arrête le comptage des impulsions, mais le dernier affichage est conservé.

N.B. On peut remplacer le TIL 311 par un MAN72 précédé de son décodeur 7447.

11. Compteur-décompteur

Soit le montage de la figure 4.41.

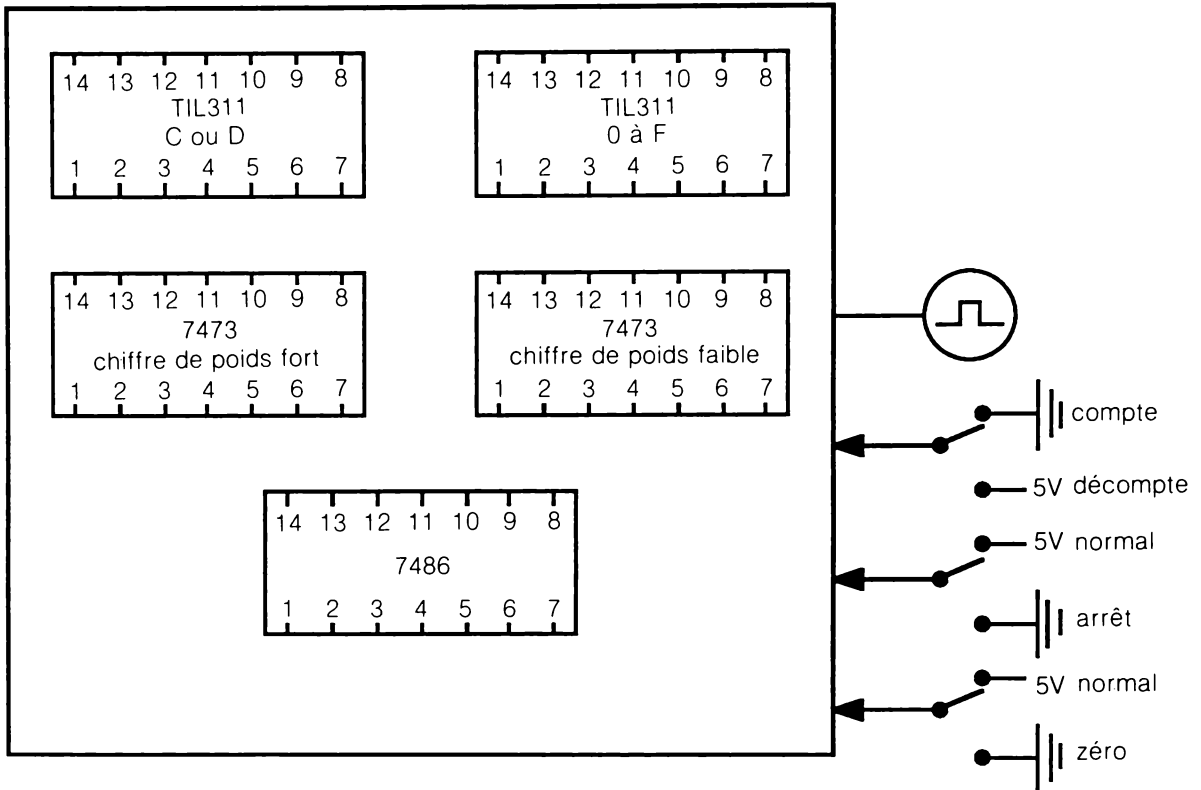


Figure 4.41 Pour l'expérience 11.

Réalisez un compteur-décompteur qui vérifie les conditions suivantes :

- a) À la position **compte**, le TIL de gauche affiche C ;
- b) À la position **décompte**, le TIL de gauche affiche D ;
- c) Aux positions **normal**, le compteur compte (ou décompte) et le contenu est affiché sur le TIL de droite ;
- d) À la position **arrêt**, le compteur n'enregistre plus les impulsions du multivibrateur monostable, mais le dernier affichage est conservé ;
- e) À la position **zéro**, le compteur est à zéro et les affichages sont blancs.

12. Circuit séquentiel

Soit la figure 4.42.

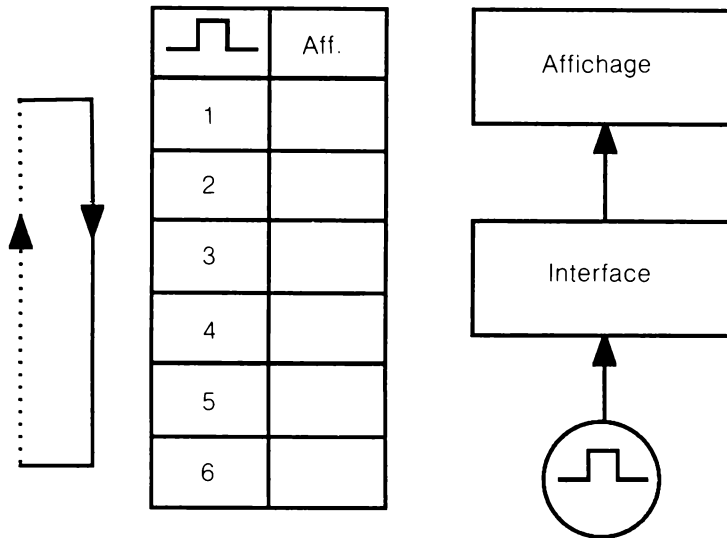


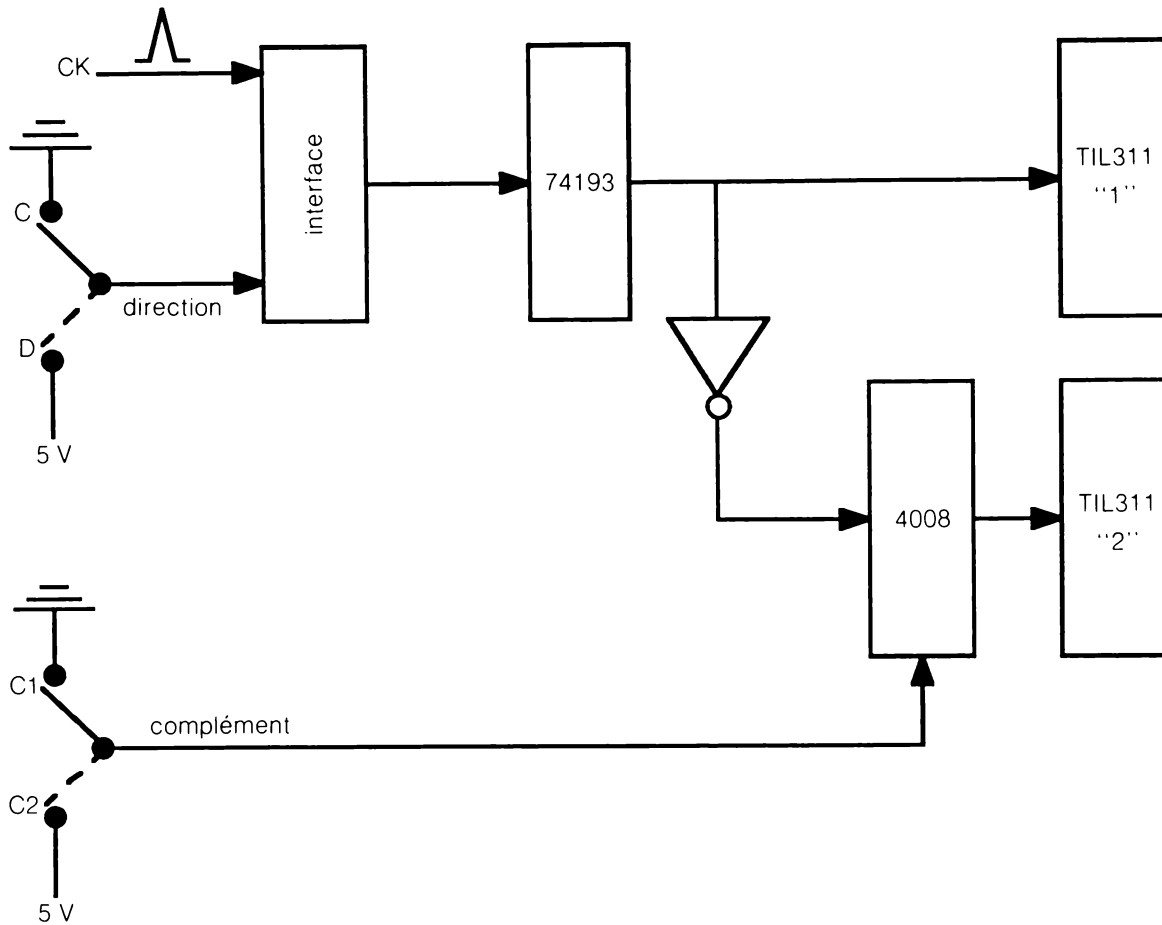
Figure 4.42 Pour l'expérience 12.

Réalisez le circuit séquentiel qui correspond à la table de vérité.

Ajoutez une remise à zéro qui fonctionne automatiquement à la mise sous tension.

13. Complément à 1 et complément à 2

Soit la figure 4.43.



Direction	Complément	CK	Affichage		Fonctionnement	
			TIL311 "1"	TIL311 "2"	TIL311 "1"	TIL311 "2"
0	0		$N = N \text{ plus } 1$	\bar{N}	compte	C1
1	0		$N = N \text{ moins } 1$	\bar{N}	décompte	C1
0	1		$N = N \text{ plus } 1$	$\bar{N} \text{ plus } 1$	compte	C2
1	1		$N = N \text{ moins } 1$	$\bar{N} \text{ plus } 1$	décompte	C2

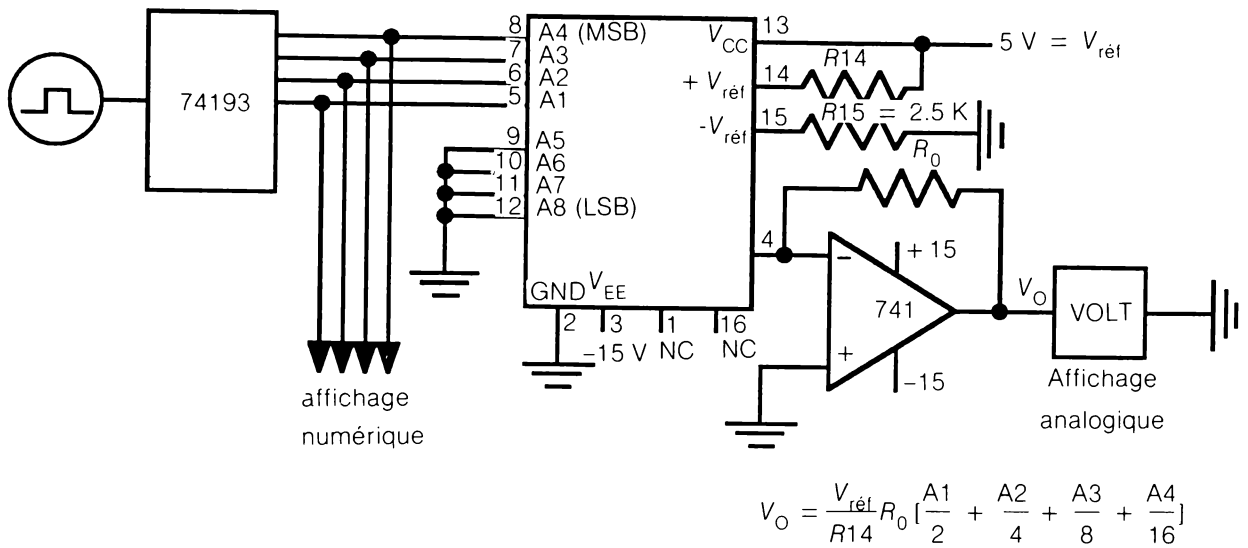
C1 : complément à 1
 C2 : complément à 2

Figure 4.43 Pour l'expérience 13.

Réalisez le circuit qui répond à la table de vérité.

14. Convertisseur numérique-analogique

Soit la figure 4.44.



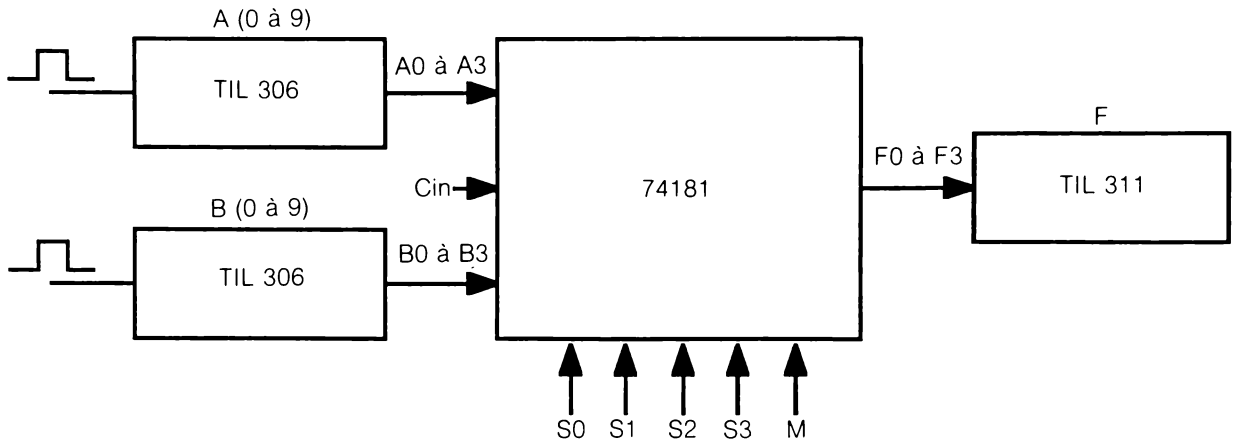
affichage numérique	affichage analogique	affichage analogique
	$R_0 = 2400 \Omega$	$R_0 = 240 \Omega$
	$R_{14} = 750 \Omega$	$R_{14} = 750 \Omega$
1		
2		
3		
4		
5		
6		
7		
8		
9		
A		

Figure 4.44 Pour l'expérience 14.

Réalisez et expérimentez le montage.

15. Unité arithmétique et logique

Soit la figure 4.45.



S3	S2	S1	S0	M	Cin	A	B	F	fonction
0	0	0	0	1	0	4	7		
0	0	0	0	0	0	4	7		
0	0	0	0	0	1	4	7		
0	0	1	0	1	1	3	5		
0	0	1	0	0	1	3	5		
0	0	1	0	0	0	3	5		
0	0	1	1	1	0	2	6		
0	0	1	1	0	0	2	6		
0	0	1	1	0	1	2	6		

Figure 4.45 Pour l'expérience 15.

Expérimentez le circuit et complétez la table de vérité.

16. Module d'affichage

Réalisez un module d'affichage de 4 chiffres DCB qui comporte par chiffre

- a) Une entrée de comptage \square ;
- b) Une entrée parallèle de 4 bits DCB (A,B,C,D);
- c) Une entrée de chargement parallèle P;
- d) Une sortie de retenue pour cascader CAS.

Le prix par chiffre du montage suggéré à la figure 4.46c, coûte le quart du prix d'un affichage intégré TIL 306 ou TIL 311.

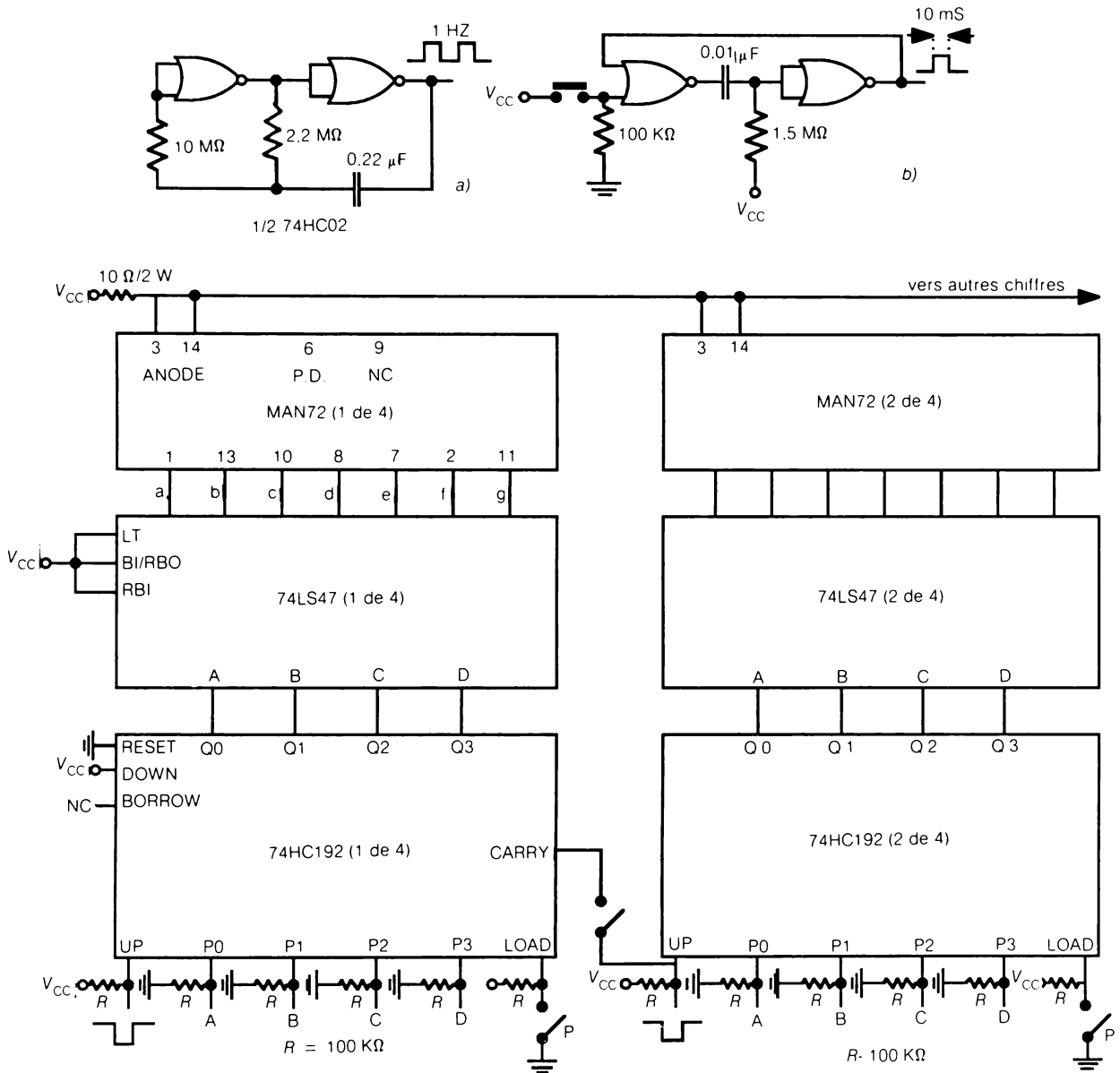


Figure 4.46 Pour l'expérience 16.

- a) Oscillateur astable ;
- b) Oscillateur monostable ;
- c) Affichage DCB à 7 segments et compteur décimal 4 chiffres.

Fonctionnement :

Si le commutateur P est ouvert ($LOAD = 1$), l'affichage avance de 1 à chaque impulsion.

Si le commutateur P est fermé ($LOAD = 0$), le module est transparent entre l'entrée DCB et l'affichage.

Et s'il vous reste un CMOS de 4 portes, montez une horloge (figure 4.46a) et un multivibrateur monostable (figure 4.46b).

17. Générateur d'impulsions programmable

À l'aide de deux compteurs programmables 74163, montez un générateur qui donne une impulsion d'horloge de fréquence égale à un sous-multiple de la fréquence pilote. Nous suggérons le montage de la figure 4.47.

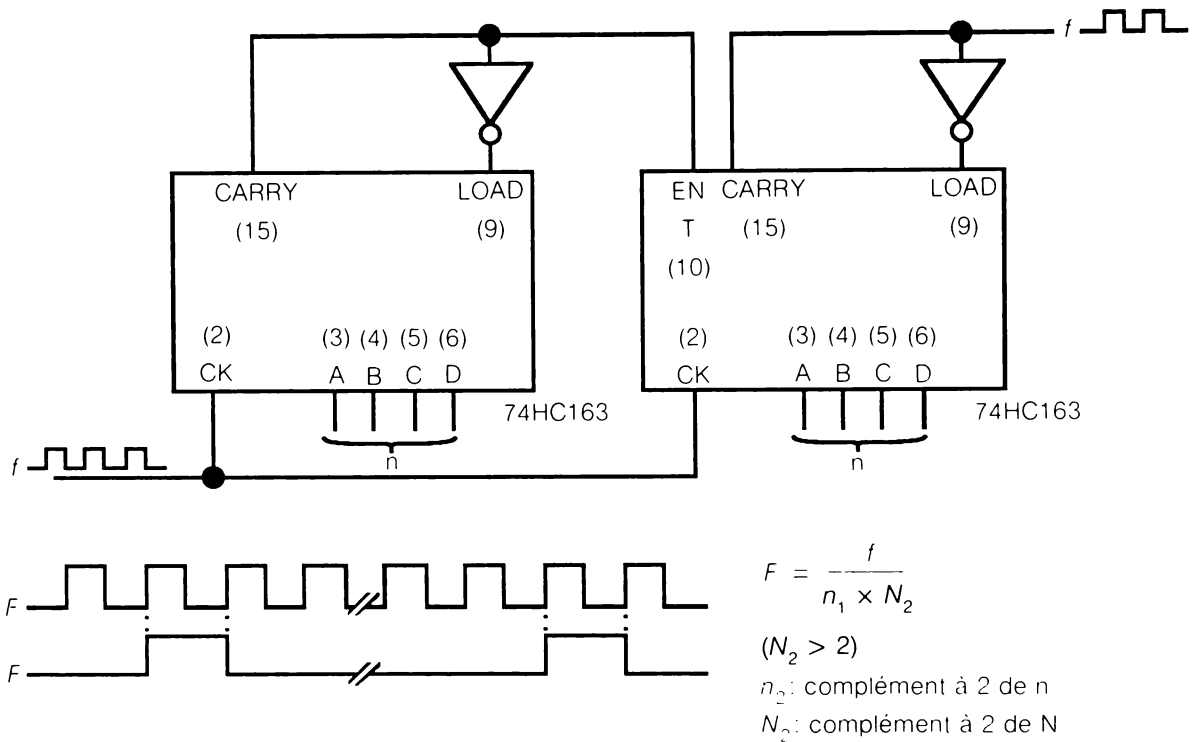


Figure 4.47 Générateur d'impulsions programmable pour l'expérience 17.

Remarques:

- a) Nous avons utilisé le circuit le moins cher, le 74HC163 ;
- b) Les mots de programmation n et N déterminent le contenu de départ des compteurs. Et comme le contenu final (avant le rechargement automatique) est F, nous utilisons le complément à deux pour calculer le diviseur ;
- c) Le diviseur le plus petit est $1 \times 2 = 2$. Le plus grand diviseur est $16 \times 16 = 256$;
- d) Sur un total de 240 (15×16) possibilités de programmation nous obtenons 98 diviseurs différents et 142 diviseurs redondants ;
- e) Que se passe-t-il si vous utilisez le CLEAR pour la remise à zéro ? Pouvez-vous exploiter cette fonction dans un montage différent ?
- f) Enfin, n'oubliez pas les résistances de rappel si vous générez les nombres n et N à partir de simples interrupteurs.

18. Générateur d'onde programmable

À l'aide de deux compteurs 74163, montez un générateur d'onde programmable sur les deux niveaux.

Nous suggérons le montage de la figure 4.48.

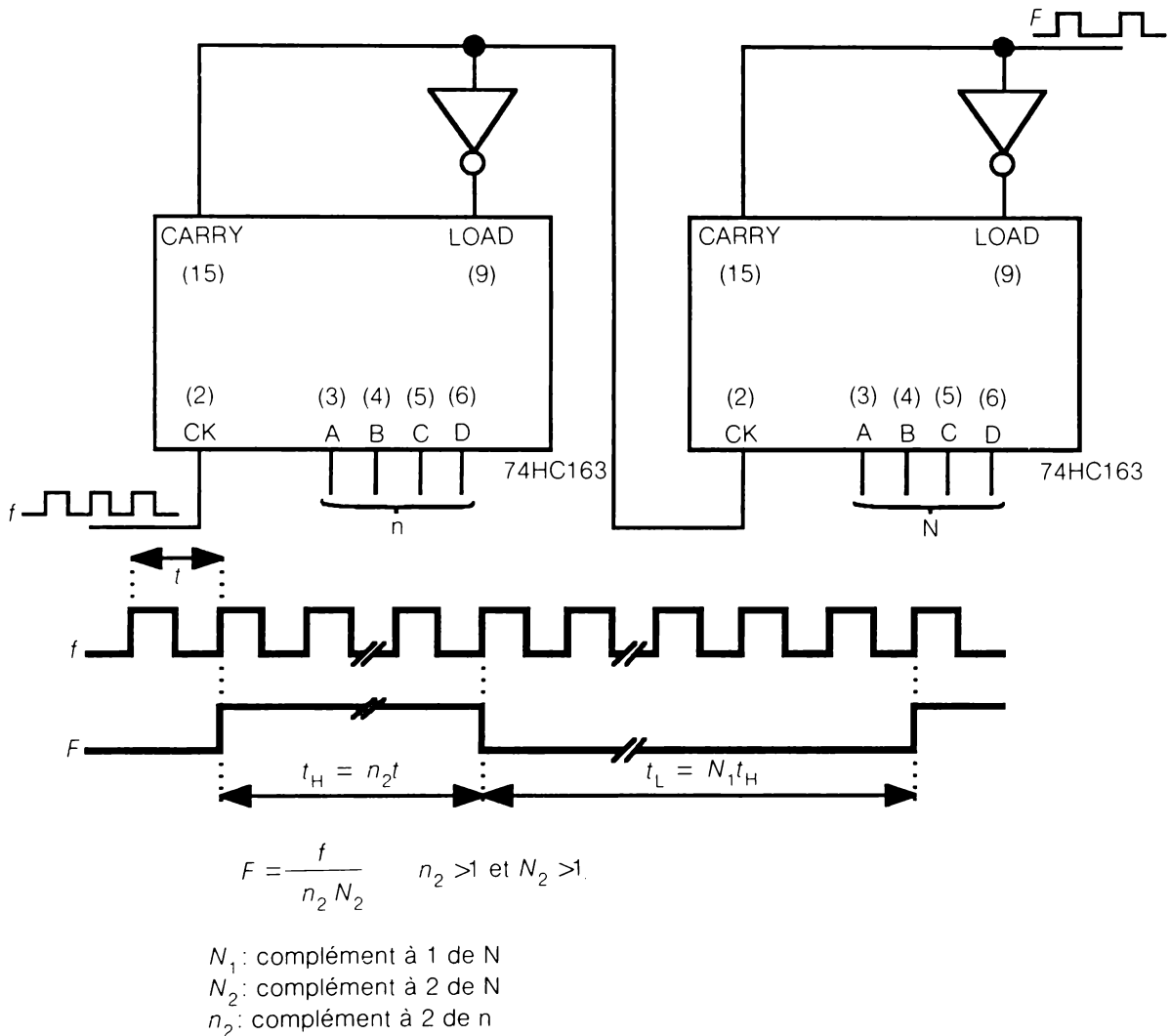


Figure 4.48 Générateur d'onde programmable pour l'expérience 18.

Remarques :

- Les diviseurs minimal et maximal de fréquence sont respectivement de 4 et 256 ;
- Le rapport cyclique $t_H/t_L = 1$ tant que $N = 14$ ($N_1 = 1$) ;
- On peut programmer le temps haut t_H entre $2t$ et $16t$;
- On peut programmer le temps bas t_L entre t_H et $15t_H$;
- On obtient 225 combinaisons possibles et non redondantes.

19. Multivibrateur monostable synchronisé programmable

Avec deux compteurs 74163, montez un multivibrateur monostable qui déclenche à la transition active d'horloge qui suit l'apparition du signal de commande.

Nous suggérons le montage de la figure 4.49.

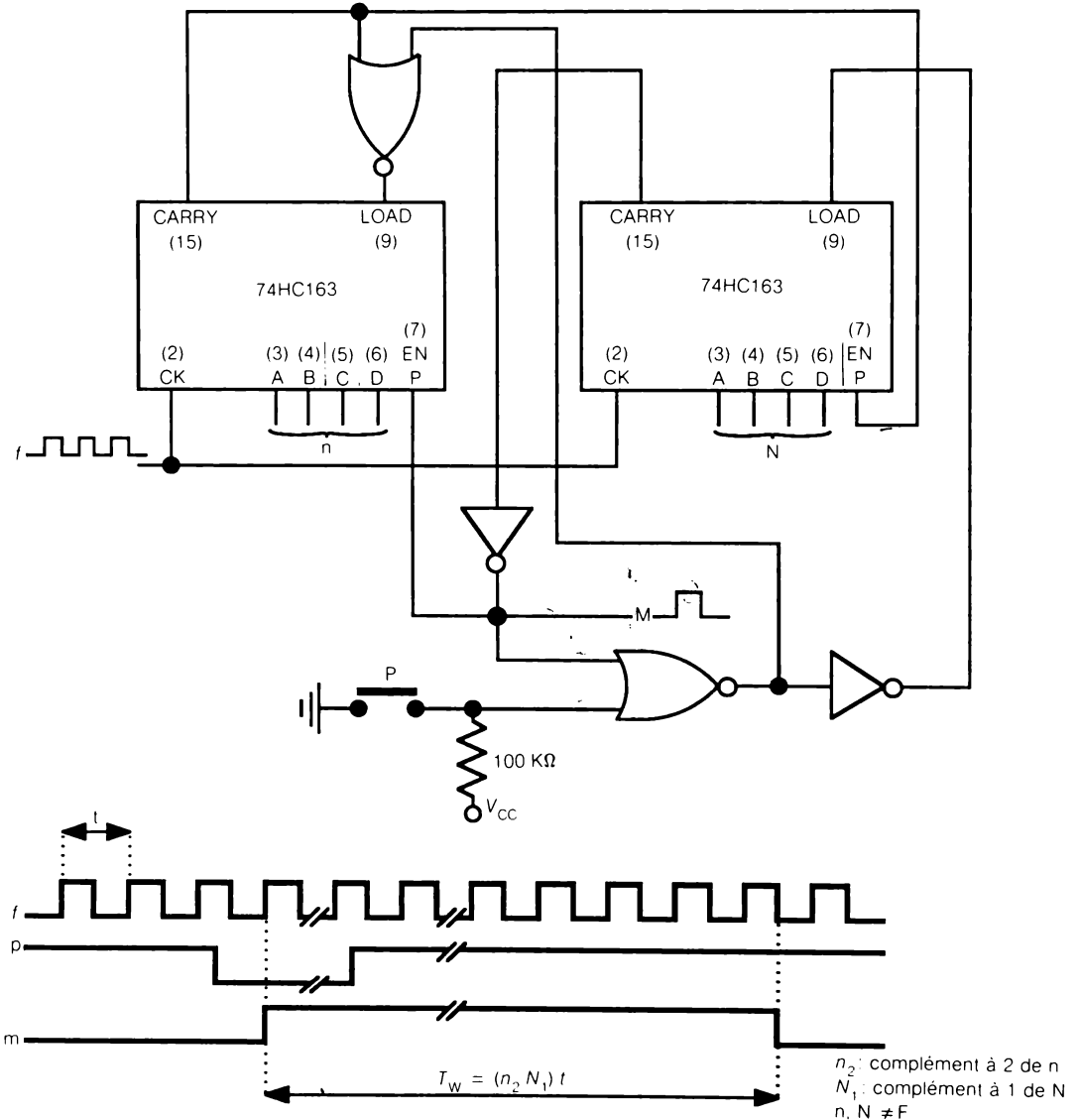


Figure 4.49 Multivibrateur monostable synchronisé programmable pour l'expérience 19.

Remarques :

- La largeur minimale de l'impulsion de sortie t_w est de $2t$, et la largeur maximale est de $240t$;
- Le nombre de combinaisons totales est de $240(15 \times 16)$;
- Le nombre de combinaisons actives est de 98;
- Le nombre de combinaisons redondantes est de 142;
- Les combinaisons impossibles sont générées par les produits $n_2 N_1$, qui sont des nombres premiers plus grands que 16 ou des multiples de ces nombres premiers. Exemple : $n_2 N_1 = 17, 19, 23, 29, 31, (17 \times 2), (17 \times 3), \dots (19 \times 2), (19 \times 3) \dots$;
- À la mise sous tension, la sortie M du monostable est haute. Si cet état n'est pas souhaitable, comment pouvez-vous le corriger?
- Quand le multivibrateur monostable est au repos, les contenus des compteurs sont respectivement n et F.

4.9 Problèmes

1. Verrou

Complétez la table de vérité du circuit séquentiel représenté à la figure 4.50.

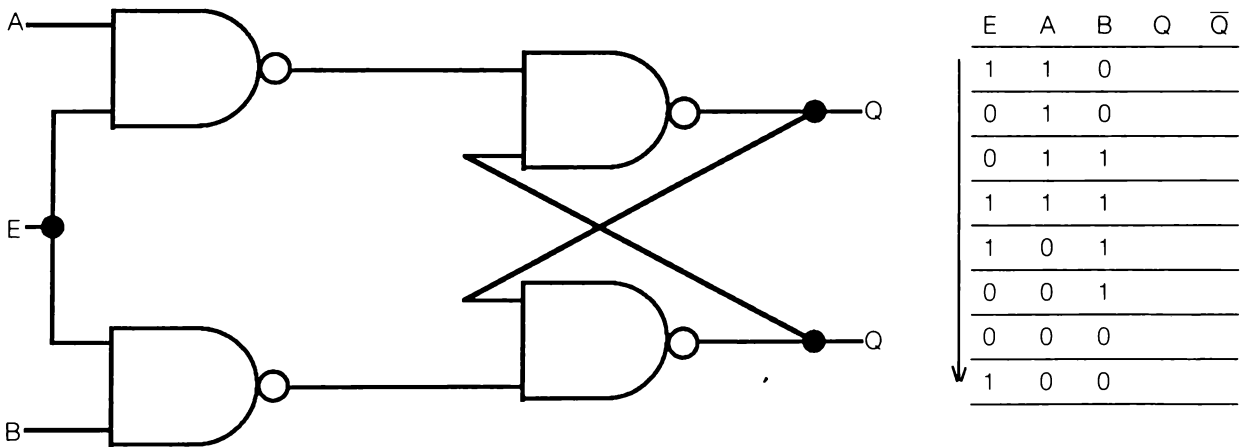


Figure 4.50 Pour le problème 1.

2. Chronogramme d'un circuit bistable

Tracez le chronogramme de Q du circuit bistable représenté à la figure 4.51.

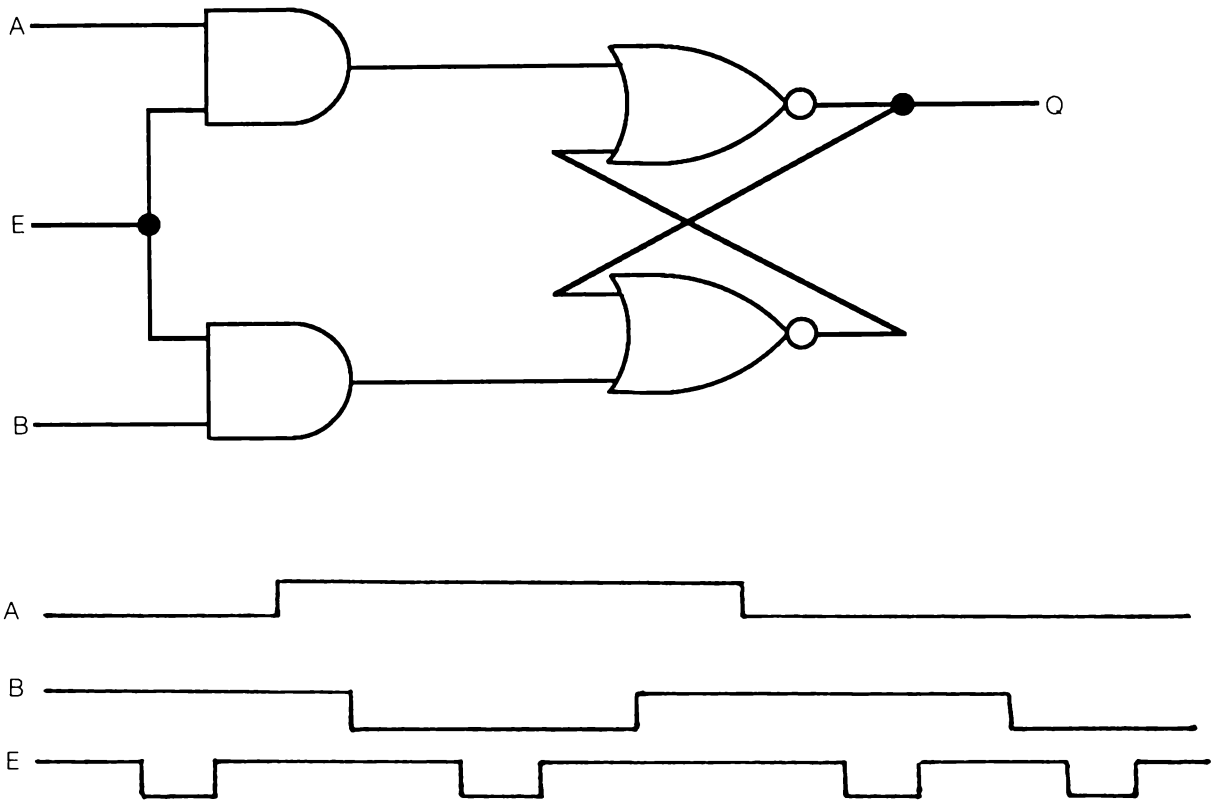


Figure 4.51 Pour le problème 2.

3. Bascule D synchronisée

Tracez le chronogramme de Q et celui de \bar{Q} de la bascule D synchronisée représentée à la figure 4.52.

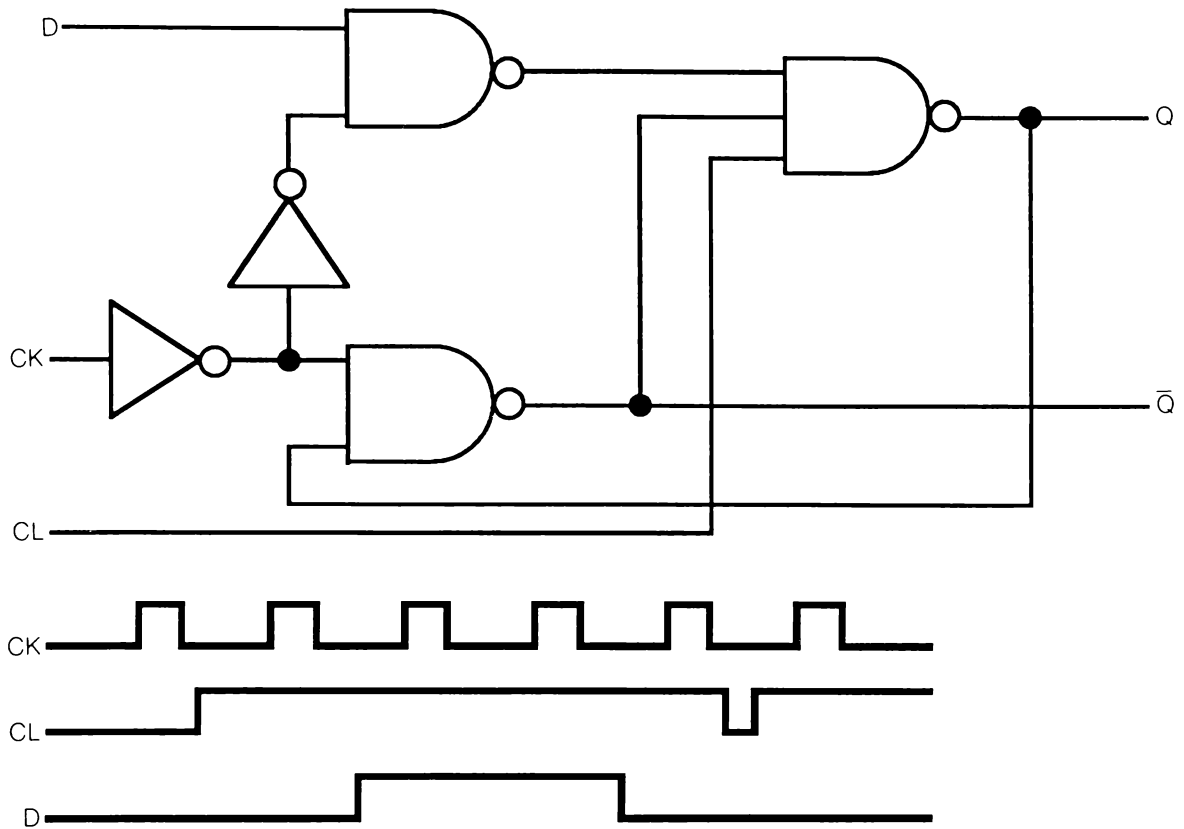


Figure 4.52 Pour le problème 3.

4. Chronogramme dynamique

Tracez les chronogrammes dynamiques de B, C, Q et \bar{Q} du montage de la figure 4.53.

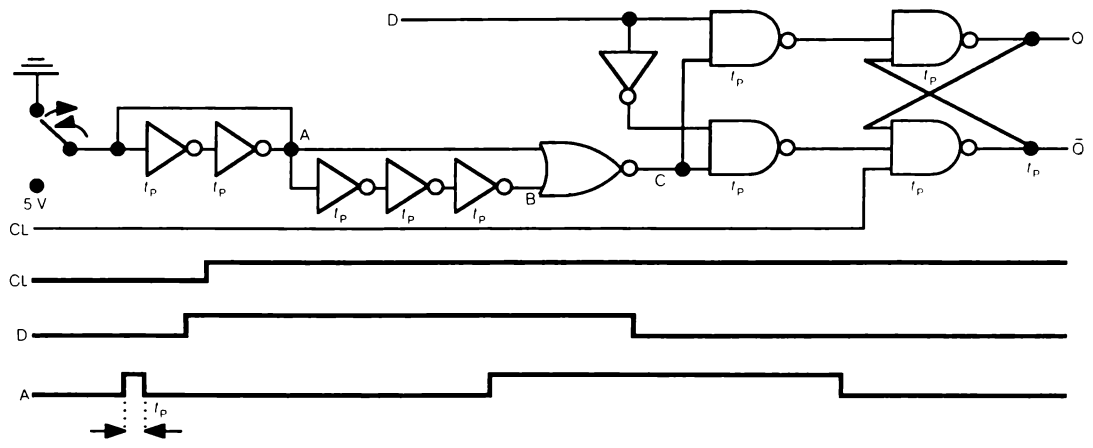


Figure 4.53 Pour le problème 4.

5. Séquenceur synchrone I

Complétez la table de vérité du séquenceur représenté à la figure 4.54.

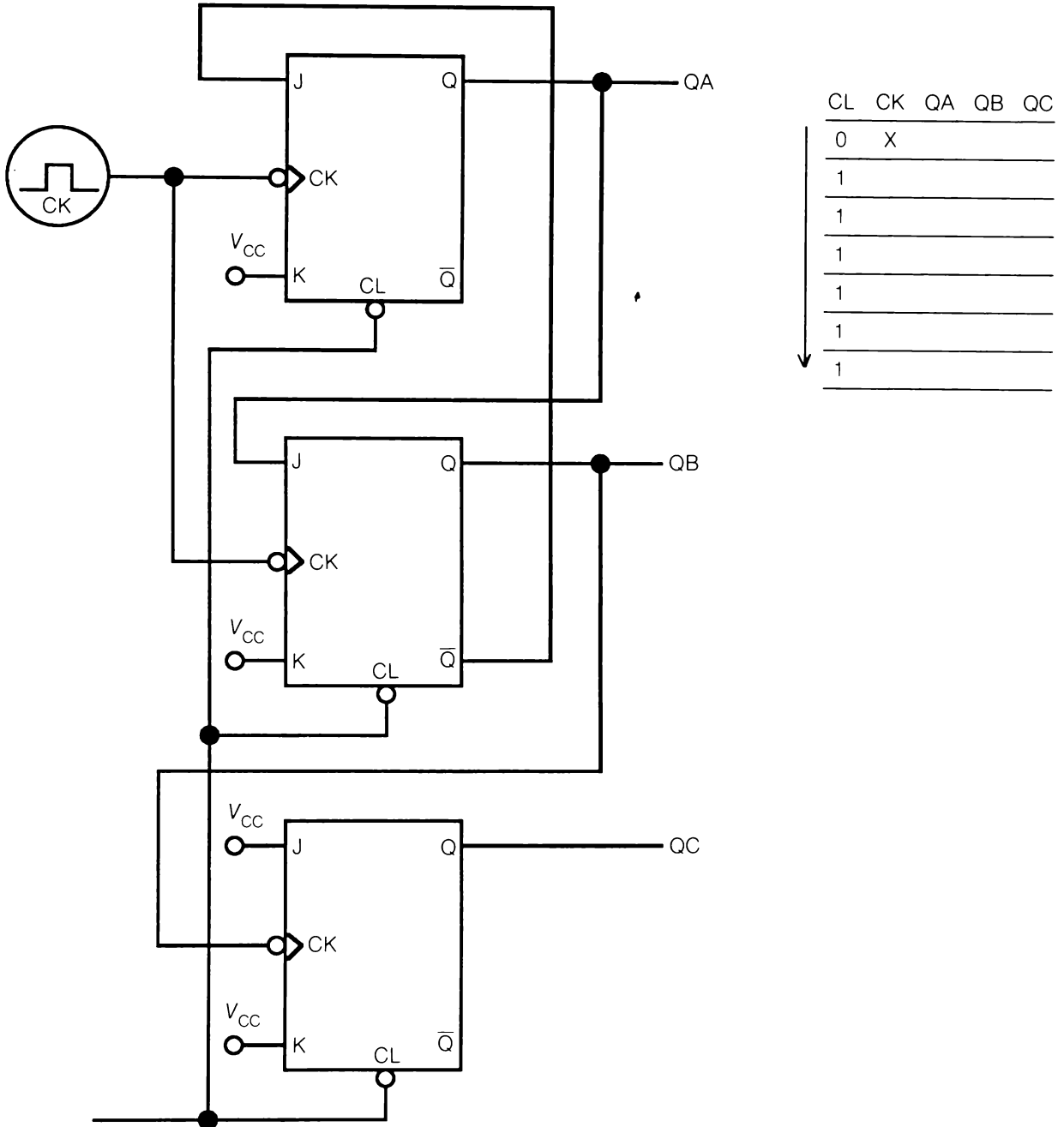
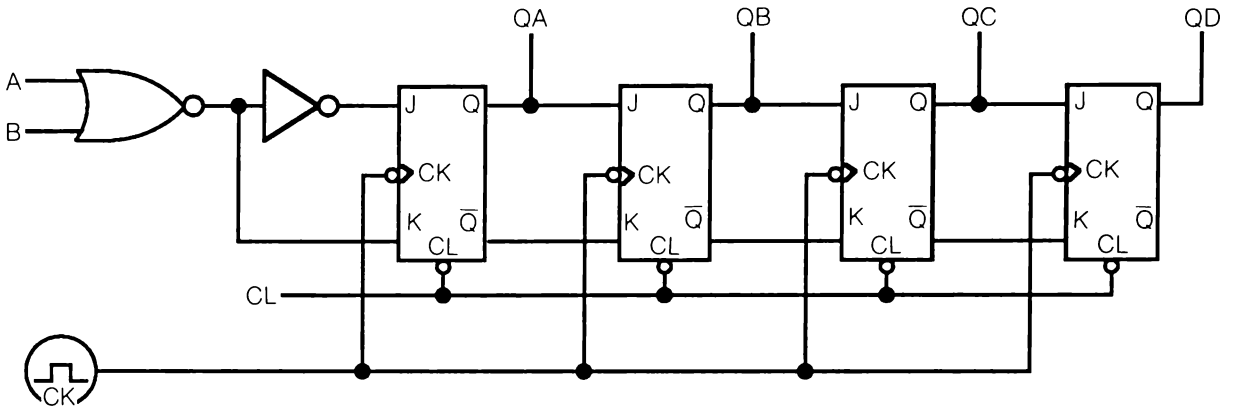


Figure 4.54 Pour le problème 5.

6. Registre série

Complétez la table de vérité du registre série représenté à la figure 4.55.

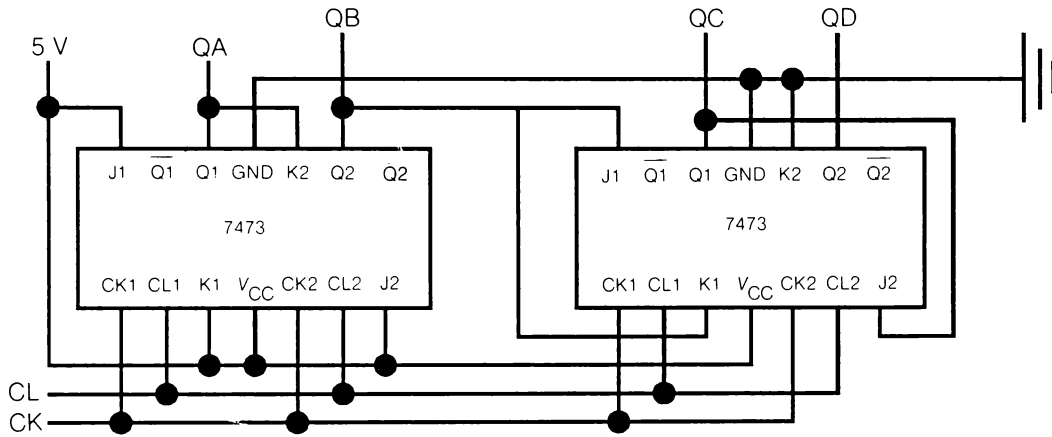


CL	CK	A	B	QA	QB	QC	QD
0	X	X	X				
1		1	0				
1		0	0				
1		1	1				
1		0	1				

Figure 4.55 Pour le problème 6.

7. Séquenceur synchrone II

Complétez la table de vérité du séquenceur synchrone représenté à la figure 4.56.

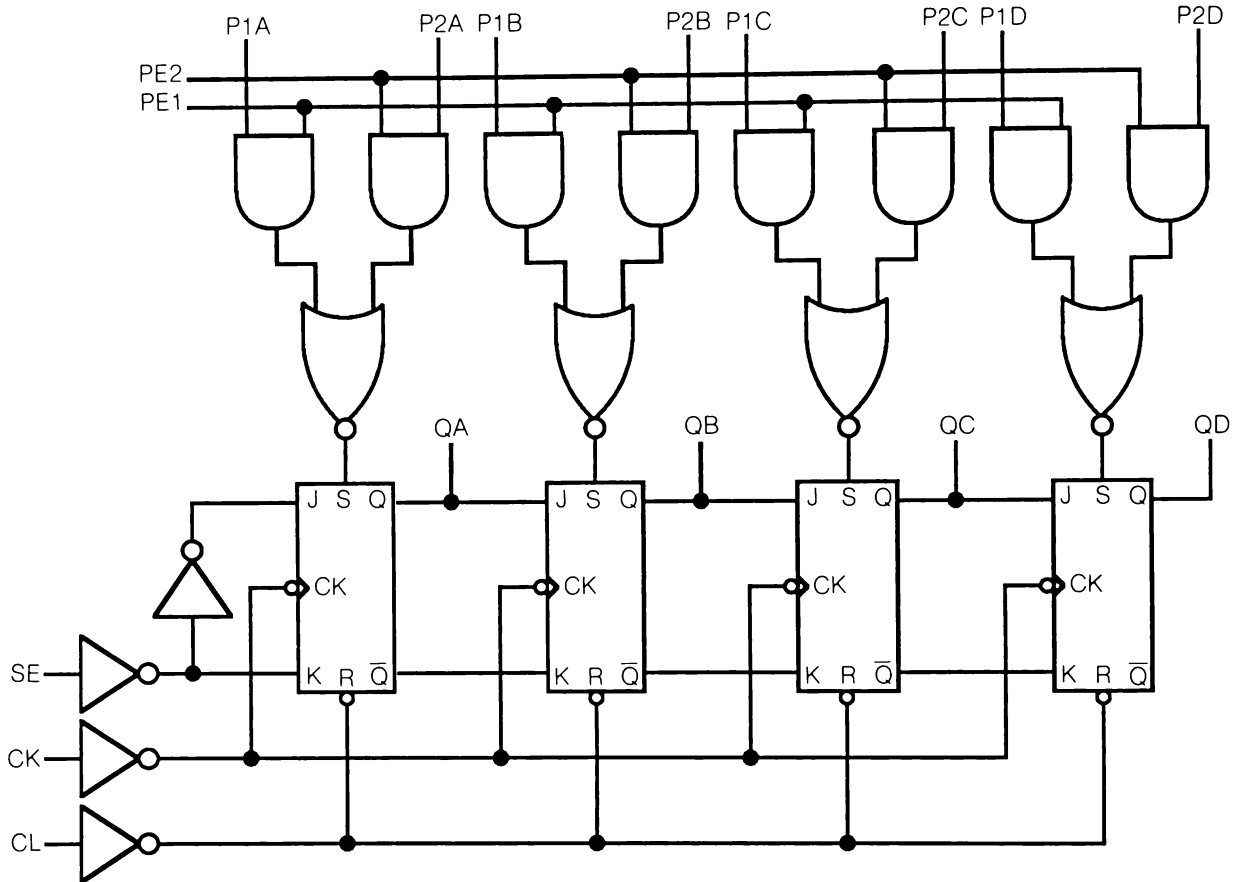


CL	CK	QA	QB	QC	QD
0	X				
1	↓				
1	↓				
1	↓				
1	↓				
1	↓				
1	↓				
1	↓				
1	↓				
1	↓				

Figure 4.56 Pour le problème 7.

8. Registre série-parallèle

Complétez la table de vérité du registre série-parallèle représenté à la figure 4.57.



CL	SE	PE1	PE2	P1A	P1B	P1C	P1D	P2A	P2B	P2C	P2D	CK	QA	QB	QC	QD
1	0	0														
0	1	0	1	0	1	1							0			
0	0	1					0	1	1	0	1					
0	1	0	0										1			
0	0	0	0										1			
0	0	0	0										1			
0	0	0	0										1			
0	1	0	0										1			
0	1	1	1	1		1	1		1							
0	1	1	0	1		0	1		1	0	1					

Figure 4.57 Pour le problème 8.

10. Compteur synchrone modulo X

À l'aide de bascules JK, construisez un compteur synchrone modulo 5 vérifiant la table de vérité de la figure 4.59.

QC	QB	QA
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0

Figure 4.59 Pour le problème 10.

11. Compteur 60 Hz

Soit le montage de la figure 4.60.

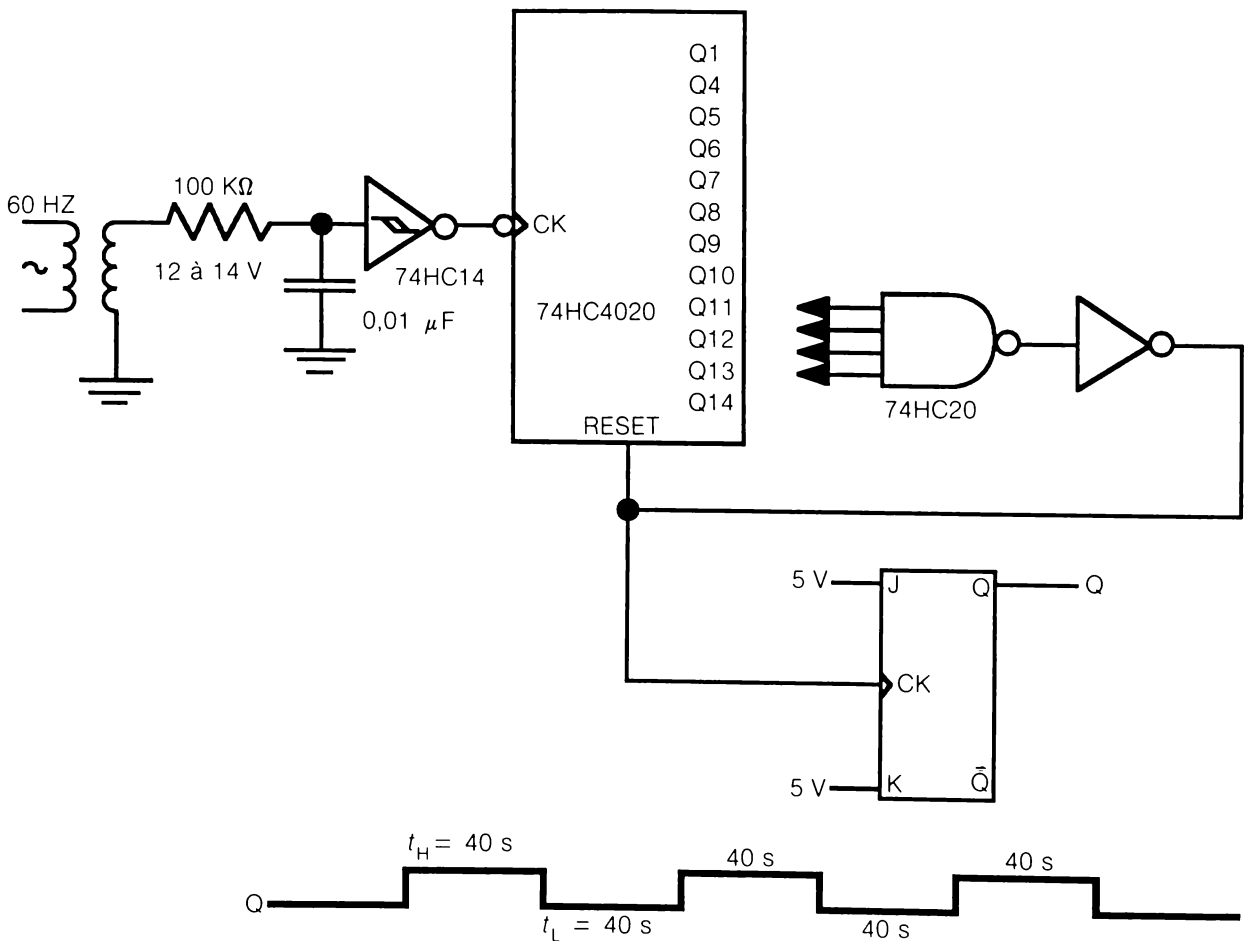


Figure 4.60 Pour le problème 11.

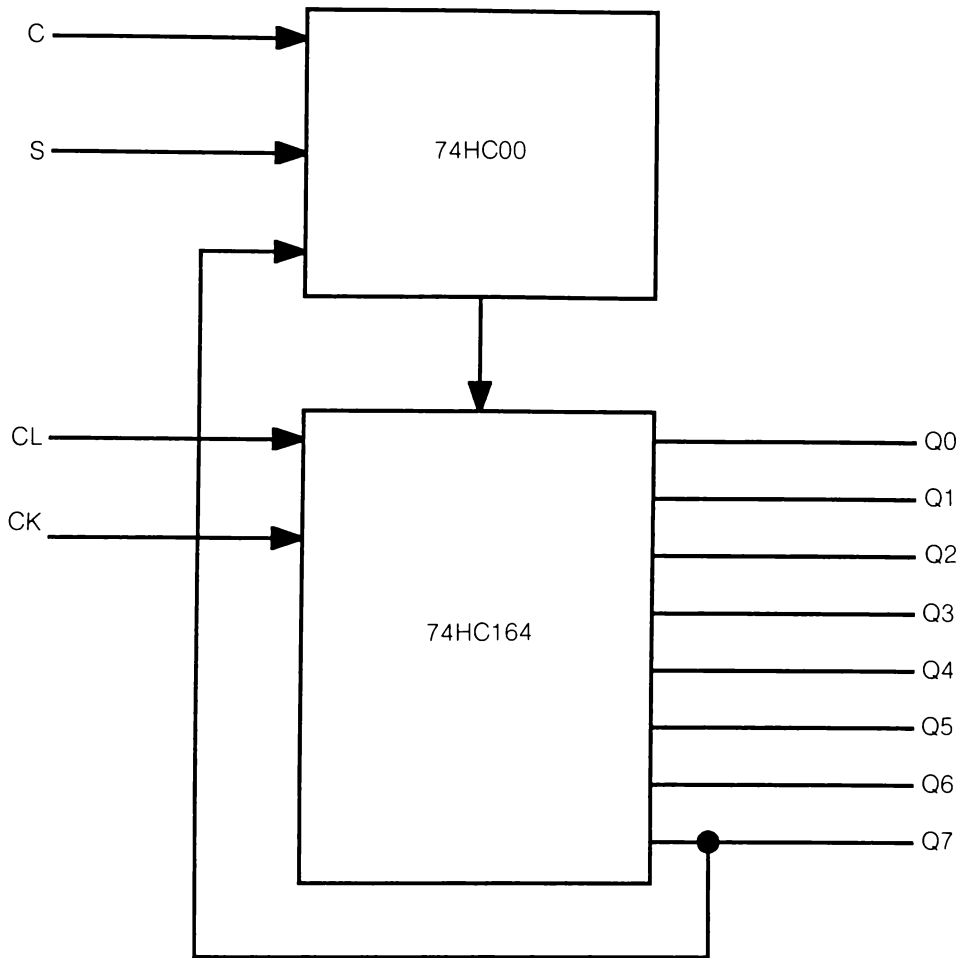
À quelles broches faut-il raccorder les quatre entrées du 74HC20 pour obtenir le chronogramme Q ?

12. Compteur 50 Hz

Soit le problème précédent. À quelles broches faut-il raccorder les quatre entrées du 74HC20 pour obtenir $t_H = t_L = 1685$, si la fréquence de réseau est de 50 Hz ?

13. Registre de circulation

Soit la figure 4.61.



CL	C	S	CK	Q0	Q1	Q2	Q3	Q4	Q5	Q6	Q7	
0	X	X	X	0	0	0	0	0	0	0	0	remise à zéro
1	0	1	1	1	Q0-	Q1-	Q2-	Q3-	Q4-	Q5	Q6	chargement haut
1	0	0	1	0	Q0-	Q1-	Q2-	Q3-	Q4-	Q5-	Q6-	chargement bas
1	1	X	1	Q7	Q0-	Q1-	Q2-	Q3-	Q4-	Q5-	Q6-	rotation de l'octet

Figure 4.61 Pour le problème 13.

À l'aide des deux CI (ou leurs équivalents en TTL), concevez le registre de circulation qui vérifie la table de vérité donnée.

14. Remise à zéro conditionnelle

Soit la figure 4.62.

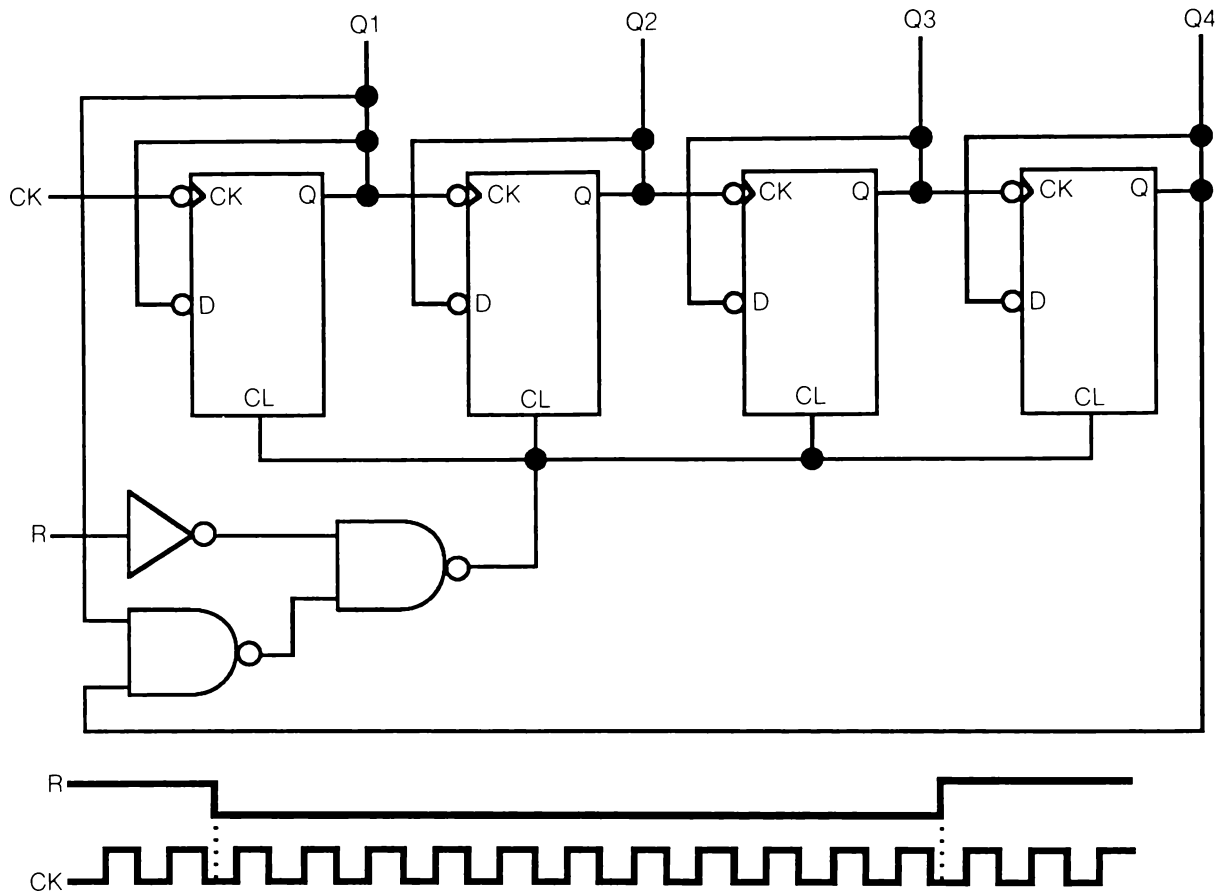


Figure 4.62 Pour le problème 14.

Tracez les chronogrammes de Q1, Q2, Q3 et Q4.

15. Interface

Soit le montage représenté à la figure 4.63.

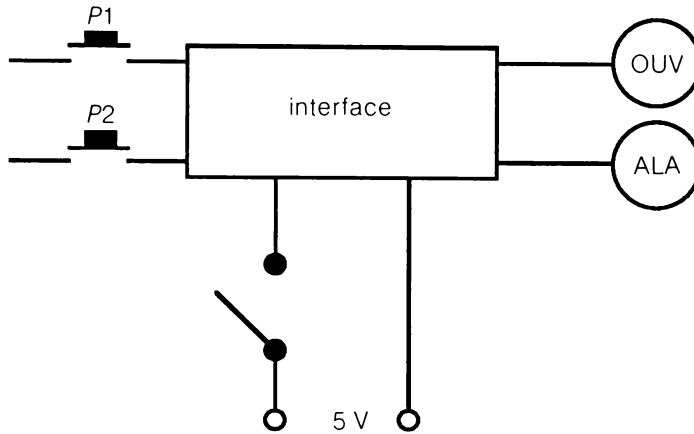


Figure 4.63 Pour le problème 15.

Remarques :

- Quand on ferme l'alimentation de 5 V, on obtient $GUV = 0$ et $ALA = 0$.
 - Pour ouvrir ($GUV = 1$), il faut enfoncer 2 fois P1 et 1 fois P2.
 - Pour refermer ($GUV = 0$), il faut enfoncer 1 fois P1.
 - L'alarme s'allume ($ALA = 1$) si on fait une fausse manoeuvre.
 - Pour éteindre l'alarme, il faut couper et refermer l'alimentation de 5 V.
- Concevez le montage à l'aide de bascules.

16. Bullogramme

Soit la figure 4.64.

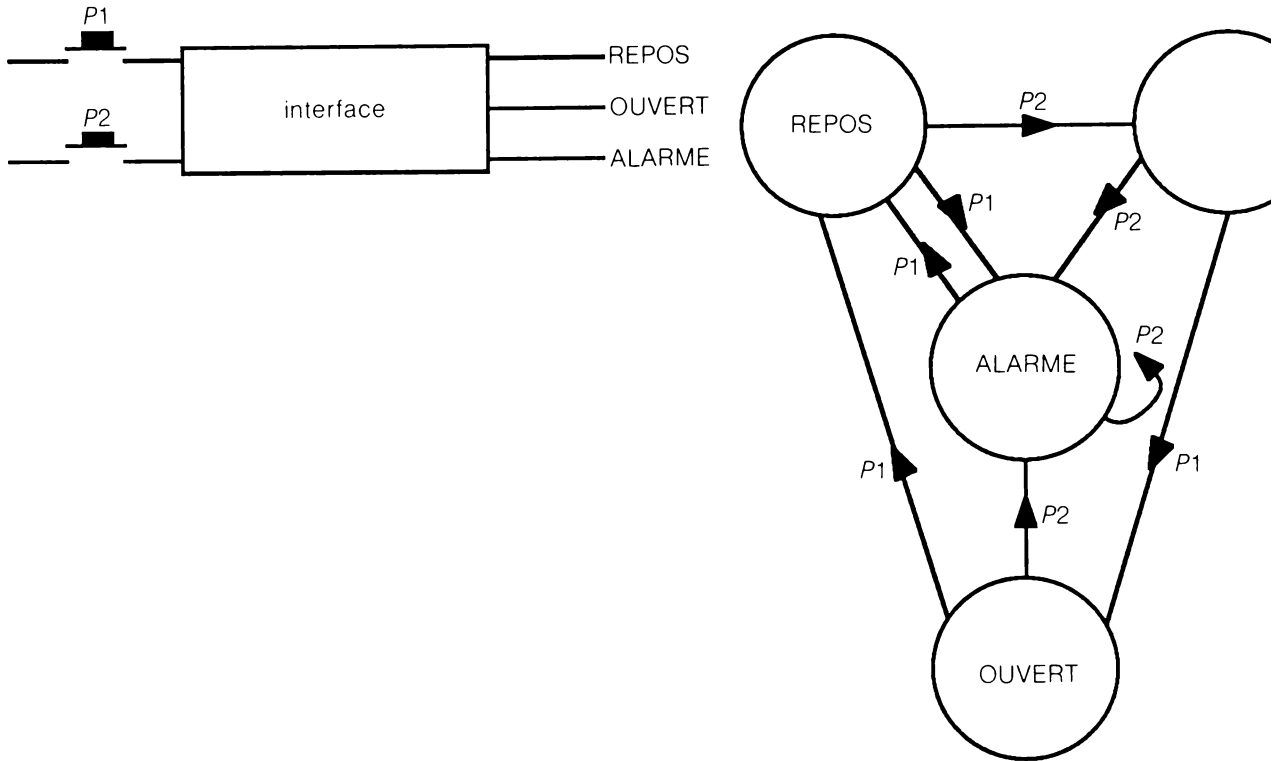
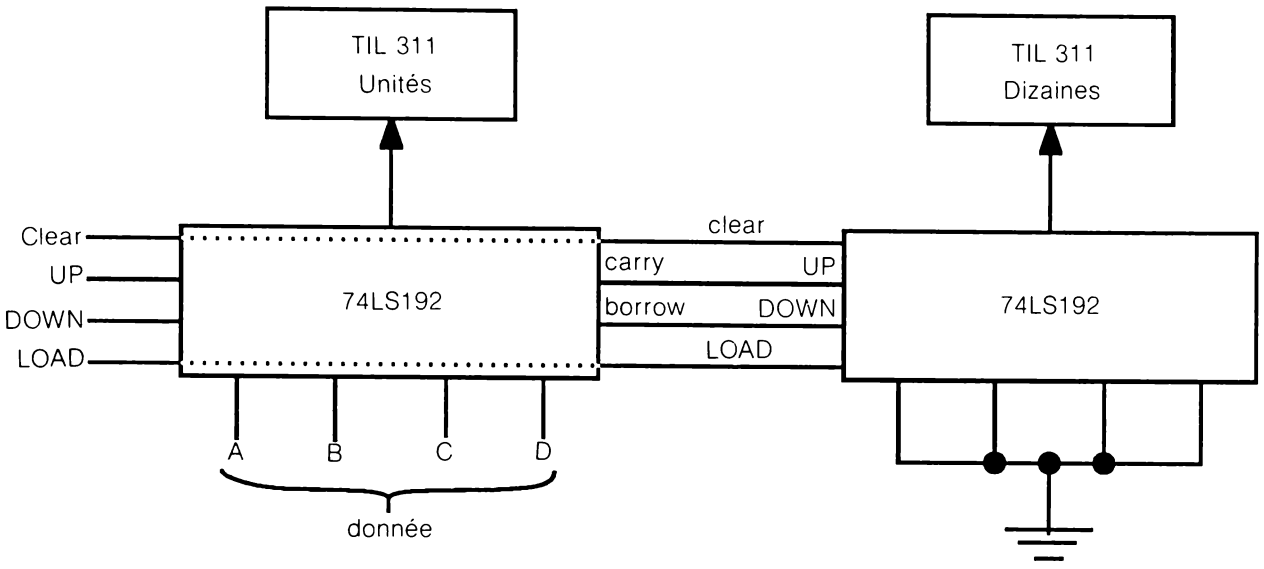


Figure 4.64 Pour le problème 16.

Concevez l'interface qui répond aux exigences du bullogramme. Remarque : Les poussoirs P_1 et P_2 sont rebondissants.

17. Compteur et affichage

Complétez la table de vérité du montage (figure 4.65).



	DATA					AFFICHAGE				
	Clear	A	B	C	D	LOAD	UP	DOWN	dizaines	unités
1										
2										
3										
4										
5										
6										
7										

Ligne 1 : remise à zéro

Ligne 2 : chargez le compteur avec (9)

Ligne 3 : incrémentez de (6)

Ligne 4 : décrémentez de (4)

Ligne 5 : chargez avec (3)

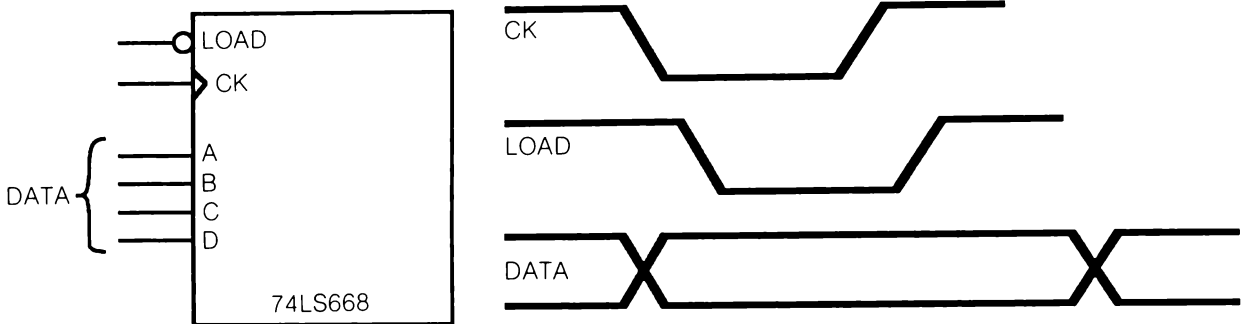
Ligne 6 : décrémentez de (6)

Ligne 7 : incrémentez de 7

Figure 4.65 Pour le problème 17.

18. Temps de commande I

Soit la figure 4.66.



$t_{w(CK)}$ = largeur d'horloge

$t_{SL(CK)}$ = temps de préparation du LOAD sur l'horloge

$t_{HL(CK)}$ = temps de maintien du LOAD après l'horloge

$t_{SD(CK)}$ = temps de préparation du DATA sur l'horloge

$t_{HD(CK)}$ = temps de maintien du DATA après l'horloge

Figure 4.66 Pour le problème 18.

Transposez les temps sur le chronogramme.

19. Temps de commande II

Soit le problème 18. Prendre $t_{SL(CK)min} = 25$ ns et $t_{SD(CK)min} = 20$ ns. Lequel des énoncés suivants est vrai :

- a) Il faut présenter la donnée avant la transition active du LOAD ;
- b) Il faut présenter la donnée 5 ns après la transition active du LOAD ;
- c) Il faut présenter la donnée plus de 5 ns après la transition active du LOAD ;
- d) On peut présenter la donnée avant ou après la transition active du LOAD.

20. Convertisseur numérique-analogique

Soit le montage de la figure 4.67.

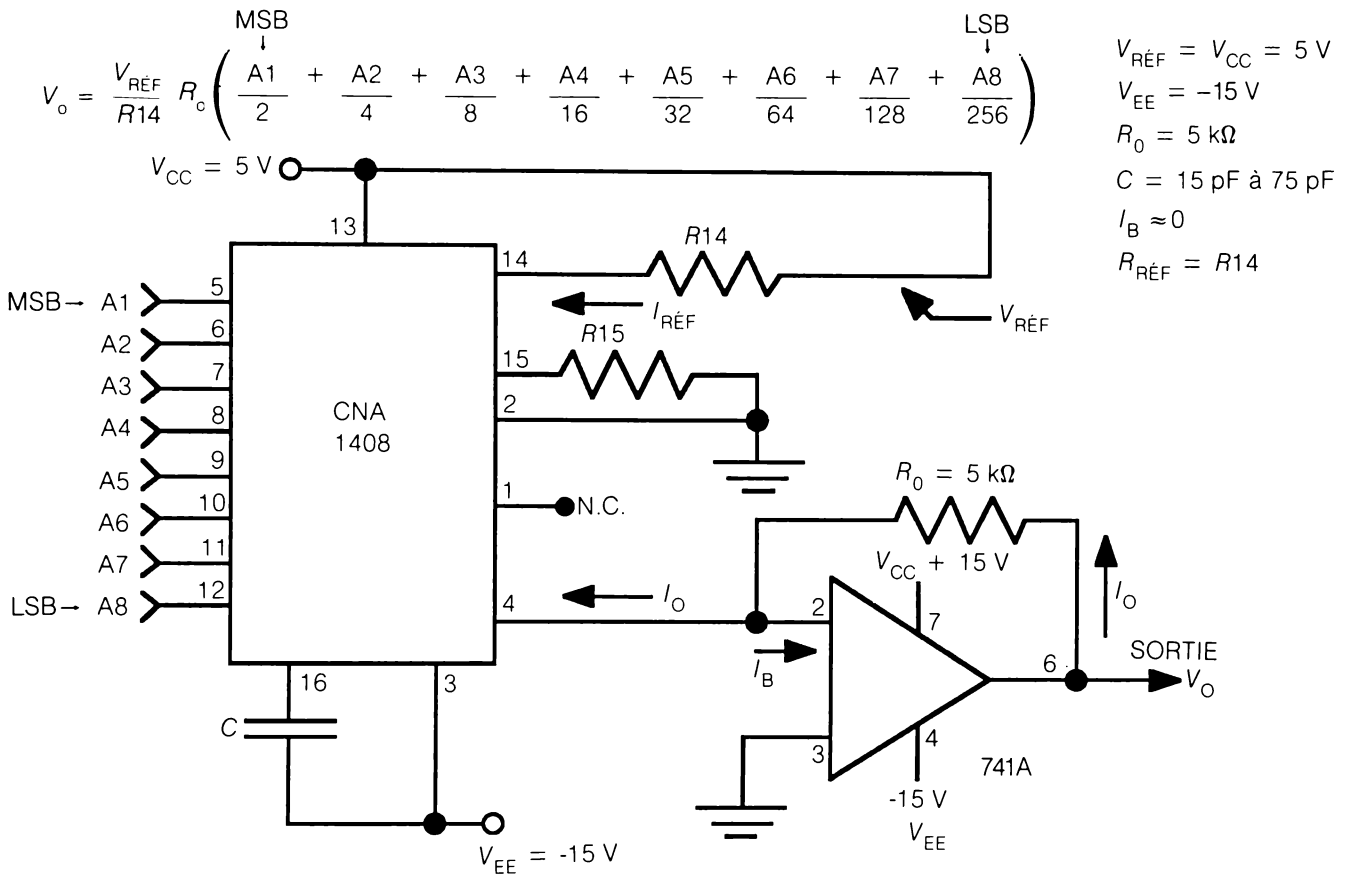


Figure 4.67 Pour le problème 20.

- Calculez R_{14} pour que la tension maximale de sortie V_{Omax} soit de $+7,8\text{ V}$.
- Calculez la tension minimale de sortie V_{Omin} si $R_{14} = R_{15} = 1\text{ k}\Omega$;
- Calculez la tension de sortie V_o lorsque le mot binaire à l'entrée du convertisseur numérique-analogique est $0\ 1\ 0\ 1\ 1\ 1\ 0\ 0$ et $R_{14} = R_{15} = 1\text{ k}\Omega$;

MSB
LSB
- Calculez R_{14} et R_o pour que $V_{Omax} = 12\text{ V}$;
- Calculez V_{Omin} pour R_{14} et R_o obtenus en d).

Constitution des puces ou circuits programmables **5**

5.1 Objectifs

Après étude de ce chapitre l'étudiant devra

1. Connaître le principe des puces programmables.
2. Savoir écrire l'équation logique de puces programmées.
3. Savoir programmer graphiquement des puces de principe à partir d'une équation donnée.
4. Comprendre le brochage et les fonctions de puces programmables commerciales.
5. Savoir comparer la logique conventionnelle avec la logique programmable.
6. Connaître les conventions de marquage des fusibles.
7. Connaître les principes de la programmation machine.
8. Savoir réaliser et utiliser une planche programmable d'expérimentation à caractère pédagogique.

5.2 Puces programmables de base

Le basculement des commutateurs A et B sur 5 V valide la fonction F1 de la figure 5.1a. Si une des deux entrées est à la masse, la fonction F1 vaut 0. La diode isolée par le fusible sauté n'intervient pas dans notre raisonnement. Ce petit réseau programmable par fusibles est piloté à la figure 5.1b par trois portes logiques à sorties directes. La polarisation haute des diodes est fournie par l'entrée de la porte TTL. La résistance de rappel n'est donc plus nécessaire. Nous abandonnons également la représentation des « lambeaux » des fusibles sautés.

Par ses entrées directes et inverses et sa sortie OU, le circuit de la figure 5.1c est proche de la version commerciale. Nous avons conservé la fonction toute symbolique, mais combien rassurante des portes ET. Le symbole utilisé à la figure 5.1d pour marquer les fusibles intacts vous apparaîtra bientôt logique. En attendant, répétez 12 fois l'égalité : croix = fusible intact.

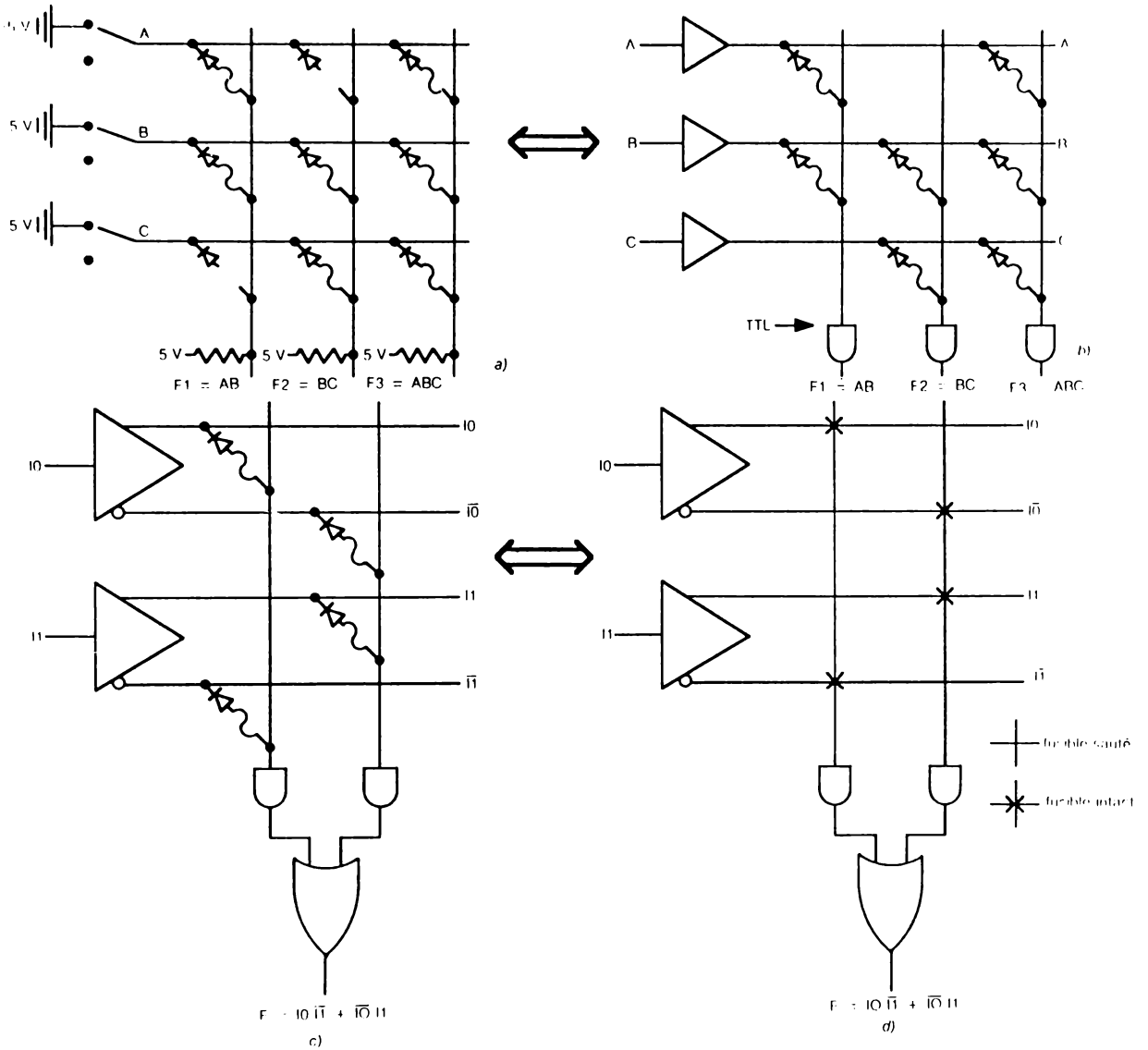


Figure 5.1 Pucres programmables par fusibles.
 a) Modèle électronique pédagogique ;
 b) Modèle logique à entrées directes ;
 c) Modèle à entrées directes et inversées et sortie OU ;
 d) Convention adoptée pour le marquage des fusibles.

5.2.1 Lignes d'entrée et lignes de produit

Selon la figure 5.2

- a) L'intersection d'une ligne d'entrée et d'une ligne de produit donne les coordonnées d'un fusible ;
- b) Le nombre de lignes d'entrée égale 2 fois le nombre d'entrées ;
- c) Le nombre de lignes de produit n'est pas fonction du nombre de sorties. Il existe en effet des sorties à 2, 4, 8, 16 lignes de produit ;
- d) L'état 0 d'une ligne de produit non utilisée s'obtient en laissant les fusibles intacts sur toute cette ligne. Cet artifice donne la fonction $P = \overline{A\overline{A}} + \overline{B\overline{B}} + \overline{C\overline{C}} + \overline{D\overline{D}} = 0$. Évidemment, deux fusibles intacts complémentaires auraient suffi.

5.2.2 Exercice sur les fonctions programmables

Écrivez les fonctions programmables sur le circuit de la figure 5.2.

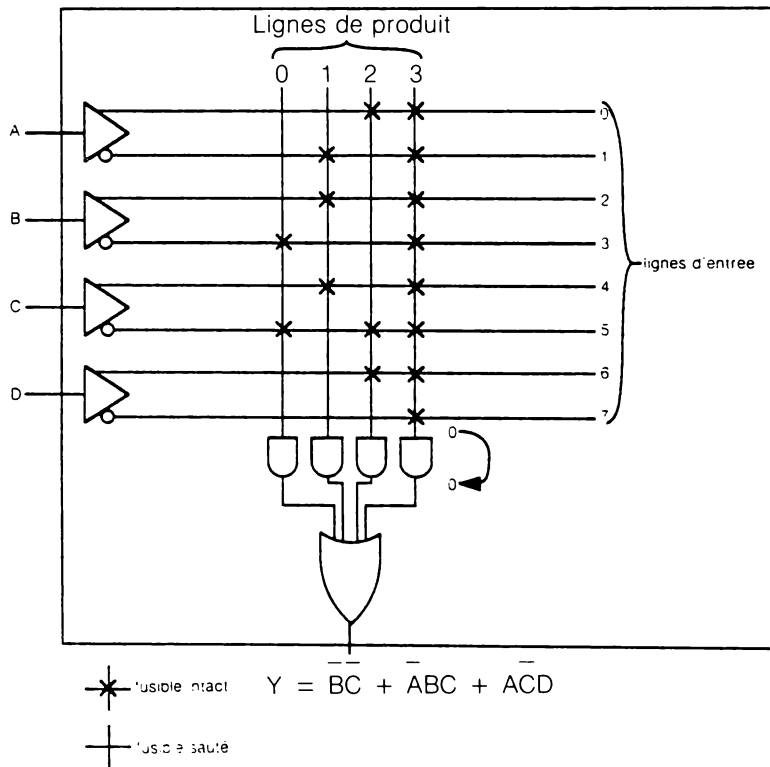


Figure 5.2 Pour l'exercice de 5.2.2. Puces programmables constituées de

- a) 4 entrées A, B, C, D ;
- b) 1 sortie Y ;
- c) 8 lignes d'entrée 0, 1, 2, 3, 4, 5, 6, 7 ;
- d) 4 lignes de produit 0, 1, 2, 3 ;
- e) 32 fusibles (0,0), (0,1), (0,2), (0,3), (1,0), ..., (7,3).

Solution

Vous devez facilement en trouver quelques centaines. Si vous avez besoin d'un « déclencheur », complétez les séries suivantes :

$$Y = \overline{A}\overline{B}\overline{C} + AC + \overline{B}C, \quad Y = \overline{A}\overline{B}\overline{C} + \overline{A}B + BC, \quad Y = \dots (3, 2, 2)$$

$$Y = \overline{B}\overline{C} + BC, \quad Y = \overline{A}\overline{C} + AC, \quad Y = \dots (2, 2)$$

$$Y = \overline{A}\overline{B}\overline{C} + AB, \quad Y = \overline{A}\overline{B}\overline{C} + \overline{A}B, \quad Y = \dots (3, 2)$$

$$Y = \overline{A}\overline{B}\overline{C} + \overline{A}BC + \overline{A}B\overline{C}, \quad Y = \overline{A}\overline{B}\overline{C} + \overline{A}B\overline{C} + \overline{A}B\overline{C}, \quad Y = \dots (3, 3, 3)$$

$$Y = \overline{A}\overline{B}\overline{C}D + \overline{A}C\overline{D} + \overline{B}CD, \quad Y = \overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}\overline{C}\overline{D} + \overline{B}\overline{C}\overline{D}, \quad Y = \dots (4, 3, 3)$$

5.2.3 Lignes non utilisées

La figure 5.3 représente le schéma simplifié de la puce programmable PAL12H6 comprenant

- a) 12 entrées : broches 1, 2, 3, ..., 9, 11, 12, 19 ;
- b) 6 sorties : broches 18, 17, 16, ..., 13 ;
- c) 24 lignes d'entrée : n^{os} 2, 3, 0, 1, ..., 8, 9, 12, 13, ..., 30, 31 ;
- d) 16 lignes de produit : n^{os} 8, 9, 10, 11, 16, 17, ..., 48, 49, 50, 51.

Nous devinons les $24 \times 16 = 384$ fusibles sur lesquels nous reviendrons bientôt.

Remarque : Nous n'utilisons pas les n^{os} 10, 11, 14, 15, ... pour désigner les lignes d'entrée. Ce n'est pas un oubli : on réserve ces numéros aux puces programmables plus complexes. Même remarque pour les lignes de produit.

L'intersection des 24 lignes d'entrée avec les 16 lignes de produit tisse un réseau de 384 fusibles. Même si ça n'a pas l'air sérieux, nous devons admettre également que l'intersection des lignes non utilisées tisse un réseau de fusibles fantômes présent dans certains algorithmes de programmation des fusibles. Mais avant de jouer avec de blancs linceuls, deux petits exercices vont nous ramener sur terre.

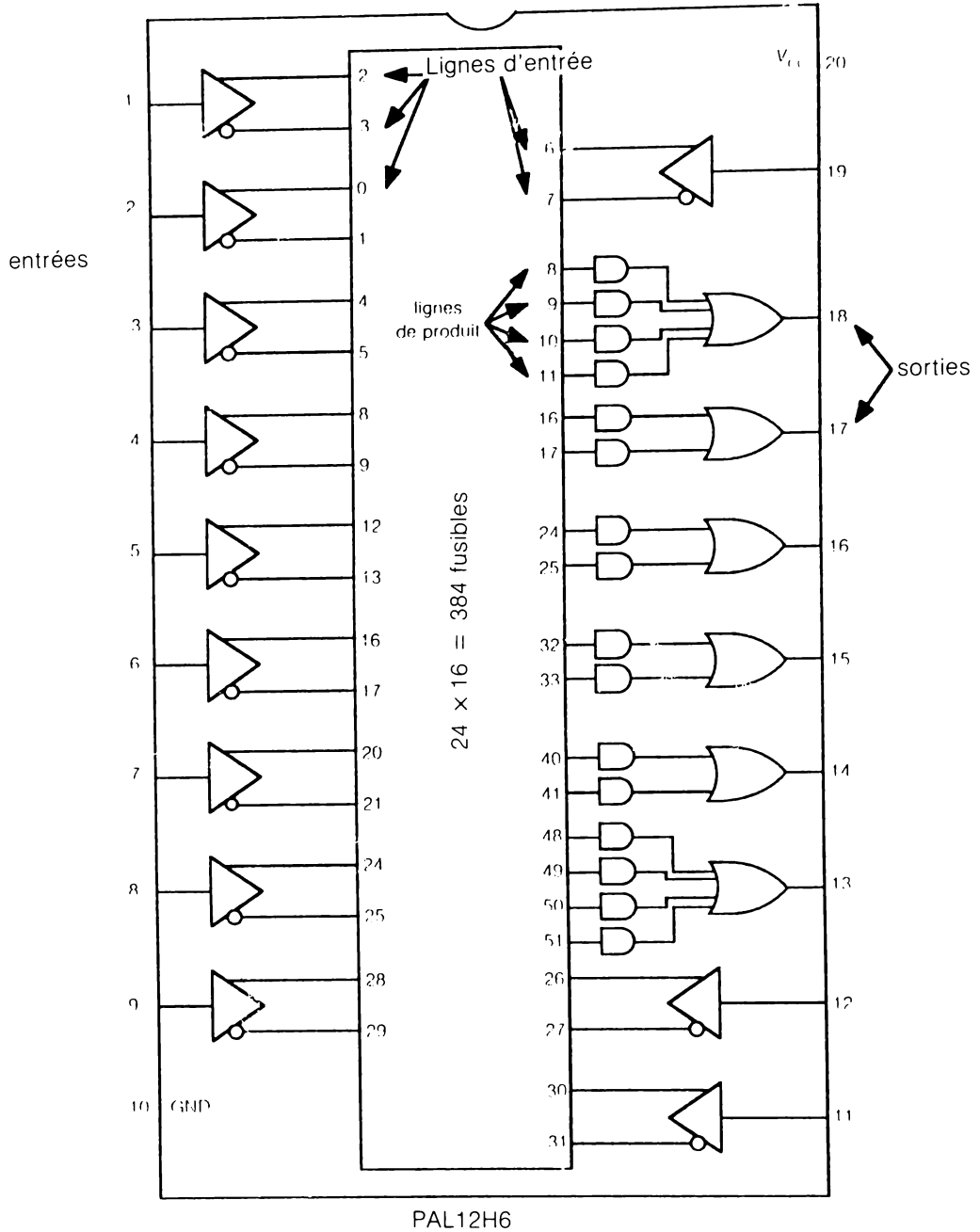


Figure 5.3 L'intersection des 24 lignes d'entrée et des 16 lignes de produit constitue le réseau de fusibles du PAL12H6.

5.2.4 Exercice sur le remplacement de logique combinatoire

a) Sur un PAL12H6, implantez la multifonction :

$$X = \bar{A}\bar{B}C + ABC + \bar{A}B\bar{C}$$

$$Y = \bar{B}\bar{C} + \bar{A}BC$$

b) Implantez la même multifonction avec des circuits de base SSI.

Solution

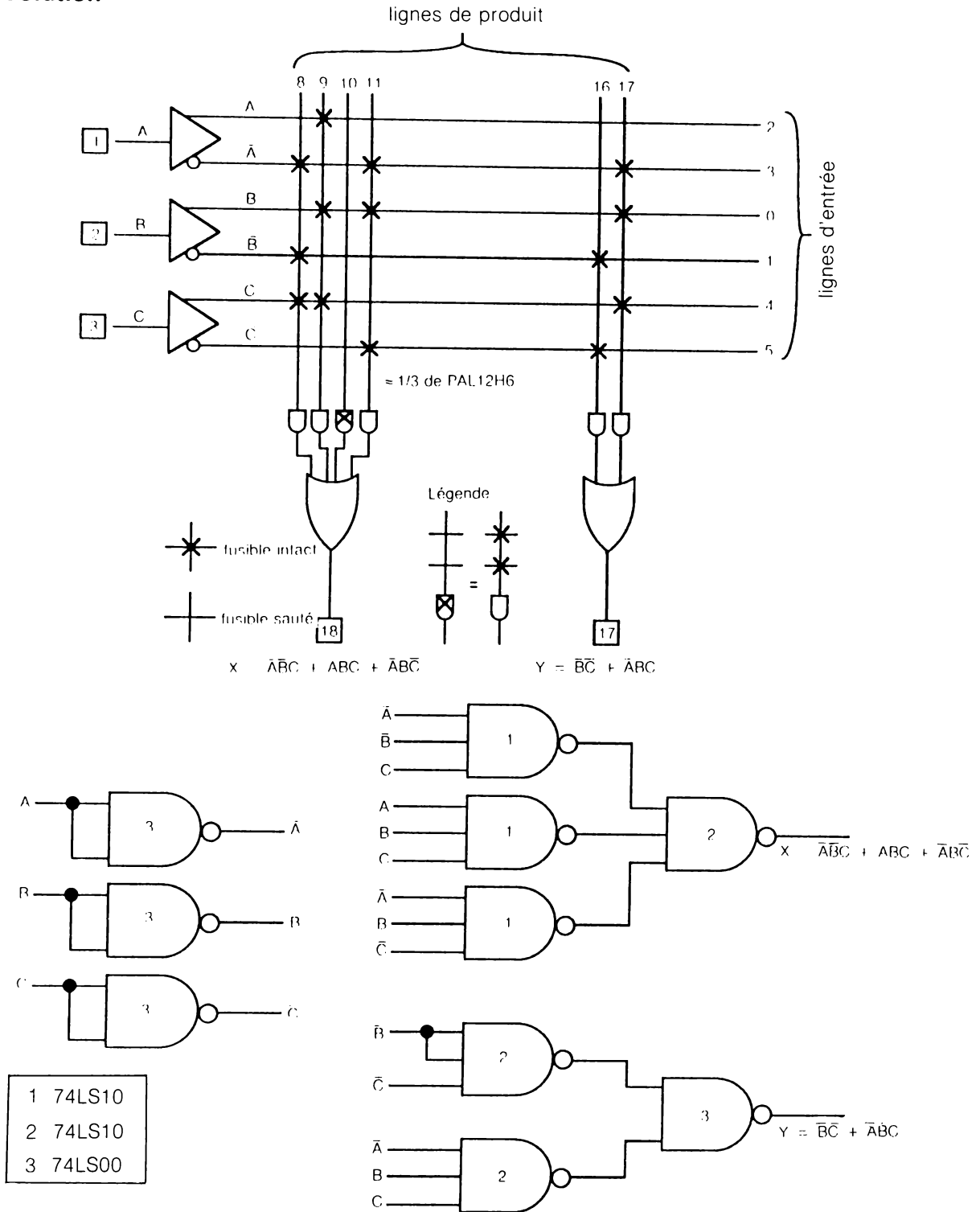


Figure 5.4 Pour la solution de l'exercice de 5.2.4.

Selon la figure 5.4, l'espace de la matérialisation avec le PAL égale environ le tiers de celui de l'implantation sur circuits SSI.

Écrivons chaque terme de l'équation de X du circuit PAL. Il vient

$$X = \bar{A}\bar{B}C + ABC + A\bar{A}\bar{B}\bar{C}\bar{C} + \bar{A}\bar{B}\bar{C}$$

L'étrange 3^e terme de cette équation égale 0. Il n'apparaît donc pas dans l'équation finale. C'est une convention pratique et peu encombrante de remplacer toutes les croix d'une ligne de produit non utilisée par une seule croix dans la porte symbolique ET correspondante.

Rappel: Croix = fusible intact. Faire une croix ne veut pas dire détruire, mais ne pas toucher. Autrement dit, plus il y aura de croix sur le schéma et moins vous ferez sauter de fusibles.

5.2.5 Exercice de lecture de puces PAL

Soit le circuit de la figure 5.5.

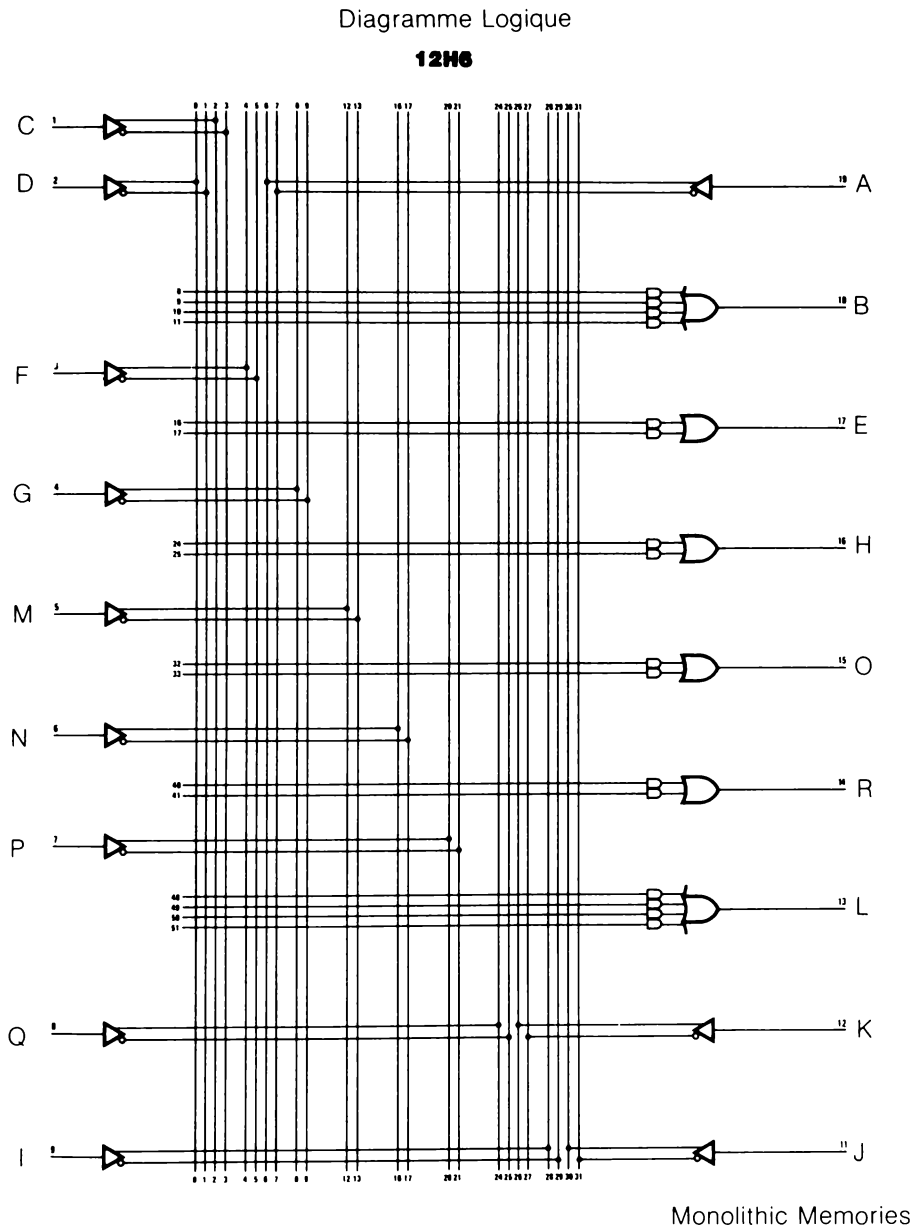


Figure 5.5 Pour l'exercice de 5.2.5.

Trouvez

- Les équations logiques et les symboles graphiques correspondants ;
- Le nombre de fusibles intacts ;
- Le nombre de fusibles réels à détruire.

Solution

a) $B = \bar{A}$

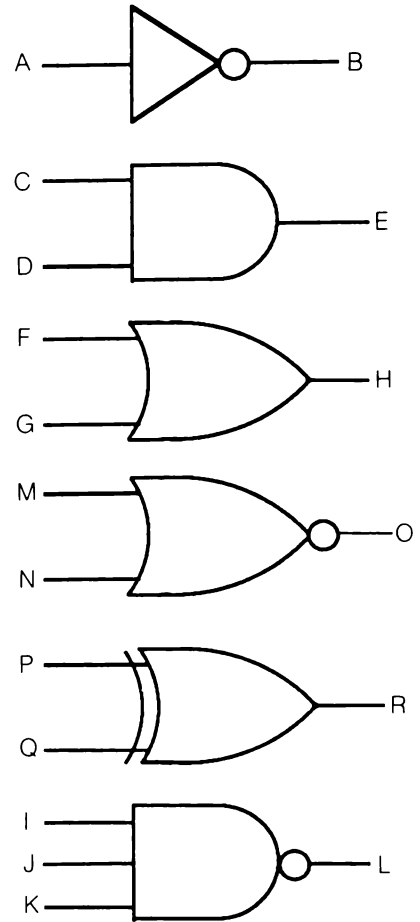
$E = CD$

$H = F + G$

$O = \overline{MN}$

$R = P\bar{Q} + \bar{P}Q$

$L = \bar{I} + \bar{J} + \bar{K}$



b) En comptant les fusibles intacts des lignes de produit 9, 10, 11, 17, 33, 51 non utilisées, nombre de fusibles intacts = 158;

c) Nombre total de fusibles = 24 lignes d'entrée × 16 lignes de produit = 384.
 Nombre de fusibles à détruire = 384 – 158 = 226.

Il reste évidemment les fusibles fantômes que nous démasquerons bientôt, mais ils ne modifient pas les résultats ci-dessus.

5.2.6 Programmation des fusibles

Pour détruire un fusible indésirable, il suffit de le faire fondre avec une impulsion de courant. On sélectionne les fusibles à détruire, on synchronise les opérations et l'on applique les impulsions de destruction aux broches du circuit. La table de la figure 5.6a permet de programmer un fusible à ligne de produit comprise entre 0 et 31. La table de la figure 5.6b sert à programmer un fusible à ligne de produit comprise entre 32 et 63. Les figures 5.6c et d représentent les brochages de programmation correspondants. Ces deux brochages de programmation sont valables pour tous les PAL de 20 broches. Le brochage d'utilisation varie évidemment d'un PAL à l'autre : la figure

5.6e en donne un exemple. Ne cherchez pas pour l'instant un lien logique entre le brochage d'utilisation et les brochages de programmation et ne cherchez pas davantage par quel chemin le courant de fusion arrive au fusible. De toute façon, le programmeur de PROM auquel vous aurez ajouté un adaptateur, le programmeur de PAL, ou le programmeur universel se débrouillera très bien avec ces brochages apparemment farfelus. Voici, à titre d'exemple, la suite des opérations nécessaires pour faire fondre le fusible situé à l'intersection de la ligne d'entrée 2 et de la ligne de produit 31 (figures 5.6a et c).

Remarque : Les paramètres et l'algorithme peuvent varier légèrement d'un fabricant à l'autre.

a)

Ligne d'entrée	Brochage (0/31)									Ligne de produit	Brochage (0/31)							
	17	16	15	14	13	12	11	10	LR		03	02	01	00	A2	A1	A0	
	9	8	7	6	5	4	3	2	12		16	17	18	19	13	14	15	
0	HH	HH	HH	HH	HH	HH	HH	L	Z	0	Z	Z	Z	HH	Z	Z	Z	
1	HH	HH	HH	HH	HH	HH	HH	H	Z	1	Z	Z	Z	HH	Z	Z	HH	
2	HH	HH	HH	HH	HH	HH	HH	L	HH	2	Z	Z	Z	HH	Z	HH	Z	
31	H	HH	HH	HH	HH	HH	HH	HH	HH	31	HH	Z	Z	Z	HH	HH	HH	

Table de programmation à utiliser si la ligne de produit est comprise entre 0 et 31.

$L_{max} = 0,8 V$, $H_{min} = 2 V$, $HH = 11,5 V$, $Z =$ haute impédance ex: $10 k\Omega$ vers le 5 V

b)

Ligne d'entrée	Brochage (32/63)									Ligne de produit	Brochage (32/63)							
	17	16	15	14	13	12	11	10	LR		03	02	01	00	A2	A1	A0	
	9	8	7	6	5	4	3	2	19		12	13	14	15	16	17	18	
0	HH	HH	HH	HH	HH	HH	HH	L	Z	32	Z	Z	Z	HH	Z	Z	Z	
1	HH	HH	HH	HH	HH	HH	HH	H	Z	33	Z	Z	Z	HH	Z	Z	HH	
2	HH	HH	HH	HH	HH	HH	HH	L	HH	34	Z	Z	Z	HH	Z	HH	Z	
31	H	HH	HH	HH	HH	HH	HH	HH	HH	63	HH	Z	Z	Z	HH	HH	HH	

Table de programmation à utiliser si la ligne de produit est comprise entre 32 et 63.

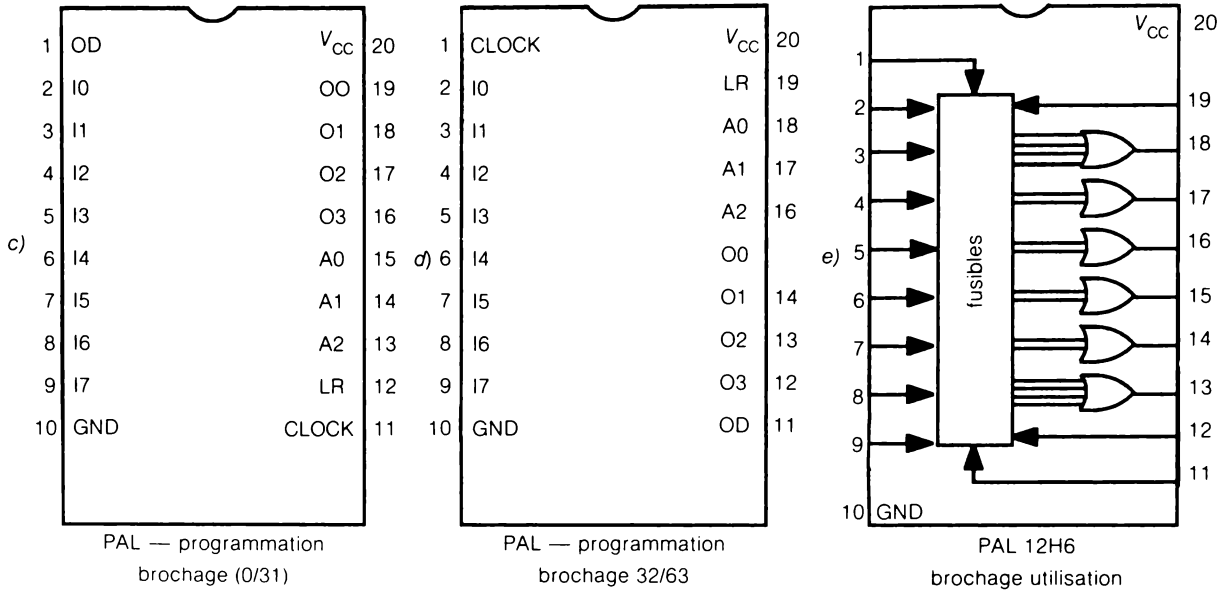


Figure 5.6 a), b) Tables partielles de programmation des PAL à 20 broches ;
 c), d) Brochage de programmation valable pour tous les PAL à 20 broches ;
 e) Brochage d'utilisation du PAL12H6.

- a) Portez la broche OD au potentiel HH = 11,5 V ;
- b) À l'exclusion de la broche 03, portez les broches désignées par la ligne d'entrée 2 et la ligne de produit 31 aux potentiels indiqués ;
- c) Portez la broche d'alimentation V_{CC} au potentiel HH = 11,5 V ;
- d) Injectez sur la broche 03 une impulsion de 11,5 V de largeur comprise entre 10 et 50 μs ;
- e) Ramenez l'alimentation V_{CC} à 5,5 V ;
- f) Envoyez une impulsion d'horloge sur la broche CLOCK ;
- g) Vérifiez le niveau de la sortie 03 qui devrait être haut si le PAL est à sortie directe et bas si le PAL est à sortie inversée ;
- h) Descendez l'alimentation V_{CC} à 4,5 V et répétez les étapes 6 et 7 ;
- i) Ramenez, dans l'ordre, l'alimentation V_{CC} à 5 V, les broches de lignes d'entrée 2 et de produit 31 aux niveaux H, L ou Z et la broche OD au niveau L ;

- j) Si la vérification est positive, programmez un autre fusible. Si la vérification est négative, recommencez les étapes 1 à 9 avec le fusible récalcitrant. S'il résiste plus de 5 fois, dénichez un coupable : le fabricant du PAL, les auteurs de ce livre, votre équipement ou votre... assistant. Les étapes de programmation des fusibles ci-dessus apparaissent sur le chronogramme de programmation de la figure 5.7.

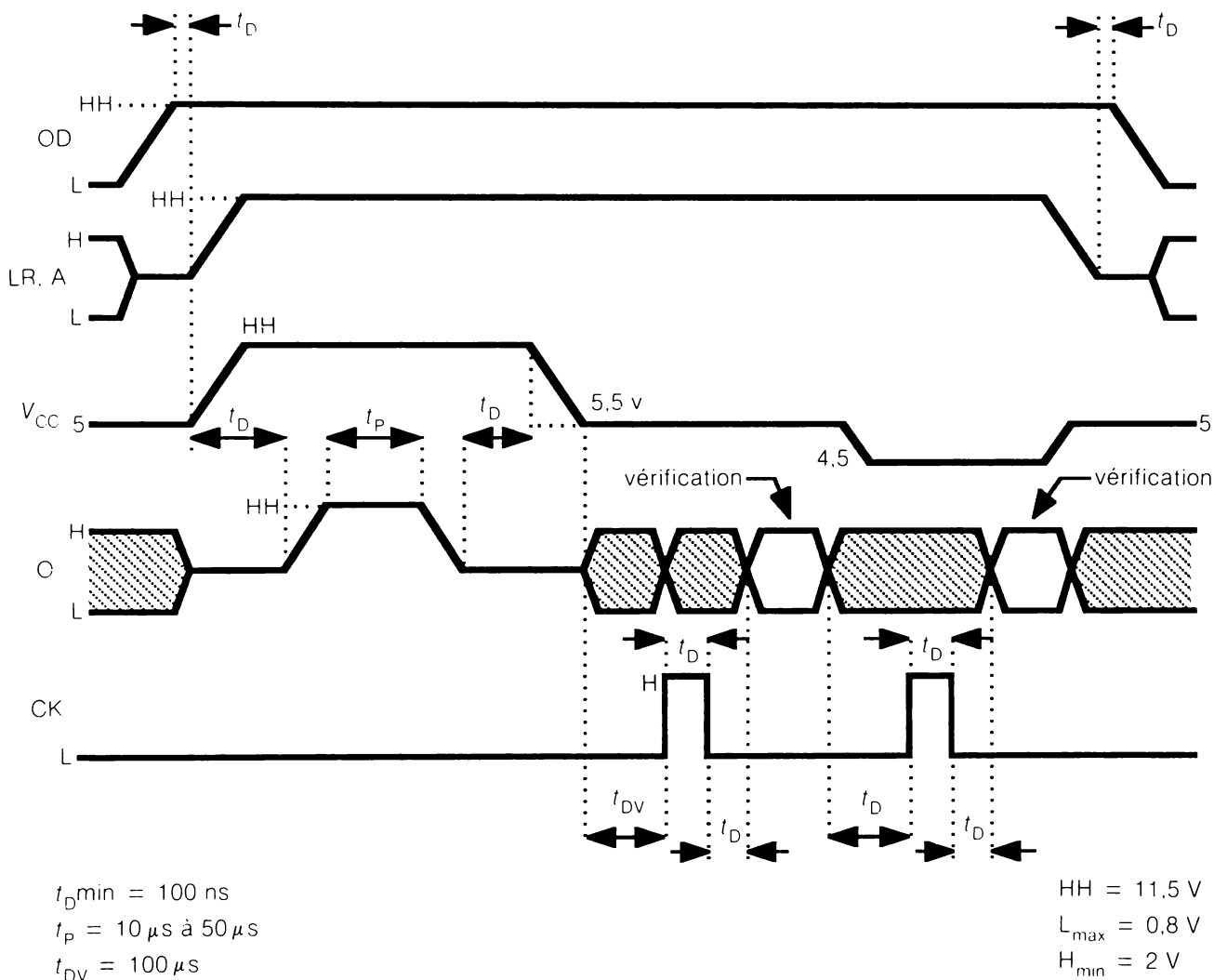


Figure 5.7 Chronogramme de programmation des fusibles des PAL 20 à broches.

5.2.7 Fusibles antipiratage

Si vous désirez que le circuit implanté dans le PAL reste confidentiel, faites fondre deux fusibles de protection. Pour cela, portez les broches 1 et 11 à un potentiel de 18,5 V pendant quelques dizaines de μs . Cette dernière opération complique la vérification et a fortiori le recopiage du contenu du PAL.

5.2.8 Fusibles fantômes

Les PAL à 20 broches les plus compliqués comportent 32 lignes d'entrée (0 à 31) et 64 lignes de produit (0 à 63). L'intersection des lignes non utilisées (et d'ailleurs inexistantes) est symbolisée par un fusible fantôme. Comme les fusibles réels, les fusibles fantômes peuvent être intacts ou sautés. On dit aussi qu'ils sont négatifs ou positifs, qu'ils sont à l'état 0 ou à l'état 1 ou mieux qu'ils sont au niveau bas L ou au niveau haut H.

Le tableau 5.1 représente les symboles et les niveaux logiques des fusibles réels et des fusibles fantômes. Le tableau 5.2 représente les fusibles fantômes sur le circuit logique d'un PAL. Enfin la figure 5.8 représente l'ensemble des fusibles fantômes du PAL12H6 à sorties directes.

	fusible réel	fusible fantôme	niveau logique
sauté			H
intact			L

Tableau 5.1 Symboles graphiques, correspondances et niveaux logiques des fusibles.

	PAL à sorties directes : 10H8, 12H6, 14H4, 16H2 et moitié supérieure de 16C1	PAL à sorties inversées : 10L8, 12L6, 14L4, 16L2 et moitié inférieure de 16C1
sorties inexistantes		
lignes de produit inexistantes		
lignes d'entrée inexistantes		

Tableau 5.2 Représentation des fusibles fantômes. Dans l'ordre, représentez les fusibles des sorties inexistantes, puis ceux des lignes de produit inexistantes et enfin ceux des lignes d'entrée inexistantes.

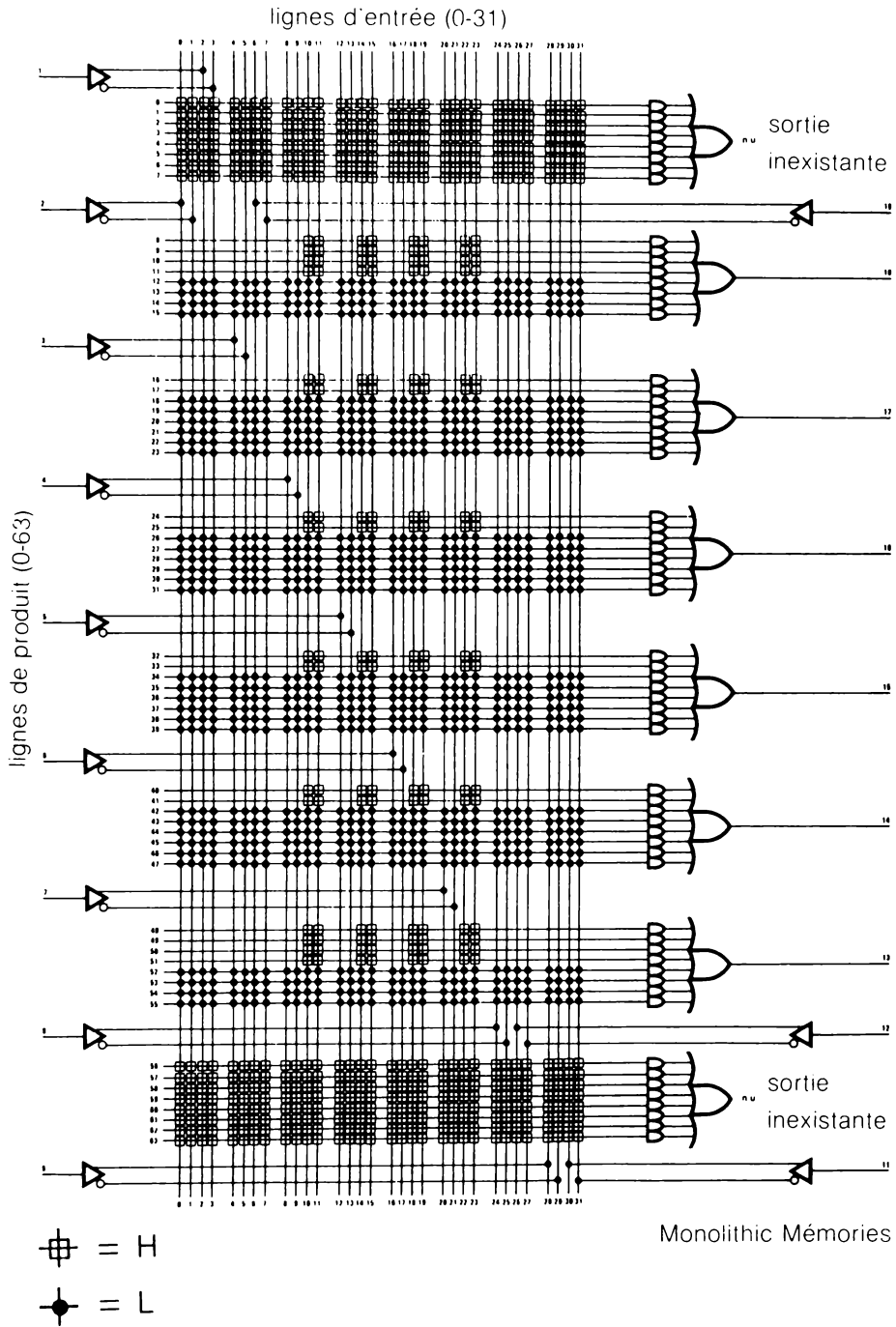


Figure 5.8 Fusibles fantômes du PAL12H6.

5.2.9 Exercice sur la convention de marquage des fusibles

Représentez tous les fusibles des puces programmables de la figure 5.9.

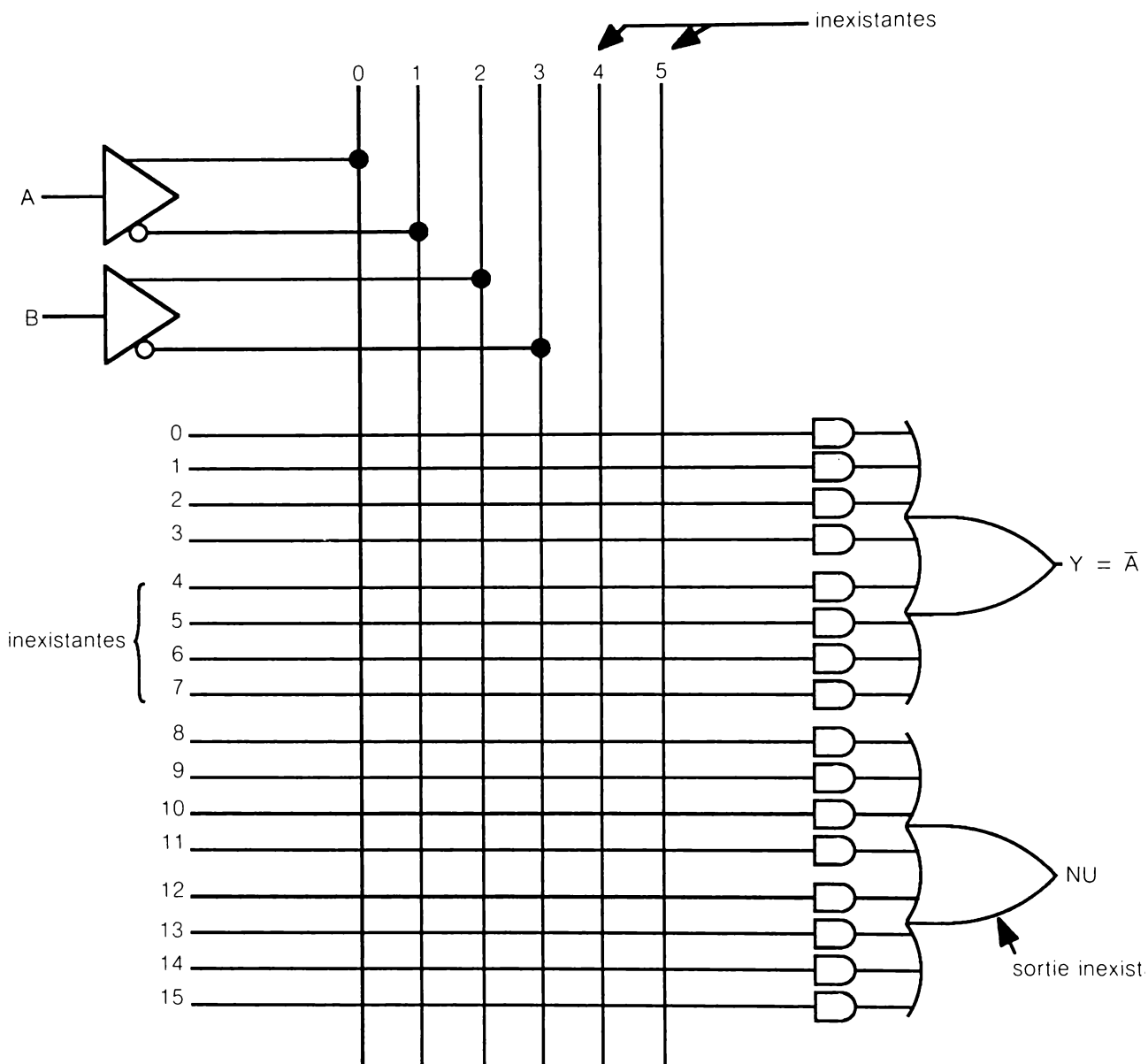
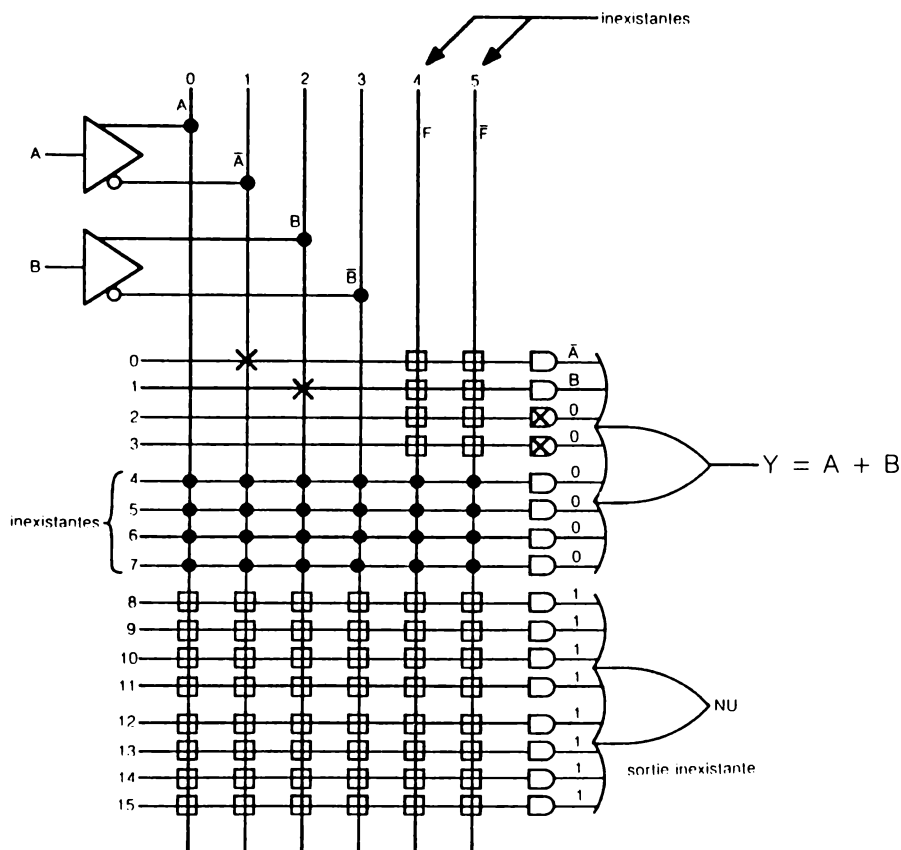


Figure 5.9 Pour l'exercice de 5.2.9.

Solution



- ◆ = fusible fantôme intact (niveau L)
- ⊕ = fusible fantôme sauté (niveau H)
- * = fusible réel intact
- ⊗ = tous les fusibles réels de cette ligne sont intacts
- ⊥ = fusible réel sauté

Figure 5.10 Pour la solution de l'exercice de 5.2.9.

Voir la figure 5.10. La simulation fusible par fusible donne

$$Y = 1\bar{A}1111 + 11B111 + A\bar{A}\bar{B}\bar{B}11 + A\bar{A}\bar{B}\bar{B}11 +$$

$$A\bar{A}\bar{B}\bar{B}\bar{F}\bar{F} + A\bar{A}\bar{B}\bar{B}\bar{F}\bar{F} + A\bar{A}\bar{B}\bar{B}\bar{F}\bar{F} + A\bar{A}\bar{B}\bar{B}\bar{F}\bar{F}$$

$$Y = \bar{A} + B + 0 + 0 + 0 + 0 + 0 + 0$$

$$Y = \bar{A} + B$$

5.2.10 Programmation machine et marquage des fusibles

Dans sa forme la plus élémentaire et la plus pédagogique, on représente une programmation de fusible sous un format compatible avec un programmeur de PROM commercial. La table 5.3 représente la programmation du PAL12H6 dont le circuit logique est donné à la figure 5.8. Les 32 lignes d'entrée sont en haut et les 64 lignes de produit à gauche. L'intersection de ces lignes donne 2048 fusibles groupés en 512 mots de 4 bits (du mot 0 au mot 1FF). Pour s'accoutumer avec cette table, il suffit de vérifier la correspondance logique et les emplacements des fusibles fantômes. Les cases libres correspondent aux fusibles réels en attente de programmation. Nous avons programmé graphiquement à la figure 5.11 la fonction $Y = AB + \bar{B}C$. La transposition de cette programmation graphique sur la table de programmation 5.4 ne pose aucun problème. On représente les 4 fusibles intacts par le symbole \mathcal{L} au lieu de L. En pratique cette différenciation entre fusibles réels et fusibles fantômes n'est pas nécessaire. Toutes les autres cases libres correspondent à des fusibles réels sautés. Ces cases libres devraient donc être remplies par le symbole H ou encore par le symbole \mathcal{H} si vous voulez marquer la différence entre les fusibles réels sautés et les fusibles fantômes sautés. Vous pouvez aussi remplir toutes les cases libres avec des H tracés au crayon rouge à pointe fine. C'est très beau et très soporifique !

La table 5.5 représente une portion de la table de programmation et sa transposition dans le format hexadécimal.

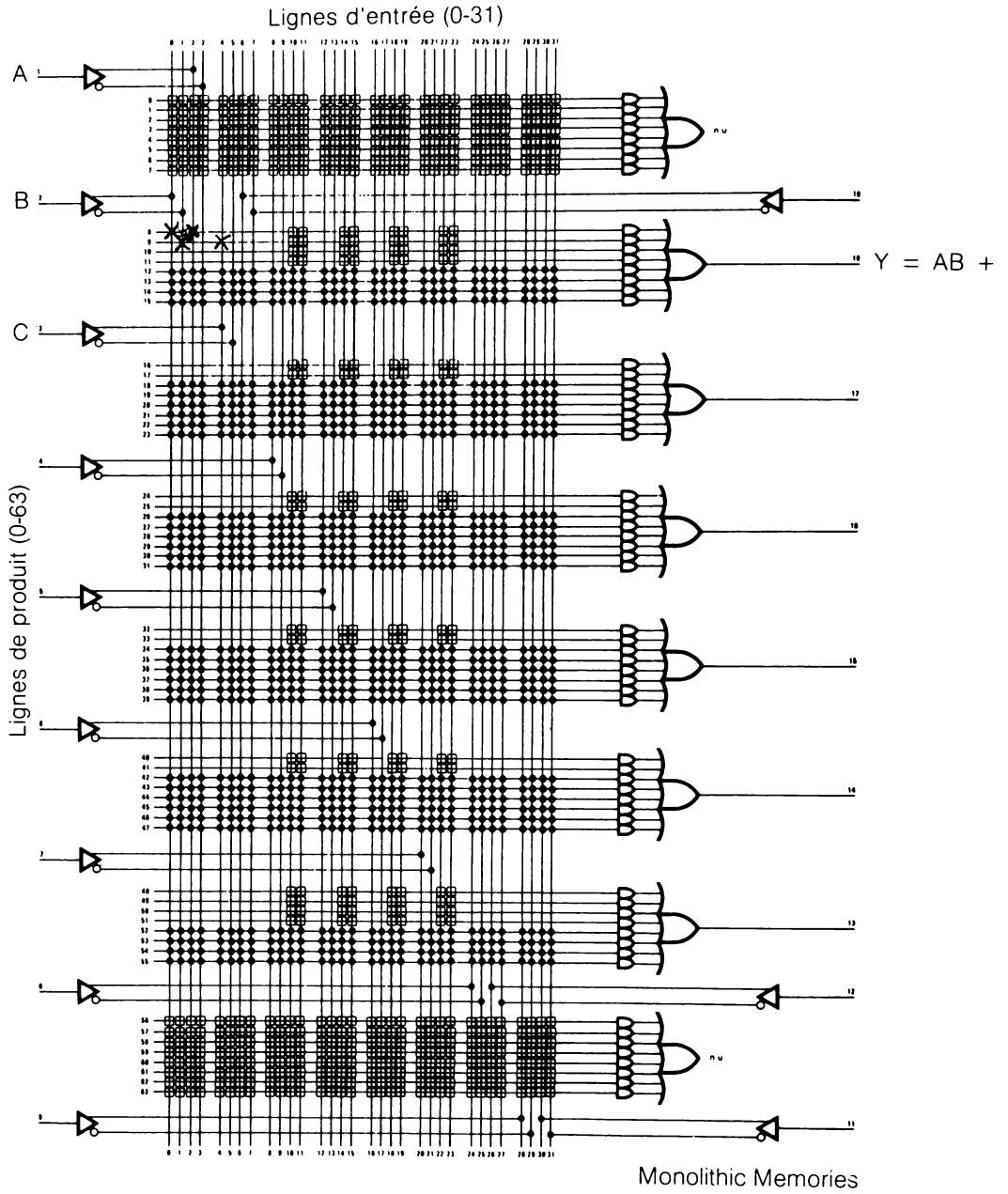


Figure 5.11 Programmation graphique de la fonction $Y = AB + \bar{B}C$ sur le schéma logique du PAL12H6.

lignes d'entrée (0-31)

	0	1	2	3	4	5	6	7	8	9	A	B	C
mot	0	1	2	3	4	5	6	7	8	9	A	B	C
04 24	℔	℔	℔	℔	℔	℔	℔	℔	℔	℔	H	H	℔
03 16	℔	℔	℔	℔	℔	℔	℔	℔	℔	℔	H	H	℔
02 8	℔	℔	℔	℔	℔	℔	℔	℔	℔	℔	H	H	
01 0	H	H	H	H	H	H	H	H	H	H	H	H	
mot	20	21	22	23	24	25	26	27	28	29	2A		
04 25	℔	℔	℔	℔	℔	℔	℔	℔	℔	℔	H		
03 17	℔	℔	℔	℔	℔	℔	℔	℔	℔	℔	H		
02 9	℔	℔	℔	℔	℔	℔	℔	℔	℔	℔			
01 1	H	H	H	H	H	H	H	H	H	H			

a)

↑ lignes de produit

H : fusible fantôme sauté
 ℔ : fusible réel sauté
 L : fusible fantôme intact
 ℔ : fusible réel intact

mot No	binaire				hex.
	O4	O3	O2	O1	
0	H	H	L	H	D
1	H	H	H	H	F
2	H	H	L	H	D
3	H	H	H	H	F
4	H	H	H	H	F
5	H	H	H	H	F
6	H	H	H	H	F
20	H	H	H	H	F
21	H	H	L	H	D
22	H	H	H	H	F
23	H	H	H	H	F
24	H	H	L	H	D
25	H	H	H	H	F
1FF	H	L	L	L	8

b)

**Tableau 5.5 a) Portion de la table de programmation de la table 5.4;
 b) Transposition de la table de programmation en code hexadécimal.**

5.3 Expériences de laboratoire

1. Planche programmable d'expérimentation

Soit le module représenté à la figure 5.12.

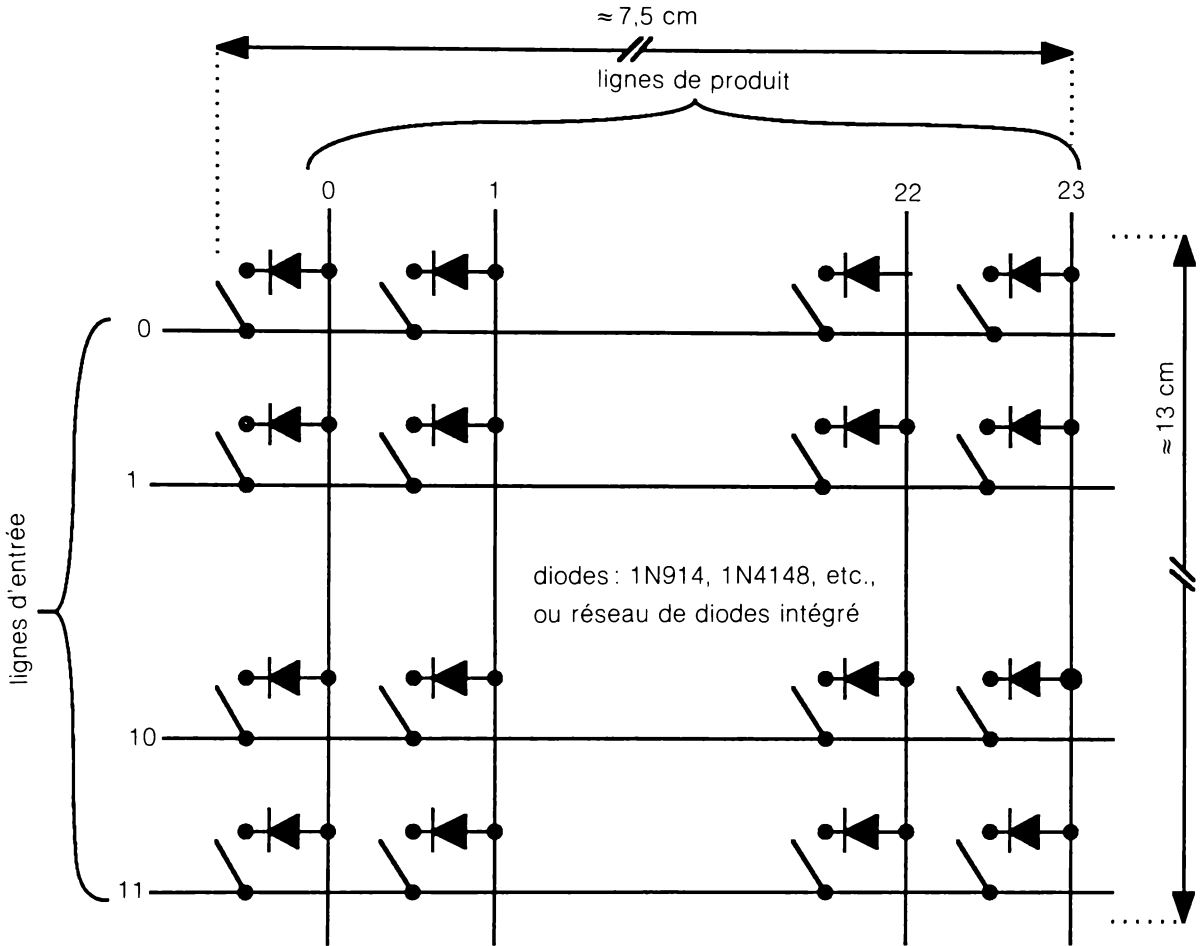


Figure 5.12 Planche programmable d'expérimentation pour l'expérience 1. Les dimensions sont données pour un montage avec interrupteurs DIP (*Dual-In-Line Package*, interrupteurs à positions multiples).

Ce module de 12 lignes d'entrée par 24 lignes de produit est équivalent aux 3/8 du réseau de fusibles des PAL série 20. Cela conviendra à tous vos besoins, mais vous êtes libre de diminuer ou d'augmenter le nombre de lignes ou d'en changer le rapport. Vous pouvez aussi (avec de la patience) faire tous les laboratoires proposés sur les puces programmables sans l'aide de cette planche. Quoi qu'il en soit notre conception de la logique est dès cet instant conforme à celle des circuits programmables. Remarquez que la fonction ET programmable obtenue sur la ligne de produit peut par inversion logique devenir une fonction OU programmable. La planche simulera donc les réseaux ET et OU programmables. Remarquez enfin qu'un commutateur fermé correspond à un fusible intact.

2. Réseau ET programmable

Soit le montage représenté à la figure 5.13.

- a) Réalisez le montage ;
- b) Par expérimentation, complétez la table de vérité ;
- c) Écrivez les équations de O1, O2, O3, O4.

Les croix sur la grille de programmation correspondent aux commutateurs fermés sur la planche programmable.

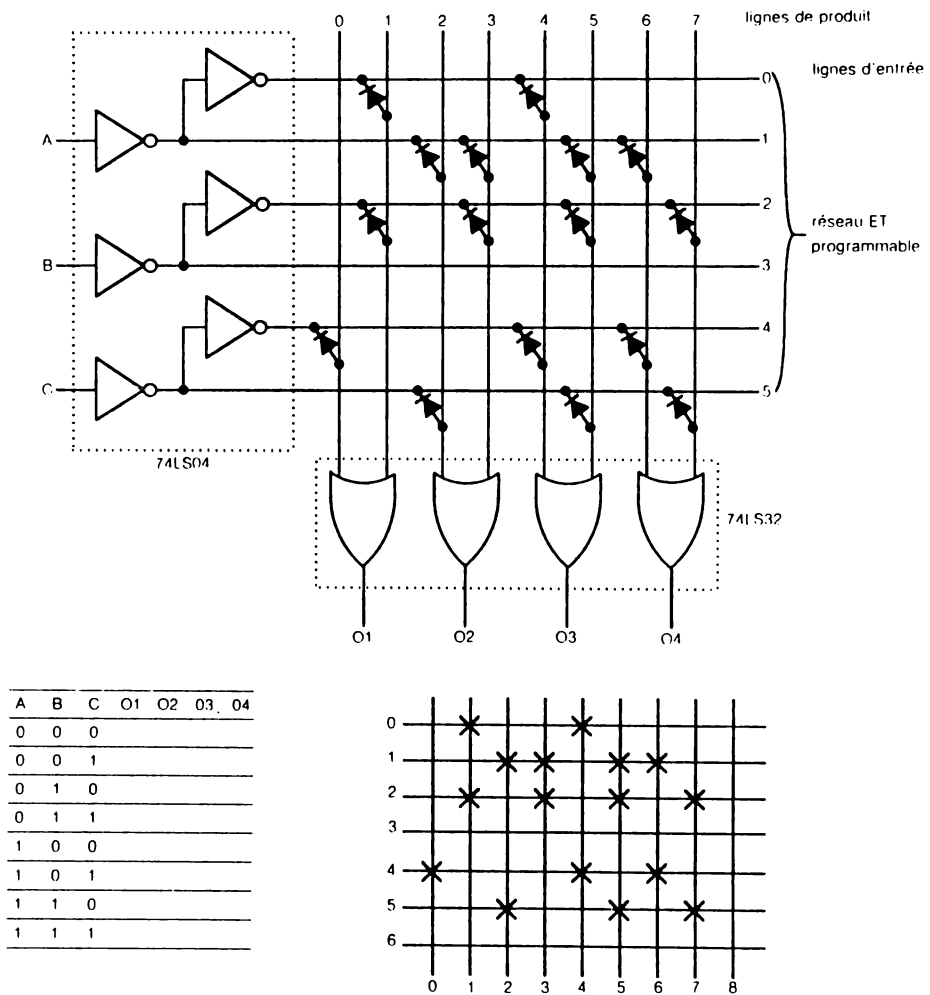


Figure 5.13 Pour l'expérience 2.

5.4 Problèmes

1. Utilisation d'une seule ligne de produit

Soit le montage de la figure 5.14.

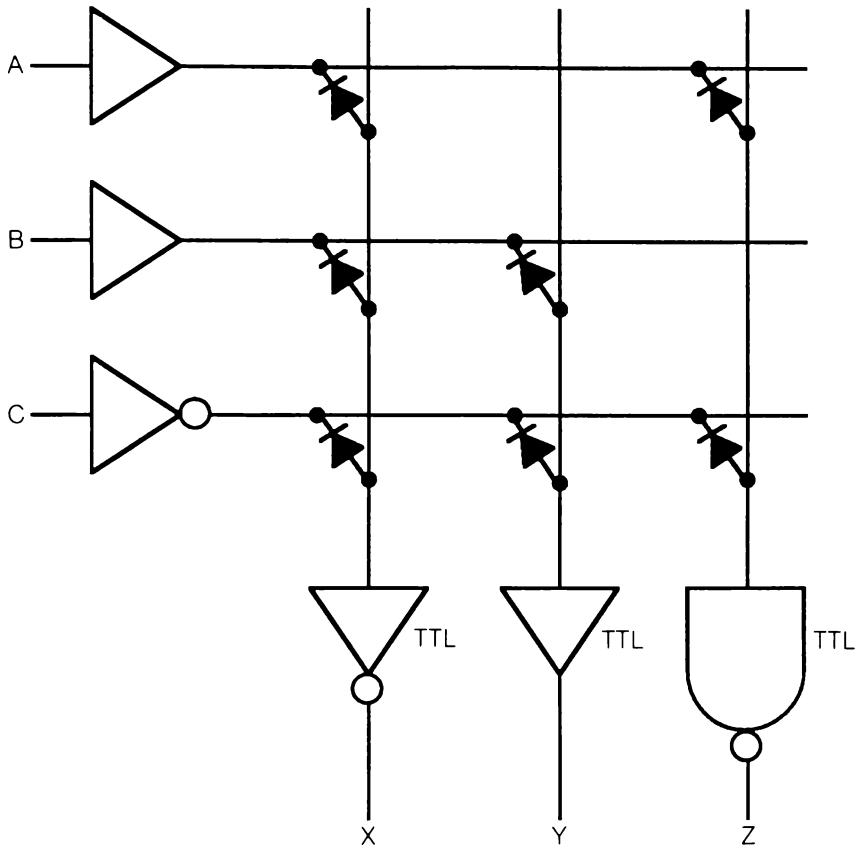


Figure 5.14 Pour le problème 1.

Trouvez les fonctions X, Y et Z.

2. Utilisation de deux lignes de produit

Soit le montage de la figure 5.15.

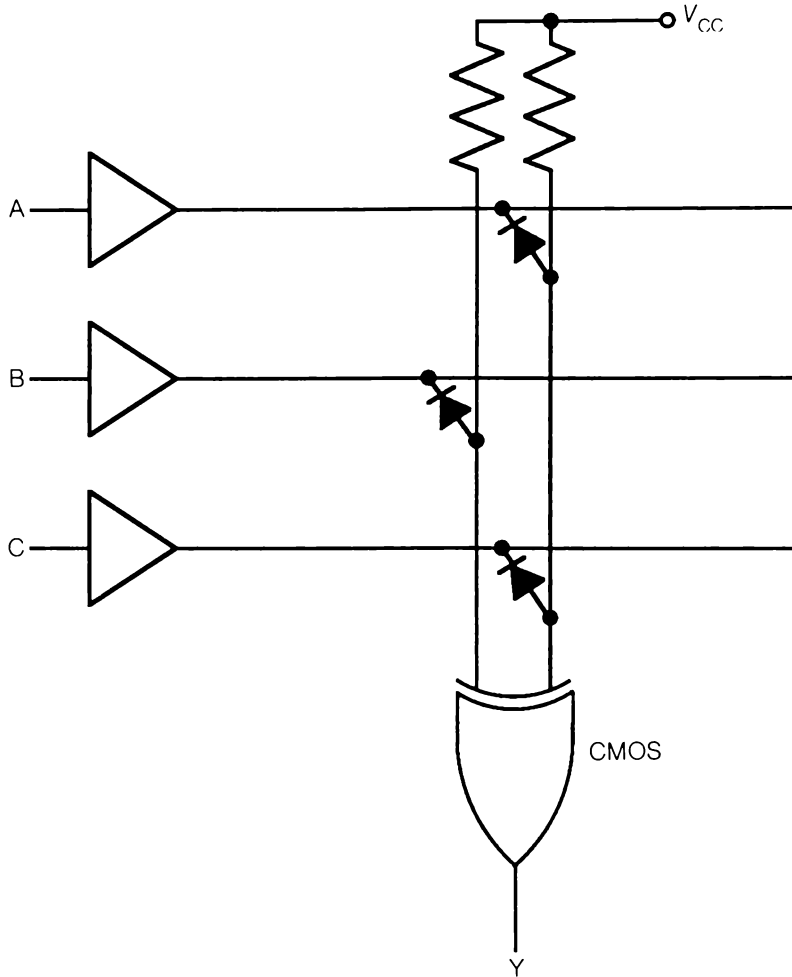


Figure 5.15 Pour le problème 2.

Trouvez la fonction de sortie Y.

3. Transformation d'un produit de sommes en somme de produits

Implantez la fonction $Y = (\bar{A}B + \bar{C})(A + \bar{B} + C)$ dans un PAL12H6.

4. Implantation d'une fonction complexe dans un PAL

Implantez la fonction $Y = A \oplus B \oplus C$ dans un PAL12H6.

5. Fusibles intacts

On implante la multifonction suivante sur le PAL12H6

$$Y = \bar{A}B + A\bar{B}C$$

$$Z = ADE + \bar{B}CD$$

- a) Déterminez le nombre de fusibles intacts aux intersections;
- b) Déterminez le nombre de portes ET marquées par le symbole du fusible intact.

6. Fusibles intacts et fusibles détruits

On implante la fonction $Y = \bar{A}(CD + \bar{C}\bar{D}) + \bar{B}(CD + \bar{C}\bar{D})$ sur le PAL12H6. Déterminez :

- a) Le nombre de fusibles intacts aux intersections ;
- b) Le nombre de portes ET marquées par le symbole de fusible intact ;
- c) Le nombre total de fusibles intacts ;
- d) Le nombre de fusibles détruits.

PAL **série 20** **et série 24**

6

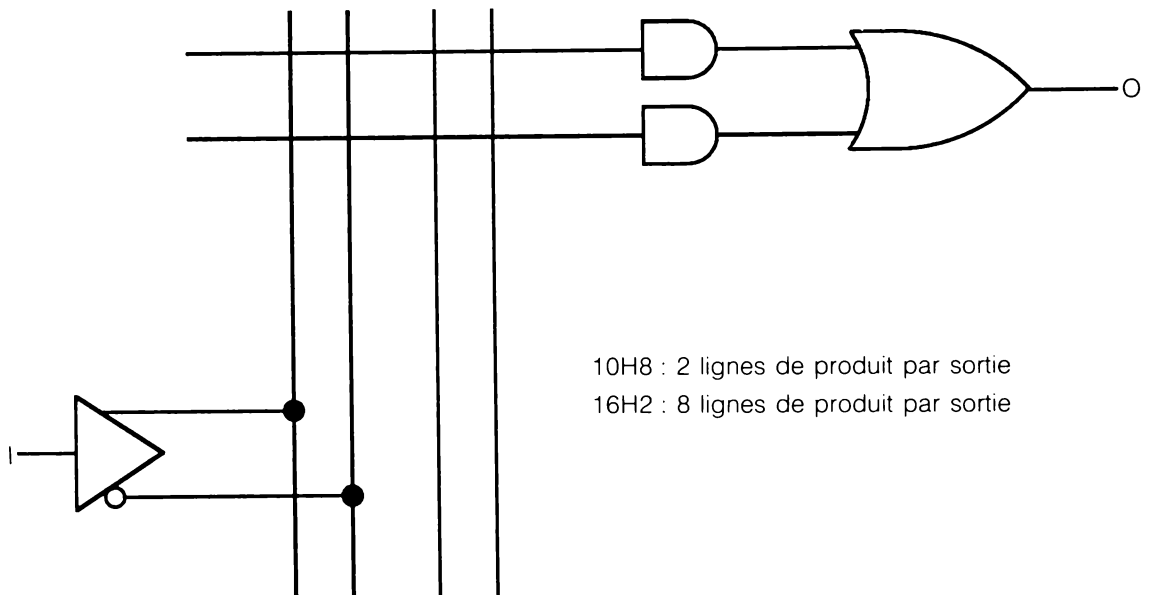
6.1 Objectifs

Après étude de ce chapitre, l'étudiant devra savoir

1. Écrire les équations généralisées d'un PAL en configuration directe ou inversée.
2. Trouver le PAL qui convient à une application spécifique.
3. Remplacer certains composants de la famille 74 par des composants équivalents préprogrammés.
4. Programmer les fonctions de sortie d'un PAL.

6.2 PAL en configuration sortie directe

Naturellement, nous retrouvons le sempiternel 12H6 dans cette configuration de base à quatre circuits de la série à 20 broches (figure 6.1).



n°	entrée I	sortie O	standard	série rapide	(monolithic memories)		broche
					1/2 puissance	1/4 puissance	
10H8	10	8	PAL 10H8		PAL 10H8-2		20
			HAL 10H8		HAL 10H8-2		
12H6	12	6	PAL 10H6		PAL 10H6-2		20
			HAL 10H6		HAL 10H6-2		
10H4	14	4	PAL 10H4		PAL 10H4-2		20
			HAL 10H4		HAL 10H4-2		
10H2	16	2	PAL 10H2		PAL 10H2-2		20
			HAL 10H2		HAL 10H2-2		

Figure 6.1 PAL en configuration sortie directe.

Chaque PAL a un petit frère HAL (*Hard Array Logic*) qui est un PAL programmable sur demande par le fabricant. Au lieu de détruire des fusibles, le constructeur remplace simplement les fusibles intacts par des métallisations. Cette technique est rentable dans le cas de l'utilisation d'un grand nombre de circuits identiques.

Le 10H8 permet d'implanter une multifonction de la forme somme de produits :

$$O1 = f1 (I1, I2, \dots, I10) + f2 (I1, I2, \dots, I10)$$

$$O2 = f3 (I1, I2, \dots, I10) + f4 (I1, I2, \dots, I10)$$

$$O8 = f15 (I1, I2, \dots, I10) + f16 (I1, I2, \dots, I10)$$

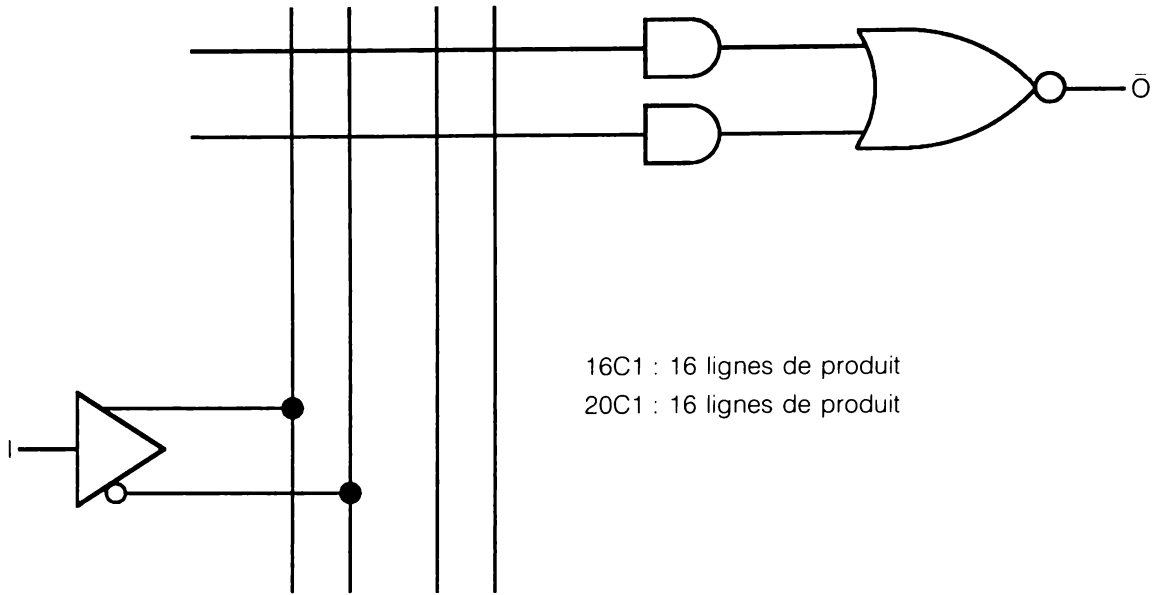
Le 16H2 permet d'implanter une multifonction de la forme somme de produits :

$$O1 = f1 (I1, I2, \dots, I16) + f2 (I1, I2, \dots, I16) + \dots + f8 (I1, I2, \dots, I16)$$

$$O2 = f9 (I1, I2, \dots, I16) + f10 (I1, I2, \dots, I16) + \dots + f16 (I1, I2, \dots, I16)$$

6.3 PAL en configuration sortie inversée

C'est quantitativement la configuration la plus imposante. Rien d'étonnant puisque la sortie de la plupart des circuits intégrés de base est inversée. La figure 6.2 représente le principe de cette configuration.



n°	entrée I	sortie O	standard	série rapide	(monolithic memories)		broches
					1/2 puissance	1/4 puissance	
10L8	10	8	PAL 10L8		PAL 10L8-2		20
			HAL 10L8		HAL 10L8-2		
12L6	12	6	PAL 12L6		PAL 12L6-2		20
			HAL 12L6		HAL 12L6-2		
14L4	14	4	PAL 14L4		PAL 14L4-2		20
			HAL 14L4		HAL 14L4-2		
16L2	16	2	PAL 16L2		PAL 16L2-2		20
			HAL 16L2		HAL 16L2-2		
12L10	12	10	PAL 12L10				24
			HAL 12L10				
14L8	14	8	PAL 14L8				24
			HAL 14L8				
16L6	16	6	PAL 16L6				24
			HAL 16L6				
18L4	18	4	PAL 18L4				24
			HAL 18L4				
20L2	20	2	PAL 20L2				24
			HAL 20L2				

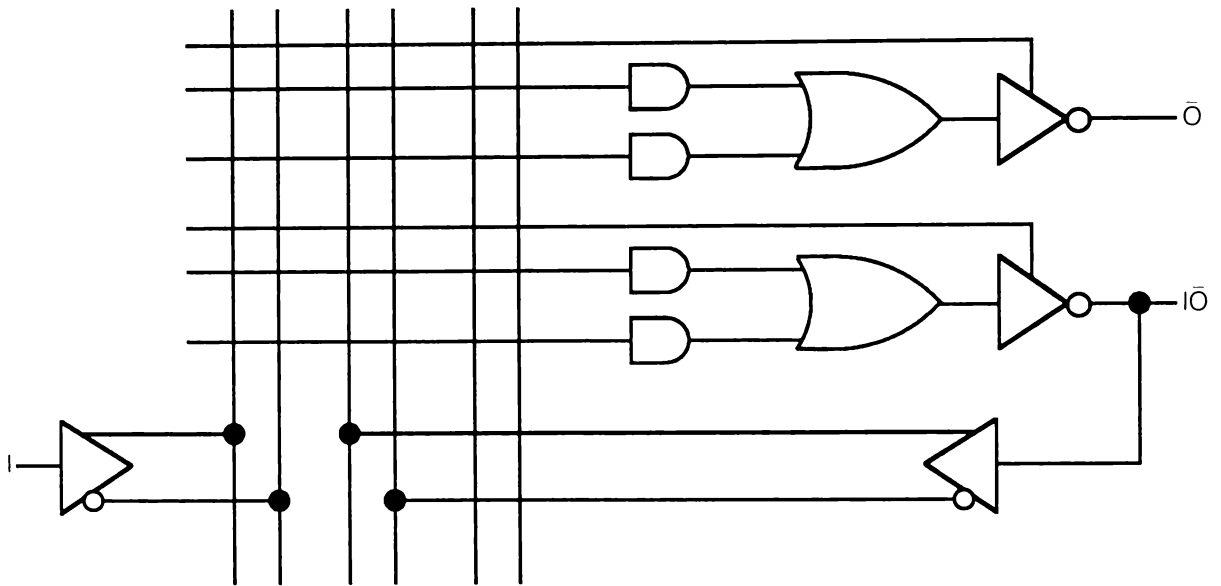
Figure 6.2 PAL en configuration sortie inversée.

L'équation de sortie est de la forme inversion d'une somme de produits :

$$\bar{O} = \overline{f_1(I_1, I_2, I_3, \dots) + f_2(I_1, I_2, I_3, \dots) + \dots}$$

6.5 PAL en configuration sortie programmable

Une grande souplesse d'utilisation des fonctions entrée-sortie et une commande sélective de mise à l'état 3 des sorties caractérisent ces PAL.



n°	entrée		sortie		standard	série rapide	(monolithic memories)		broches
	I	I \bar{O}	\bar{O}	I \bar{O}			1/2 puissance	1/4 puissance	
16L8	10	6	2	6	PAL 16L8 HAL 16L8	PAL 16L8A HAL 16L8A	PAL 16L8A-2 HAL 16L8A-2	PAL 16L8A-4 HAL L6L8A-4	20
20L8	14	6	2	6		PAL 20L8A HAL 20L8A			24
20L10	12	8	2	8	PAL 20L10 HAL 20L10				24

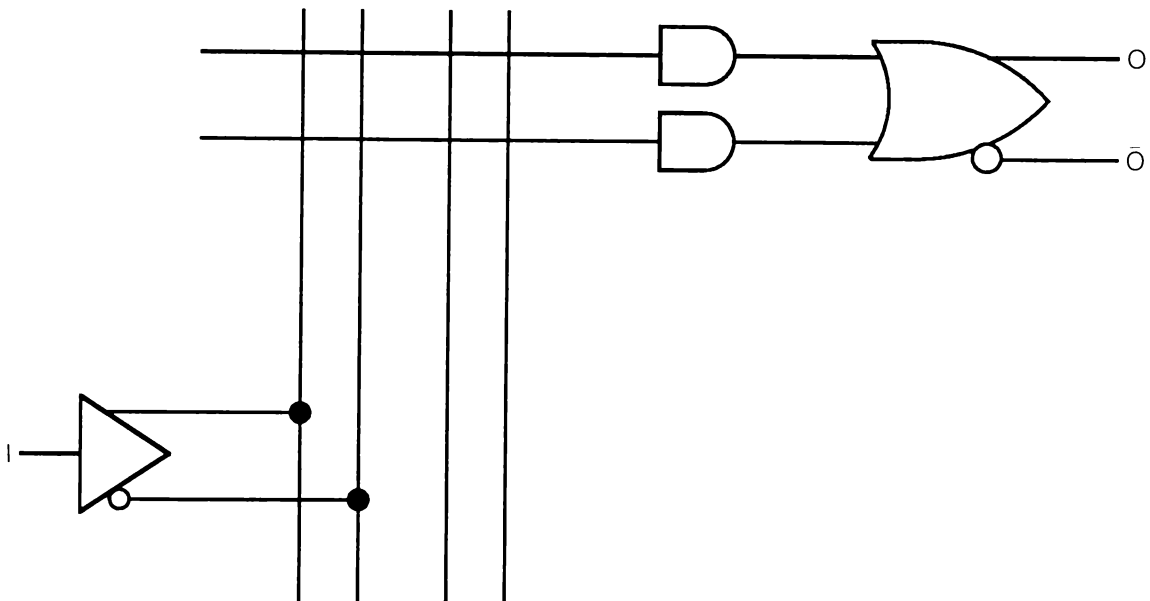
Figure 6.4 PAL en configuration sortie programmable.

On remarque à la figure 6.4 :

- a) Deux sorties \bar{O} qui peuvent être mises à l'état 3 par la ligne de produit réservée à cette fonction ;
- b) Six ou huit broches I \bar{O} programmées en entrée si la commande d'état 3 est au niveau bas et en sortie réinjectée si la commande d'état 3 est au niveau haut. Cette configuration est souvent indispensable pour l'interface avec des microprocesseurs.

6.4 PAL en configuration sortie complémentée

Ces deux circuits (figure 6.3) n'ont qu'une sortie directe et une sortie inversée alimentée par 16 lignes de produit. On devine qu'ils sont facilement programmables en multiplexeur 12 vers 1 pour le 16C1 et en multiplexeur 16 vers 1 pour le 20C1. Les quatre lignes d'entrée restantes pilotent la sélection. Cette fonction simple n'est pas la seule qu'on peut implanter sur ces deux circuits.

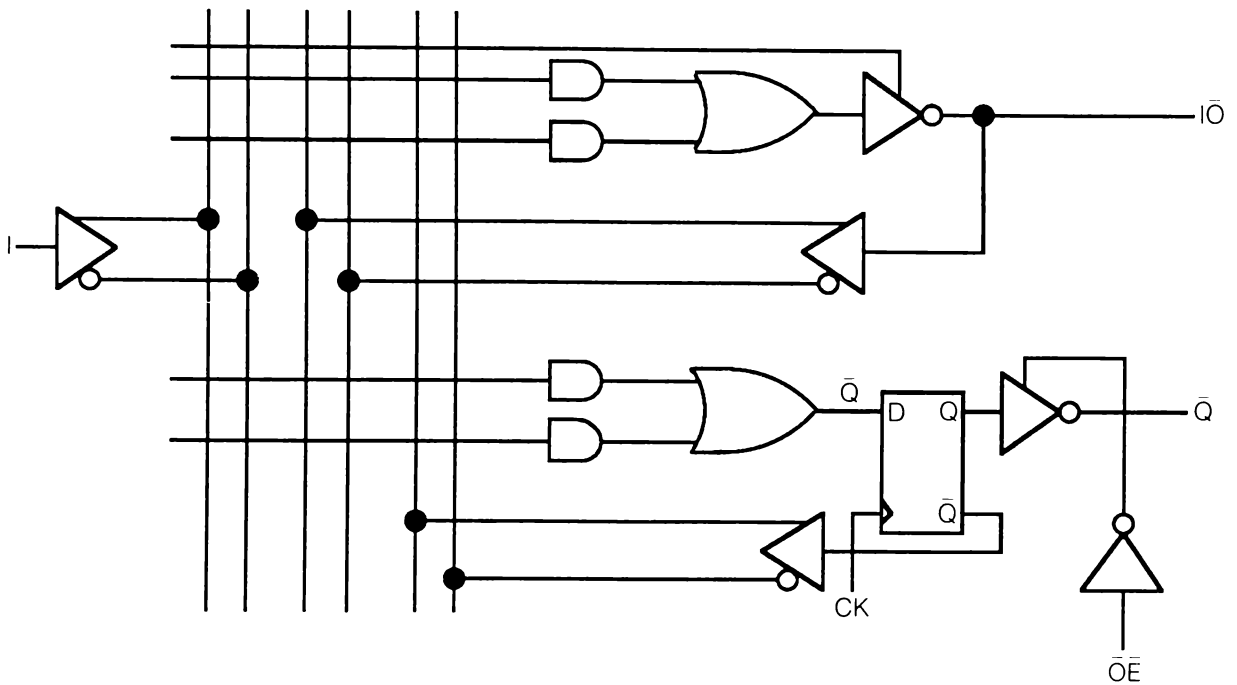


n°	entrée	sortie		standard	série rapide	(monolithic memories)		broches
		O	\bar{O}			1/2 puissance	1/4 puissance	
16C1	16	1	1	PAL 16C1 HAL 16C1		PAL 16C1-2 HAL 16C1-2		20
20C1	20	1	1	PAL 20C1 HAL 20C1				24

Figure 6.3 PAL en configuration sortie complémentée.

6.6 PAL en configuration sortie registre

En plus des broches programmées (excepté sur le 16R8 et le 20R8), les circuits de la figure 6.5 comportent des bascules D qui emmagasinent la somme des produits à la transition haute de l'horloge CK. La commande \overline{OE} force les sorties \overline{Q} à l'état 3. De plus, on réinjecte la sortie \overline{Q} (comme état précédent) dans le réseau des lignes d'entrée. On peut implanter presque tous les circuits séquentiels sur cette configuration.

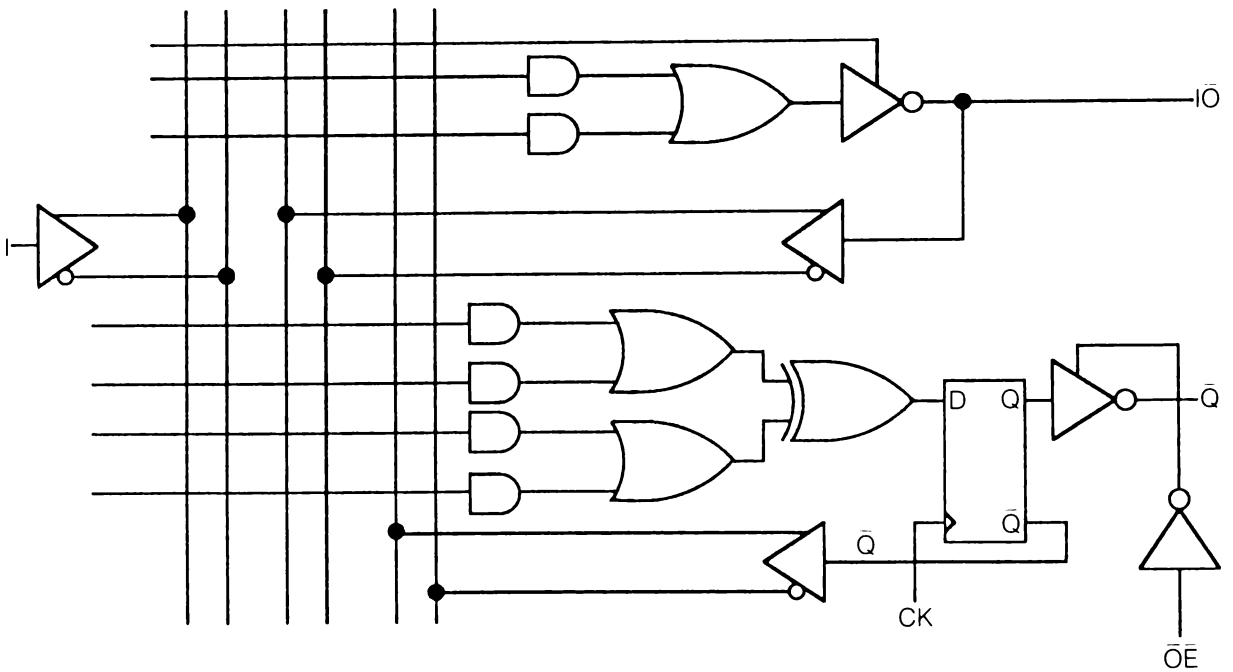


n°	entrée		sortie		standard	série rapide	(monolithic memories)		broches	
	I	$\overline{I\bar{O}}$	\overline{Q}	$\overline{I\bar{O}}$			\overline{Q}	1/2 puissance		1/4 puissance
16R8	8	8	8	8	PAL 16R8 HAL 16R8	PAL 16R8A HAL 16R8A	PAL 16R8A-2 HAL 16R8A-2	PAL 16R8A-4 HAL 16R8A-4	20	
16R6	8	2	6	2	6	PAL 16R6 HAL 16R6	PAL 16R6A HAL 16R6A	PAL 16R6A-2 HAL 16R6A-2	PAL 16R6A-4 HAL 16R6A-4	20
16R4	8	4	4	4	4	PAL 16R4 HAL 16R4	PAL 16R4A HAL 16R4A	PAL 16R4A-2 HAL 16R4A-2	PAL 16R4A-4 HAL 16R4A-4	20
20R8	12	8	8			PAL 20R8A HAL 20R8A				24
20R6	12	2	6	2	6	PAL 20R6A HAL 20R6A				24
20R4	12	4	4	4	4	PAL 20R4A HAL 20R4A				24

Figure 6.5 PAL en configuration sortie registre.

6.7 PAL en configuration OU exclusif

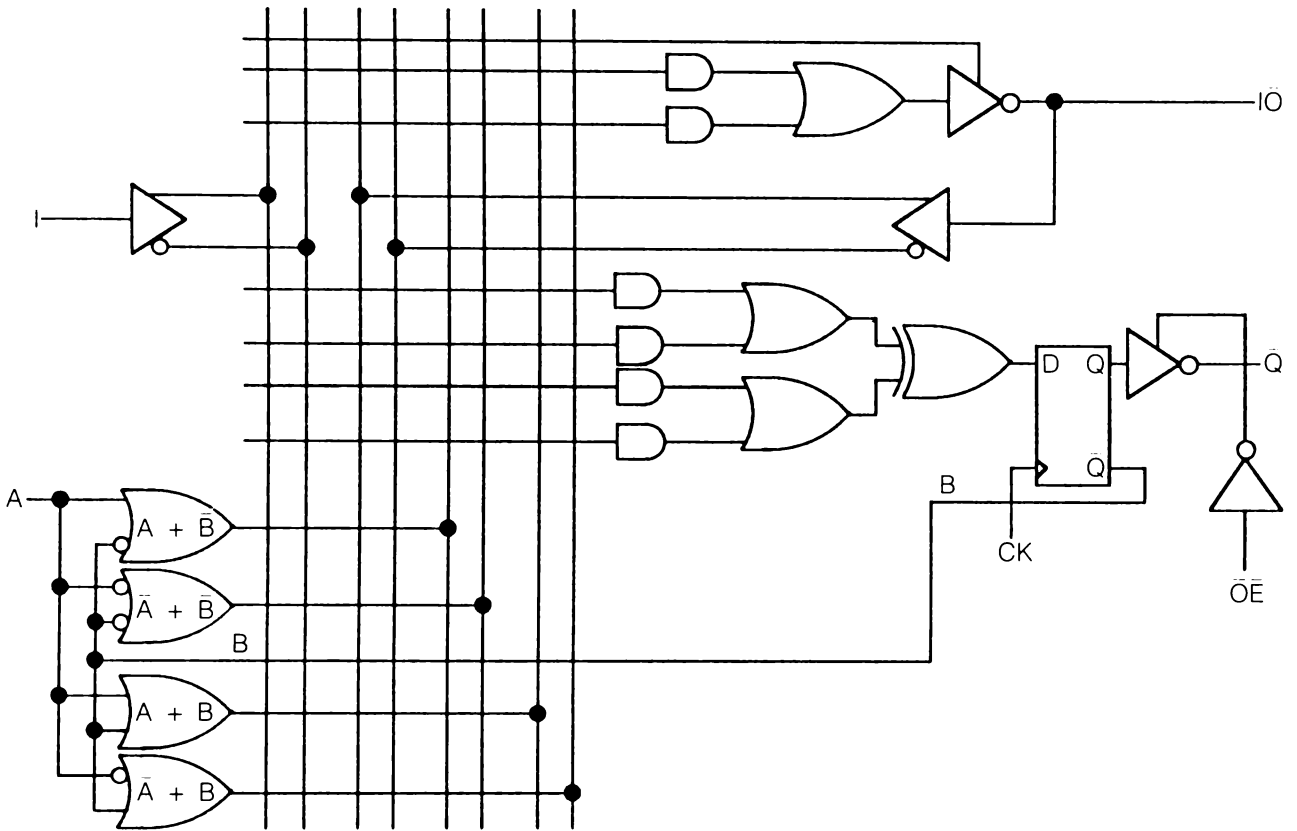
La caractéristique principale de cette configuration représentée à la figure 6.6 est de simplifier la logique de commande des registres pour les fonctions maintien, chargement, incrémentation, etc.



n°	entrée		sortie		standard	série rapide	1/2 puissance	1/4 puissance	broches
	I	IO	Q	IO					
20X10	10	10	10	10	PAL 20X10 HAL 20X10				24
20X8	10	2	8	2	8	PAL 20X8 HAL 20X8			24
20X4	10	6	4	6	4	PAL 20X4 HAL 20X4			24

Figure 6.6 PAL en configuration OU exclusif.

6.8 PAL en configuration arithmétique



n°	entrée				sortie		standard	série rapide	1/2 puissance	1/4 puissance	broches
	I	IO	A	B	IO	Q					
16X4	4	4	4	4	4	4	PAL 16X4 HAL 16X4				20
16A4	4	4	4	4	4	4	PAL 16A4 HAL 16A4				20

Figure 6.7 PAL en configuration arithmétique.

Ces deux circuits autorisent facilement les fonctions d'addition, de soustraction, de comparaison, de détection, de correction, etc. Le 16x4 représenté à la figure 6.7 diffère du 16A4 par une fonction report de l'opération précédente préprogrammée par le fabricant dans le PAL16A4.

Remarques sur la figure 6.8 :

- a) Toutes les sorties sont programmables en direct ou en inverse selon que le fusible de polarité à l'entrée de la porte OU exclusif est détruit ou laissé intact. Ce fusible est accessible à partir des brochages et des tables de programmation des fusibles de ligne ;
- b) On met chaque sortie à l'état 3 en appliquant un niveau bas sur sa ligne de produit. Se rappeler que cette ligne de produit permet aussi l'utilisation en entrée ou en sortie des broches IO ;
- c) Quatre paires de sorties (15 et 16, 17 et 18, 19 et 20, 21 et 22) se partagent 16 lignes de produit. Chacune de ces 8 sorties est donc de l'une des deux formes suivantes :
 1. $\overline{IO} = f_1(I) + f_2(I) + \dots + f_{16}(I)$ si le fusible de polarité est sauté ;
 2. $\overline{IO} = f_1(I) + f_2(I) + \dots + f_{16}(I)$ si le fusible de polarité est intact.

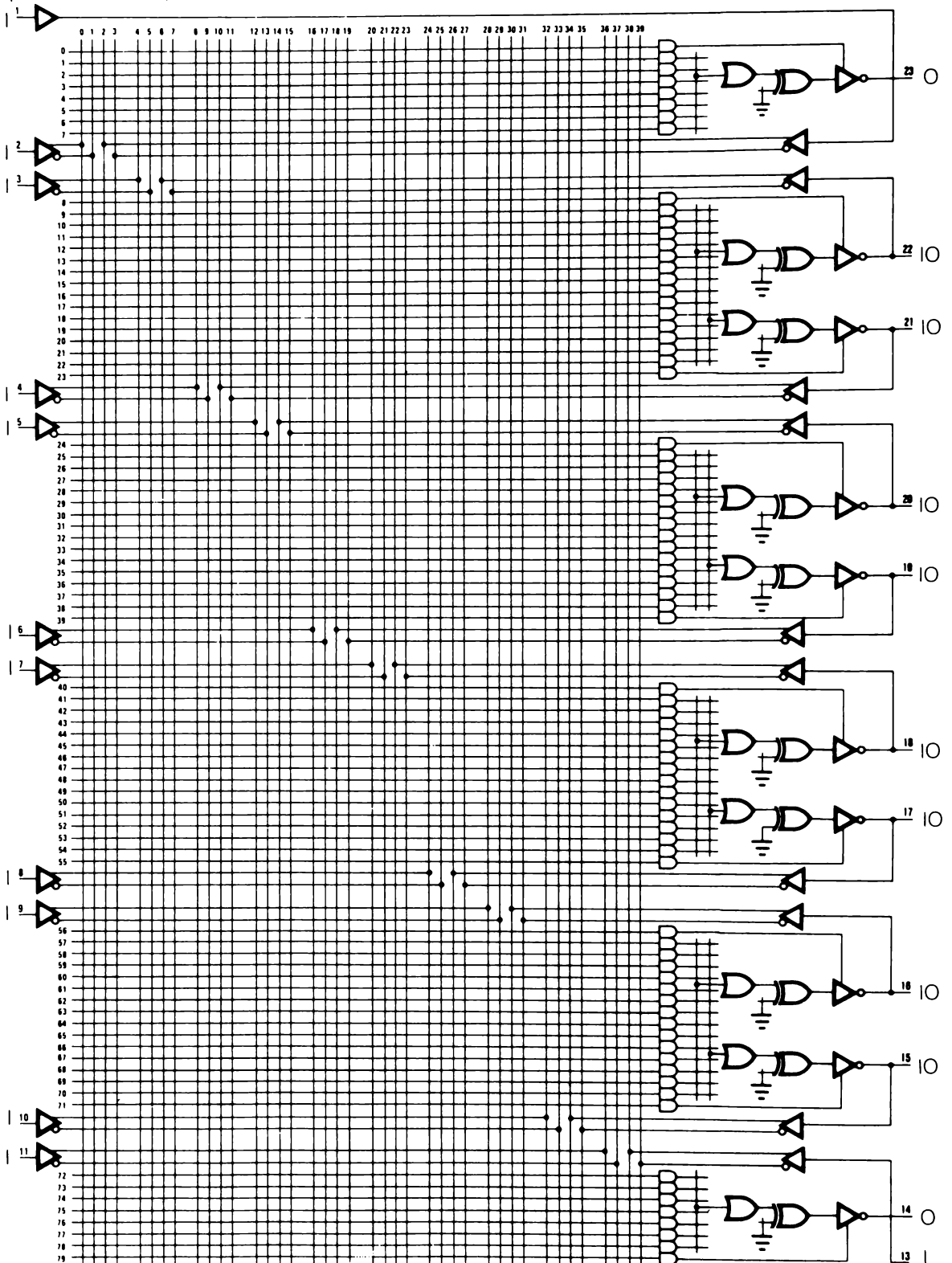
Les trois autres circuits de cette configuration sont le 20RS4, le 20RS8 et le 20RS10 schématisés respectivement aux figures 6.9, 6.10 et 6.11. L'élément nouveau de ces trois circuits est une série de bascules implantées de telle manière qu'on les retrouve toujours à zéro lors d'une remise en service du PAL. De plus, on peut précharger individuellement ces bascules selon la procédure suivante :

- a) Amener la tension V_{CC} à 4,5 V ;
- b) Forcer toutes les sorties \overline{Q} à l'état 3 par un niveau haut sur la broche \overline{OE} ;
- c) Présenter le niveau haut ou bas sur les sorties que l'on désire précharger ;
- d) Faire passer la tension de la broche 10 de V_{IL} à 11,5 V durant au moins 100 ns ;
- e) Rétablir l'état 2 des sorties en ramenant la broche \overline{OE} au niveau bas ;
- f) Vérifier l'état des sorties préchargées.

Le tableau 6.1 résume les combinaisons entrée-sortie des quatre circuits de cette configuration.

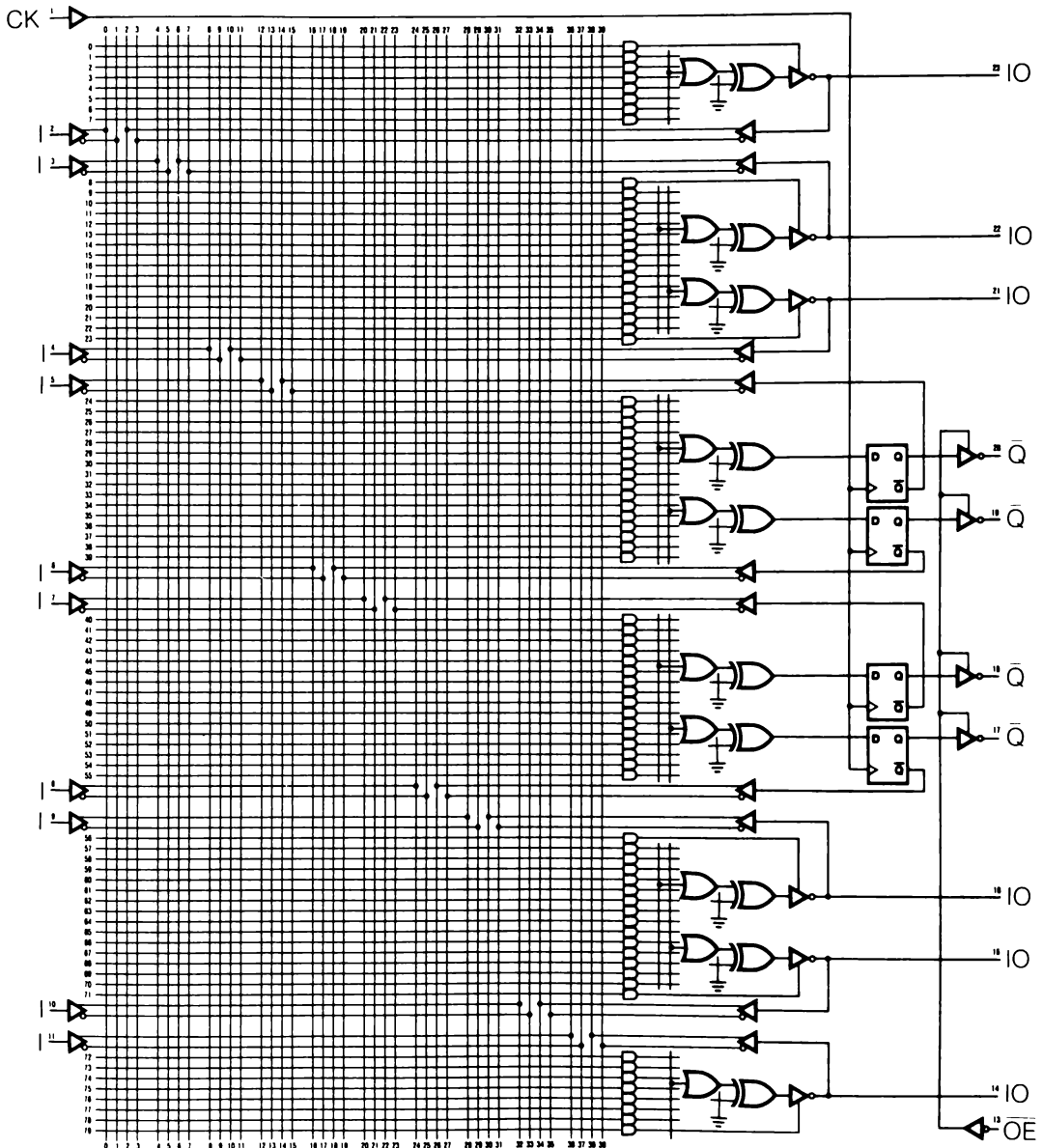
6.9 PAL en configuration produit partagé

Le premier des quatre circuits de cette configuration est le PAL20S10.



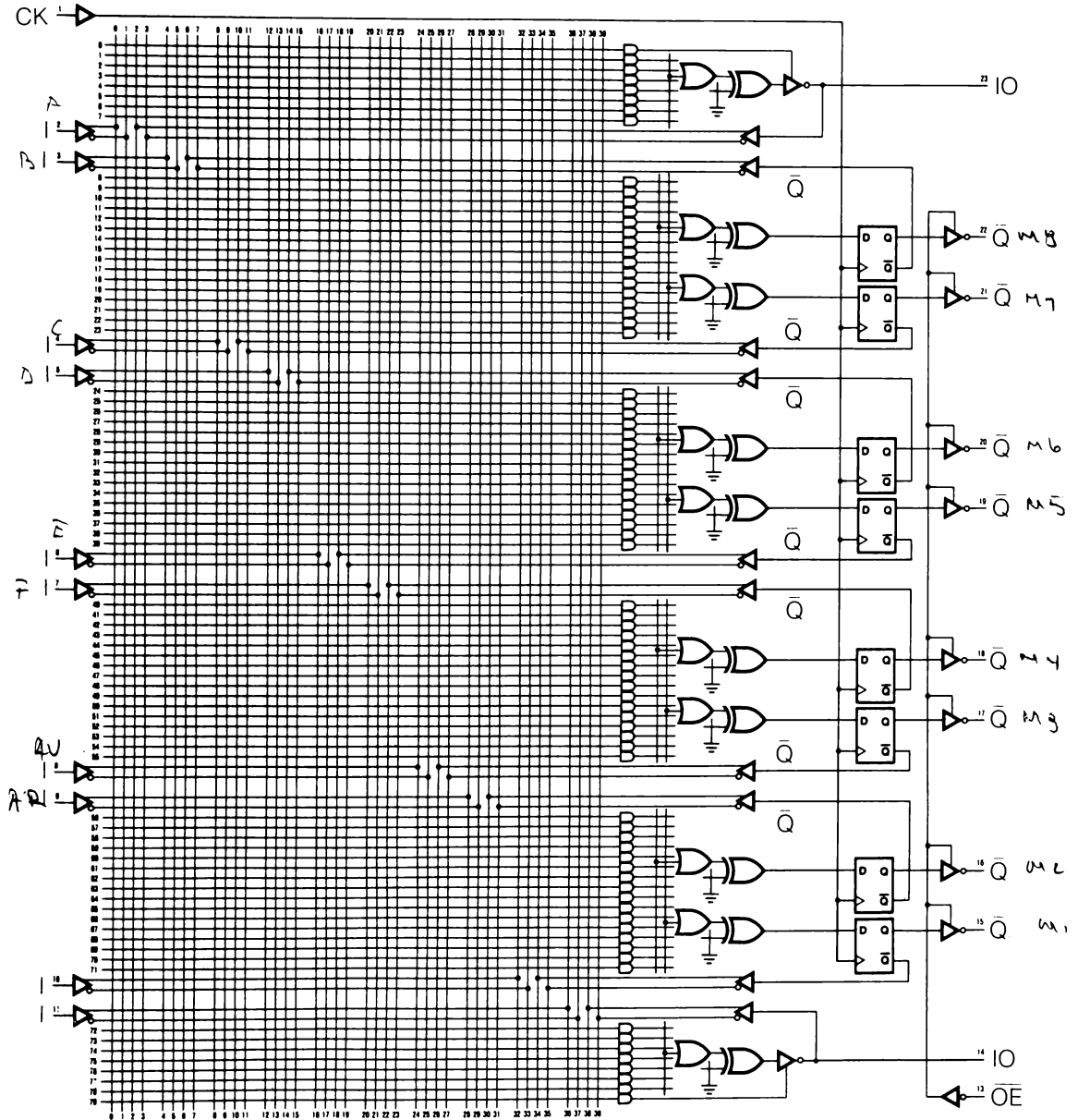
Monolithic Memories

Figure 6.8 Diagramme logique du PAL20S10 en configuration produit partagé.



Monolithic Memories

Figure 6.9 Diagramme logique du PAL20RS4 en configuration produit partagé.



Monolithic Memories

Figure 6.10 Diagramme logique du PAL20RS8 en configuration produit partagé.

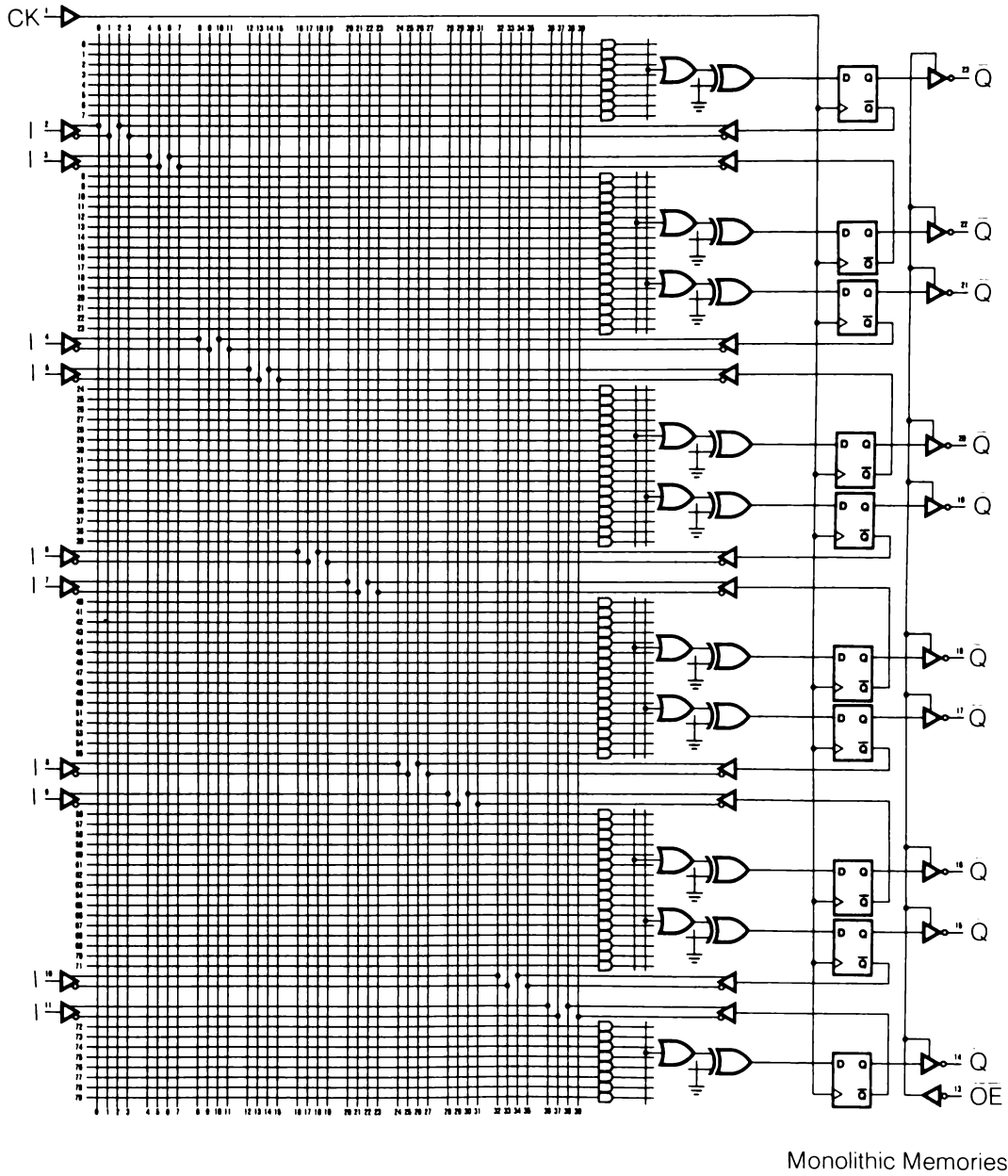


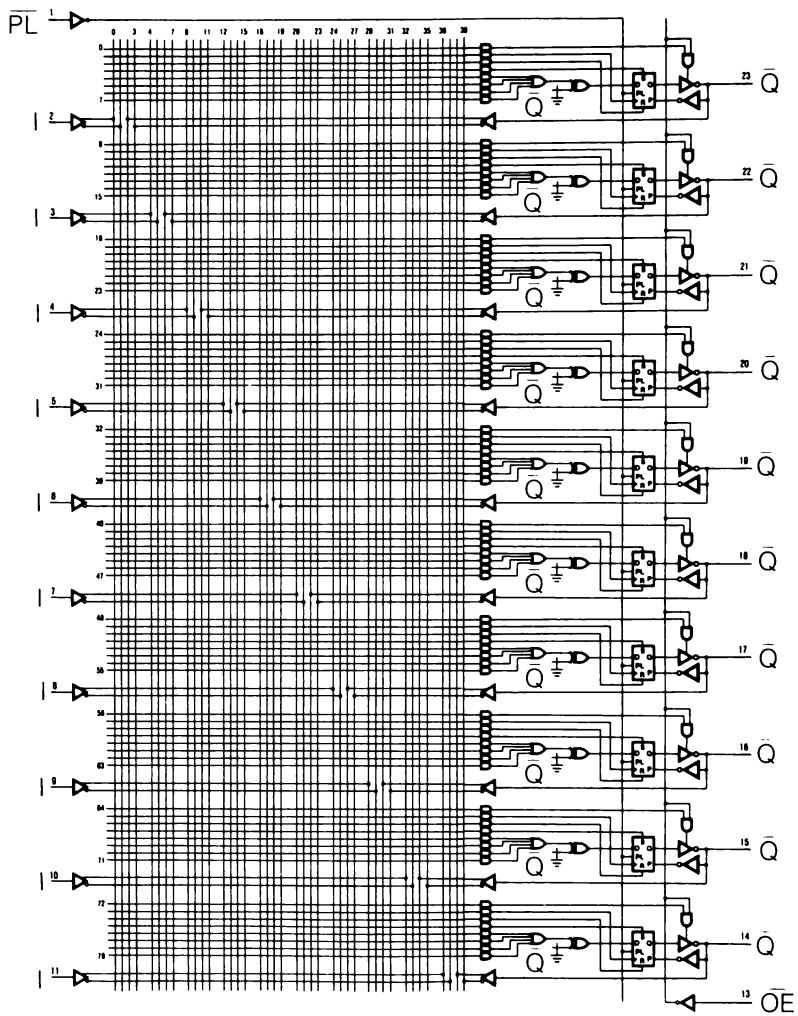
Figure 6.11 Diagramme logique du PAL20RS10 en configuration produit partagé.

Tableau 6.1 PAL en configuration produit partagé.

n°	entrée			sortie à broches		
	I	IO	Q̇	O	IO	Q
20S10	12	8		2	8	24
20RS4	10	6	4	6	4	24
20RS8	10	2	8	2	8	24
20RS10	10		10		10	24

6.10 PAL en configuration registre asynchrone

Le circuit qui inaugure cette configuration est le PAL20RA10 de la figure 6.12. Chaque cellule de sortie est constituée d'une bascule dont le fonctionnement est assez particulier :



Monolithic Memories

Figure 6.12 Diagramme logique du PAL20RA10 en configuration registre asynchrone.

- a) L'horloge de chaque bascule (individuellement programmable) commande le transfert de la donnée D à la sortie Q si les lignes de produit S et R sont au niveau bas.
- b) Si la ligne de produit S est au niveau haut, la sortie Q est prioritairement au niveau haut.
- c) Si la ligne de produit R est au niveau haut, la sortie Q est prioritairement au niveau bas.
- d) Si les lignes de produit S et R sont au niveau haut, la bascule est transparente ($Q = D$). On fonctionne alors en logique combinatoire.
- e) Toutes les sorties passent de force à l'état 3 si la broche \overline{OE} est au niveau haut. En particulier, une sortie passe de force à l'état 3 si sa ligne de produit est au niveau bas.
- f) On précharge une cellule de la façon suivante :
 - 1. Forcer la sortie à l'état 3 ;
 - 2. Présenter le niveau H ou L désiré sur la sortie ;
 - 3. Envoyer une impulsion négative sur la broche \overline{PL} .
- g) On programme la sortie en direct (en inverse) en brûlant (en laissant intact) son fusible de polarité.

Caractéristiques de ce circuit de 24 broches :

10 entrées I

10 entrées \overline{Q}

10 sorties à double polarité \overline{Q}

6.11 Circuits programmés HMSI

Les circuits HMSI (*Hard Medium Scale Integration*) sont des PAL de la série 24 broches programmés par le fabricant en fonction du marché général et non en fonction d'une demande particulière d'un client. Les fonctions implantées sur les HMSI concurrencent, complètent ou remplacent certaines fonctions implantées dans la série 74LS comme en témoigne le tableau 6.2.

Tableau 6.2 Guide et équivalence des circuits programmés HMSI.

n° du HMSI	n° du PAL d'origine	fonction	remarques
74LS461	20X8	compteur octal	semblable à deux 74LS161
74LS469	20X8	compteur octal bidirectionnel	semblable à deux 74LS169
74LS498	20X8	registre octal	semblable au 74LS198
74LS380	20R8	registre octal	cumule les propriétés du 74LS273 et du 74LS374
74LS491	20X10	compteur 10 bits	semblable à deux 74LS191
74LS450	20C1	multiplexeur 16 :1	équivalent au 74LS150
74LS451	20L1	double multiplexeur 8 :1	équivalent à deux 74LS151
74LS453	18L4	quadruple multiplexeur 4 :1	équivalent à deux 74LS153
74LS460	20C1	comparateur 10 bits	

6.12 Résumé des PAL des séries 20 et 24

Les PAL sont des circuits programmés par l'utilisateur. Les HAL sont des PAL programmés en usine à la demande de l'utilisateur. Les HMSI sont des PAL programmés en usine pour usage général. Les PAL des séries 20 et 24 remplacent les circuits TTL à petite et moyenne intégrations. Le réseau de fusibles des PAL série 20 est constitué par l'intersection de 32 lignes d'entrée avec 64 lignes de produit. Le réseau de fusibles des PAL série 24 est constitué par l'intersection de 40 lignes d'entrée avec 80 lignes de produit. L'intersection des lignes non utilisées (dans les PAL à petite intégration) génère des fusibles fantômes dont le niveau haut ou bas est choisi de telle sorte qu'il n'apparaît pas dans les équations finales. Chaque série possède une table et un brochage de programmation reproduits à l'appendice A. La programmation de base (niveau machine) demande un programmeur de PROM avec adaptateur PAL, une représentation graphique des fusibles à programmer et l'élaboration d'une table de programmation. Cette programmation de base permet de comprendre la structure et le fonctionnement des PAL. Elle est donc essentielle à toute initiation. Nous verrons au chapitre suivant qu'avec un minimum d'outils de programmation, le concepteur n'aura plus à se préoccuper des fusibles réels et encore moins des fusibles fantômes.

6.13 Problèmes

1. Décodeur partiel à 16 entrées et 6 sorties

Choisissez un PAL qui vérifie la table de vérité ci-dessous.

Tableau 6.3 Pour le problème 1.

A0	A1	A2	A3	A4	A5...A15	Y5	Y4	Y3	Y2	Y1	Y0
0	0	0	0	0	0	0	1	1	1	1	0
1	1	1	1	1	1	1	1	1	1	0	1
0	1	0	1	0	1	1	1	1	0	1	1
1	0	1	0	1	0	0	1	1	0	1	1
1	1	0	0	1	1	1	1	0	1	1	1
0	0	1	1	0	0	0	0	1	1	1	1

2. Décodeur complet à 20 entrées et 1 sortie

Sur quel PAL pouvez-vous implanter la fonction somme de produits?

$$Y = f_1(A_0, \dots, A_{19}) + f_2(A_0, \dots, A_{19}) + f_3(A_0, \dots, A_{19}) + f_4(A_0, \dots, A_{19}) + f_5(A_0, \dots, A_{19}) + f_6(A_0, \dots, A_{19}) + f_7(A_0, \dots, A_{19}) + f_8(A_0, \dots, A_{19})?$$

3. Double multiplexeur à sortie 3 états

Trouvez le PAL le mieux adapté à l'implantation du double multiplexeur schématisé à la figure 6.13.

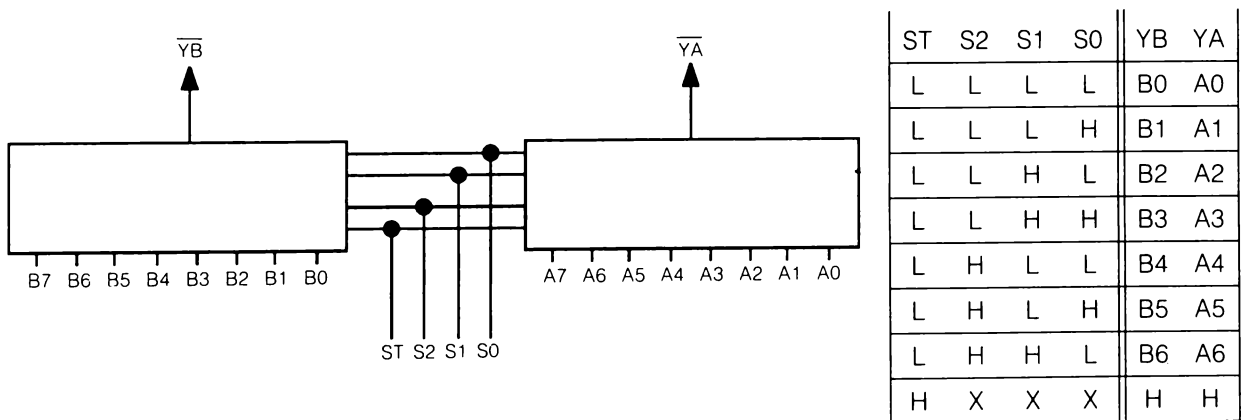


Figure 6.13 Pour le problème 3.

4. Quadruple multiplexeur

Trouvez le PAL le mieux adapté à l'implantation du quadruple multiplexeur schématisé à la figure 6.14.

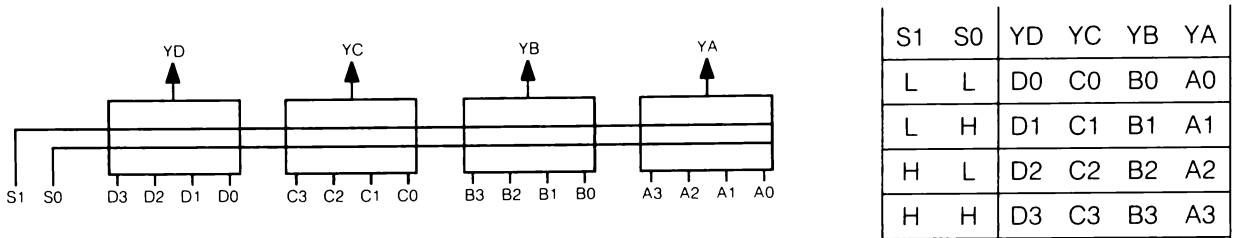


Figure 6.14 Pour le problème 4.

5. Registre à décalage

Dans quel PAL pourrait-on implanter le registre octal à décalage répondant à la table de vérité ci-dessous ?

Tableau 6.4 Pour le problème 5.

		entrées			sorties	entrées/sorties		
\overline{OE}	CK	S1	S0	D7...D0	Q7...Q0	LIRO	RILO	opération
H	X	S1 = S0		X	Z	X	X	dégagement
L	↑	L	L	X	Q	X	X	maintien
L	↑	H	H	D	D	X	X	chargement
L	↑	H	L	X	Q0 = LIRO Q1 = Q0 ⁻ Q7 = Q6 ⁻	X	Q7 ⁻	décalage à gauche LIRO en entrée (LEFT input) RILO en sortie (LEFT output)
L	↑	L	H	X	Q0 = Q1 ⁻ Q1 = Q2 ⁻ Q7 = RILO	Q0 ⁻	X	décalage à droite RILO en entrée (RIGHT input) LIRO en sortie (RIGHT output)

6. Registre à décalage avec remise à zéro

Dans quel PAL pourrait-on implanter le registre octal à 4 lignes de commande vérifiant la table de vérité ci-dessous ?

Tableau 6.5 Pour le problème 6.

\overline{OE}	CK	\overline{CLR}	\overline{PR}	\overline{LD}	POL	D7...D0	Q7...Q0	opération
H	X	X	X	X	X	X	Z	dégagement
L	↑	L	X	X	X	X	L	zéro (clear)
L	↑	H	L	X	X	X	H	un (preset)
L	↑	H	H	H	X	X	Q	maintien
L	↑	H	H	L	H	D	D	chargement direct
L	↑	H	H	L	L	D	D	chargement inverse

Programmation des PAL **7**

7.1 Objectifs

Après étude de ce chapitre, l'étudiant devra

1. Connaître les logiciels utilisés pour la programmation des PAL.
2. Savoir mettre un problème en équation logique et en bullogramme.
3. Savoir écrire les équations logiques selon les règles de syntaxe PALASM.
4. Savoir écrire la table de fonctions d'une équation ou d'un problème.
5. Savoir écrire un programme source complet exécutable par le logiciel PALASM.
6. Savoir programmer la fonction état 3 d'un PAL.
7. Savoir marquer les fusibles sur le circuit logique à partir des équations.
8. Savoir retrouver les équations logiques à partir du marquage des fusibles.

7.2 Programmation machine

Pour la programmation machine étudiée au chapitre 6 il fallait

- a) Écrire les équations booléennes ;
- b) Choisir un PAL ;
- c) Marquer les fusibles qui doivent rester intacts ;
- d) Remplir une table de programmation ;
- e) Transposer cette table dans le format accepté par le programmeur de PROM (ex. : format hexadécimal).

Certains concepteurs préfèrent marquer les fusibles à partir d'un schéma, d'un bullogramme, d'une table de vérité ou d'un cahier des charges. Quoi qu'il en soit, la programmation machine est fastidieuse et sa simulation n'est possible que pour des fonctions extrêmement simples. Mais cette construction fusible par fusible est un exercice logico-visuel indispensable au débutant et utile à l'utilisateur qui désire garder son bon vieil équipement.

7.3 Programmation spécialisée

La programmation spécialisée automatise le fastidieux travail d'assemblage. Elle utilise des logiciels tels

- | | |
|----------------|---|
| PALASM I et II | de Monolithic Memories. Écrits en Fortran IV, ils servent tous les PAL de cette société ; |
| PLEASM | de Monolithic Memories pour servir tous les PLE de cette société ; |
| PLAN | de National Semiconductor. Écrit en Basic, il sert tous les PAL de cette société ; |
| AM PALASM | d'Advanced Micro Devices. Il sert tous les PAL de cette société ; |
| AMAZE | de Signetics. Écrit en Pascal. Il sert tous les IFL de cette société ; |
| A + PLUS | d'Altera. Il sert tous les EPLD de cette société. |

7.4 Programmation universelle

Cette programmation utilise des langages et compilateurs évolués tels CUPL d'Assisted Technology et ABEL de Data I/O.

Ces logiciels écrits en langage C sont des outils de CAO qui servent (serviront) la plupart des circuits programmables actuels (à venir). Ils compilent et simulent nos idées quelles qu'elles soient (graphiques, tables de vérité, équations, bullogrammes, etc.). Encore faut-il avoir de bonnes idées !

7.5 Logiciel PALASM

Ce logiciel assembleur spécialisé mis au point par Monolithic Memories facilite la programmation des PAL. Le logiciel PALASM I (que nous allons utiliser) est écrit en Fortran IV et tourne notamment sur CP/M-80, MS-DOS et UNIX. La version PALASM II est recommandée si on dispose d'un disque dur. PALASM génère en sortie le programme de fusibles dans le format JEDEC, HEX ou BINAIRE compatible avec le programmeur de PROM utilisé. De plus, et à la condition que le concepteur écrive une table de fonction, PALASM détecte les incohérences logiques éventuelles entre les équations et la table de fonction. Si on le lui demande, PALASM imprime une table de test et un treillis des fusibles programmés, le brochage du circuit, etc.

7.5.1 Opérateurs et symboles logiques

La programmation PALASM possède en propre certains opérateurs et symboles logiques qui concordent avec nos habitudes graphiques et verbales, à savoir

- = Égale
- := remplacé par (après la transition active d'horloge)
- / complément
- * ET
- + OU
- :+ : OU exclusif

7.5.2 Exercice sur des équations booléennes PALASM

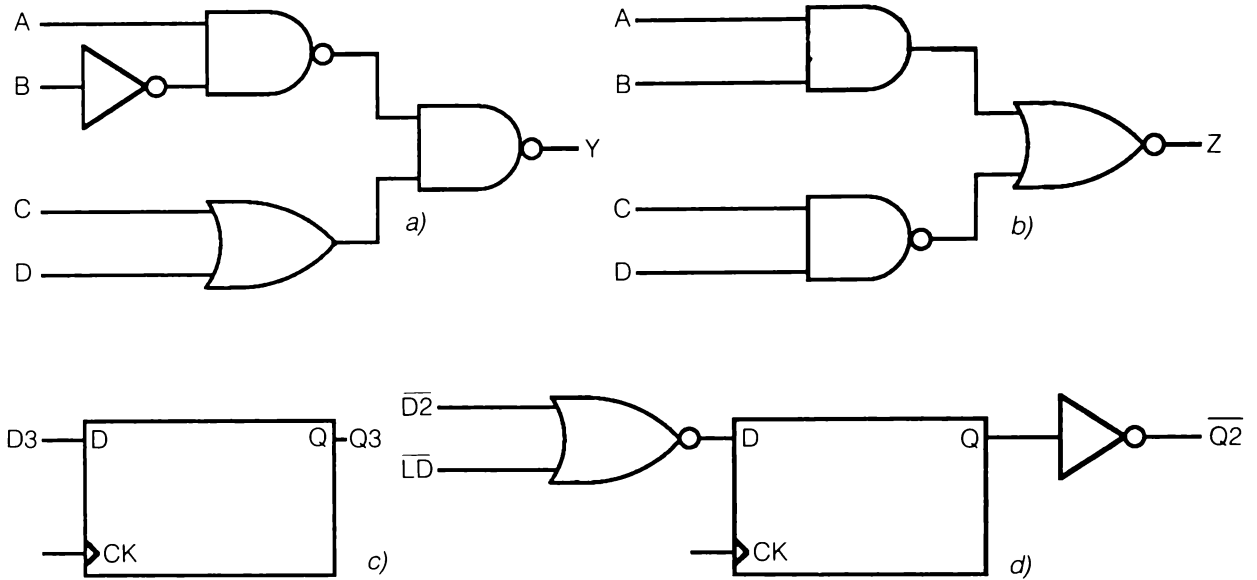


Figure 7.1 Pour l'exercice de 7.5.2.

Trouvez sous forme de somme de produits les équations booléennes (en version directe ou inverse) des montages a), b), c) et d) de la figure 7.1.

Solution

- a) $Y = A * \overline{B} + \overline{C} * \overline{D}$
- b) $\overline{Z} = A * B + \overline{C} + \overline{D}$
- c) $Q3 := D3$
- d) $Q2 := \overline{D2} * \overline{LD}$

7.5.3 Exercice sur le format PALASM d'entrée et de sortie

Implantez sur le PAL12H6 le simple montage de la figure 7.2. Pour cela, il faut écrire les équations booléennes sous forme d'une somme de produits.

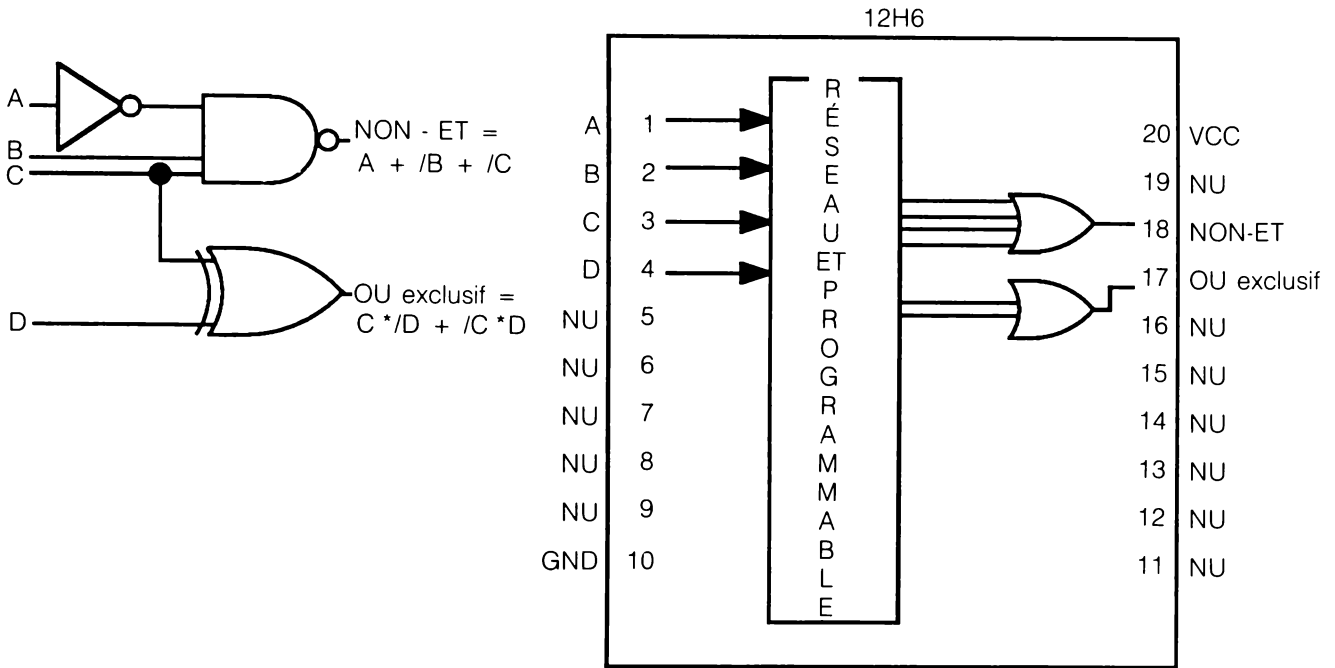


Figure 7.2 Pour l'exercice de 7.5.3.

Solution

Nous utilisons une toute petite partie d'un 12H6. Mais bien d'autres PAL conviennent : 14H4, 16H2, 12L6, etc. La seule contrainte est de trouver un PAL possédant au moins quatre entrées et deux sorties dont une servie par trois lignes de produit. Remarquez que le PAL 10H8 ne pouvait satisfaire cette dernière condition. La figure 7.3 nous montre le format d'entrée et de sortie de PALASM que nous résumons ci-dessous :

```

PAL12H6                                     1
PAL-16                                     F.REMY 12/05/87 2
EXERCICE de 7-5-3                          3
CEGEP AHUNTSIC MONTREAL                    4
A B C D NU NU NU NU NU GND                5
NU NU NU NU NU NU OUexclusif NON-ET NU VCC
NON-ET = A + /B + /C                       ; Porte NON-ET (Equation 1)
OUexclusif = C * /D + /C * D               ; Porte OUexclusif (Equation 2)
FUNCTION TABLE
A B C D NON-ET OUexclusif
; A B C D NON-ET OUexclusif Test NON-ET Test OUexclusif
-----
H H H L H H une entrée à 0 inégalité
L H L H H H une entrée à 0 inégalité
L L H H H L une entrée à 0 égalité
L H H X L X toutes les entrées à 1
-----
DESCRIPTION non affecté
Cet exercice résume les règles de syntaxe du logiciel PALASM
*****
Simulation
1 1110XXXXXXXXXXXXHHX1
2 0101XXXXXXXXXXXXHHX1
3 0011XXXXXXXXXXXXLHX1
4 011XXXXXXXXXXXXLX1
-----
Treillis des fusibles
      11 1111 1111 1111 1111 1233
0123 4567 8901 2345 6789 0123 4567 8901
8 --X- ---- -- -- -- ---- ---- A
9 -X-- ---- -- -- -- -- ---- ---- /B
10 ---- -X-- -- -- -- -- ---- ---- /C

16 ---- X--- -X -- -- -- ---- ---- C*/D
17 ---- -X-- X- -- -- -- ---- ---- /C*D
*****

```

Figure 7.3 Pour la solution de l'exercice de 7.5.3. Format d'entrée et de sortie PALASM.

- Ligne 1 : N° du PAL choisi.
- Ligne 2 : N° attribué par l'utilisateur au PAL programmé.
- Ligne 3 : Nom de l'application.
- Ligne 4 : Société, ville, etc.

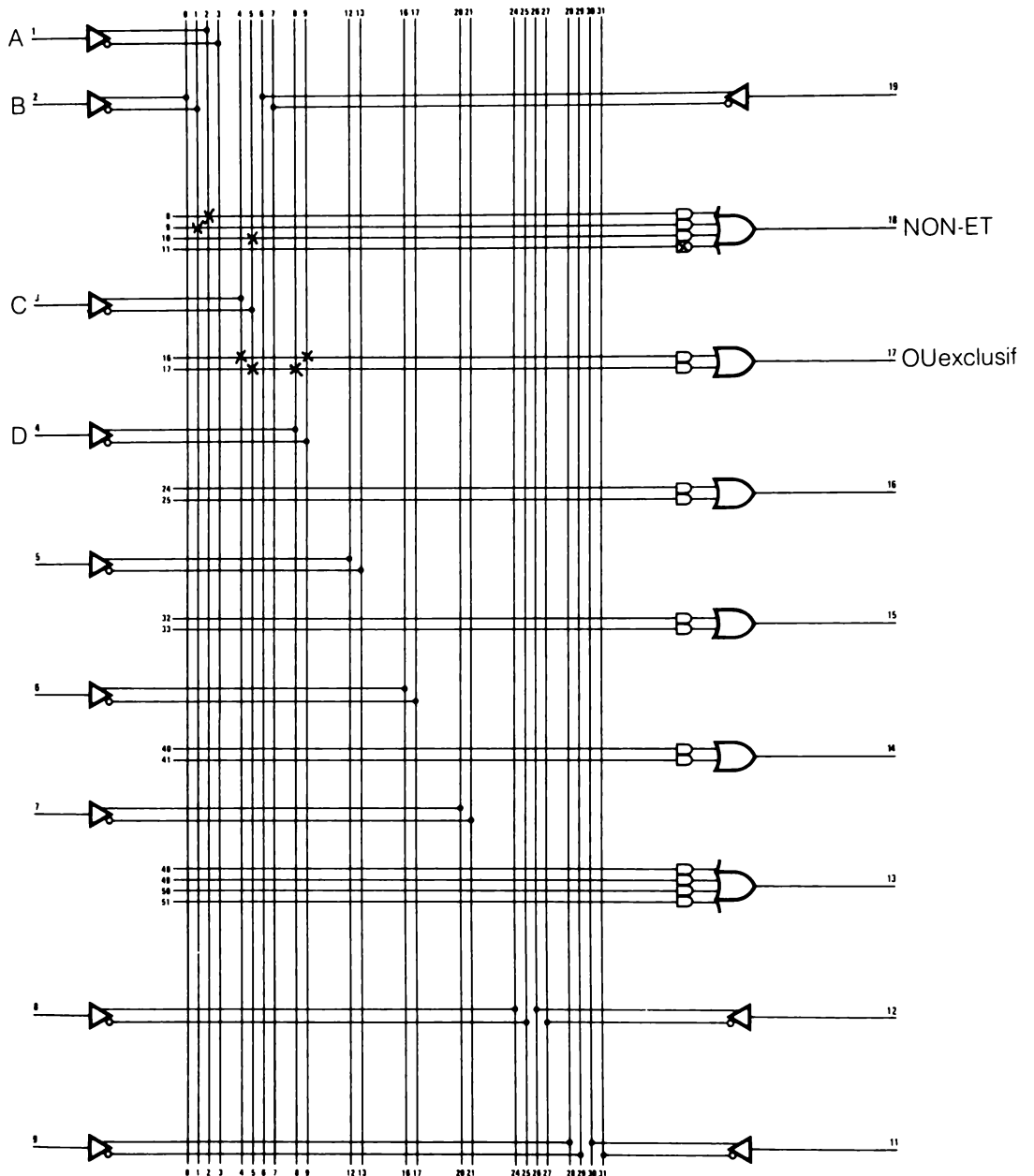
- Ligne 5 : Liste des broches dans l'ordre 1, 2, ..., 20 (ou 24). Cette liste peut occuper une ou plusieurs lignes. Chaque symbole doit être unique, sauf celui des broches non utilisées. Tous les caractères imprimables sont acceptés à l'exclusion de = : * + / (). Toutefois, on peut utiliser le préfixe / pour l'inversion. Exemple : une broche peut se nommer /OE.
- Ligne m : Ligne de la première équation. Les équations ne peuvent contenir que les symboles des variables de la ligne 5 (liste des broches), avec ou sans le préfixe /, et des opérateurs PALASM. De toute façon, la réception d'un message d'erreur de syntaxe lors de la compilation avertit l'utilisateur de sa distraction.
- Ligne n : Cette ligne commence par les mots clés `FUNCTION TABLE`. Ligne suivant n : Liste des broches écrites dans n'importe quel ordre et en ignorant les broches non utilisées, le VCC et le GND. En d'autres mots, n'apparaissent dans cette liste que les symboles des équations. On peut ajouter d'autres lignes précédées de ; dans le but d'explicitier l'exercice. Ces lignes ne seront pas compilées. Après la ligne en trait interrompu (qui sera ignorée) on entre les vecteurs de test (un par ligne).
- Ligne o : Cette ligne commence par le mot clé `DESCRIPTION`. Le contenu de cette section sera ignoré.

En sortie, PALASM imprime une table de simulation qu'il construit ligne par ligne à partir de la table de fonction.

Remarques :

- a) Cette table contient autant de colonnes que de broches (20 dans notre cas) ;
- b) La broche VCC est représentée par un 1 ;
- c) La broche GND et les broches non utilisées sont symbolisées par un X ;
- d) L'état des broches d'entrée est symbolisé par 1, 0 ou X ;
- e) L'état des broches de sortie est symbolisé par H, L ou X.

PALASM ne se contente pas de transposer bêtement la table de fonctions. Il simule chaque ligne et signale toute incohérence entre la table de fonctions et les équations. Toujours dans le fichier de sortie, PALASM donne le treillis des fusibles que nous avons transposé pour fins de vérification sur le diagramme logique de la figure 7.4.



Monolithic Memories

Figure 7.4 Marquage des fusibles pour la multifonction.

$$\text{NON-ET} = A + /B + /C$$

$$\text{OU exclusif} = C * /D + /C * D$$

7.5.4 Exercice sur le décompte des fusibles

À partir du marquage des fusibles de la figure 7.4, déterminez :

- a) Le nombre de fusibles réels du PAL12H6 ;
- b) Le nombre de fusibles intacts ;
- c) Le nombre de fusibles détruits par le programmeur.

Solution

- a) $16 \text{ lignes de produit} \times 24 \text{ lignes d'entrée} = 384 \text{ fusibles réels ;}$
- b) $11 \text{ lignes de produit} \times 24 \text{ fusibles} + \text{les 7 fusibles correspondants aux termes de nos équations} = 271 \text{ fusibles intacts ;}$
- c) C'est évidemment la différence entre a) et b) soit $384 - 271 = 113 \text{ fusibles sautés. Si la fonction simulation de votre logiciel a détruit 153 fusibles ; il s'agira alors de 40 fusibles fantômes supplémentaires rencontrés aux intersections des cinq lignes de produit utilisées et des huit lignes d'entrées inexistantes.}$

7.6 Équations pour les sorties inversées

Quelques PAL seulement sont fabriqués en sortie directe (sortie active de niveau haut). La majorité des PAL sont construits en sortie inversée (sortie active de niveau bas). La fonction de sortie de cette deuxième catégorie est donc l'inverse de l'équation PALASM. La figure 7.5 donne quelques exemples et rappelle aussi qu'on peut nommer les broches d'entrée et de sortie selon les besoins.

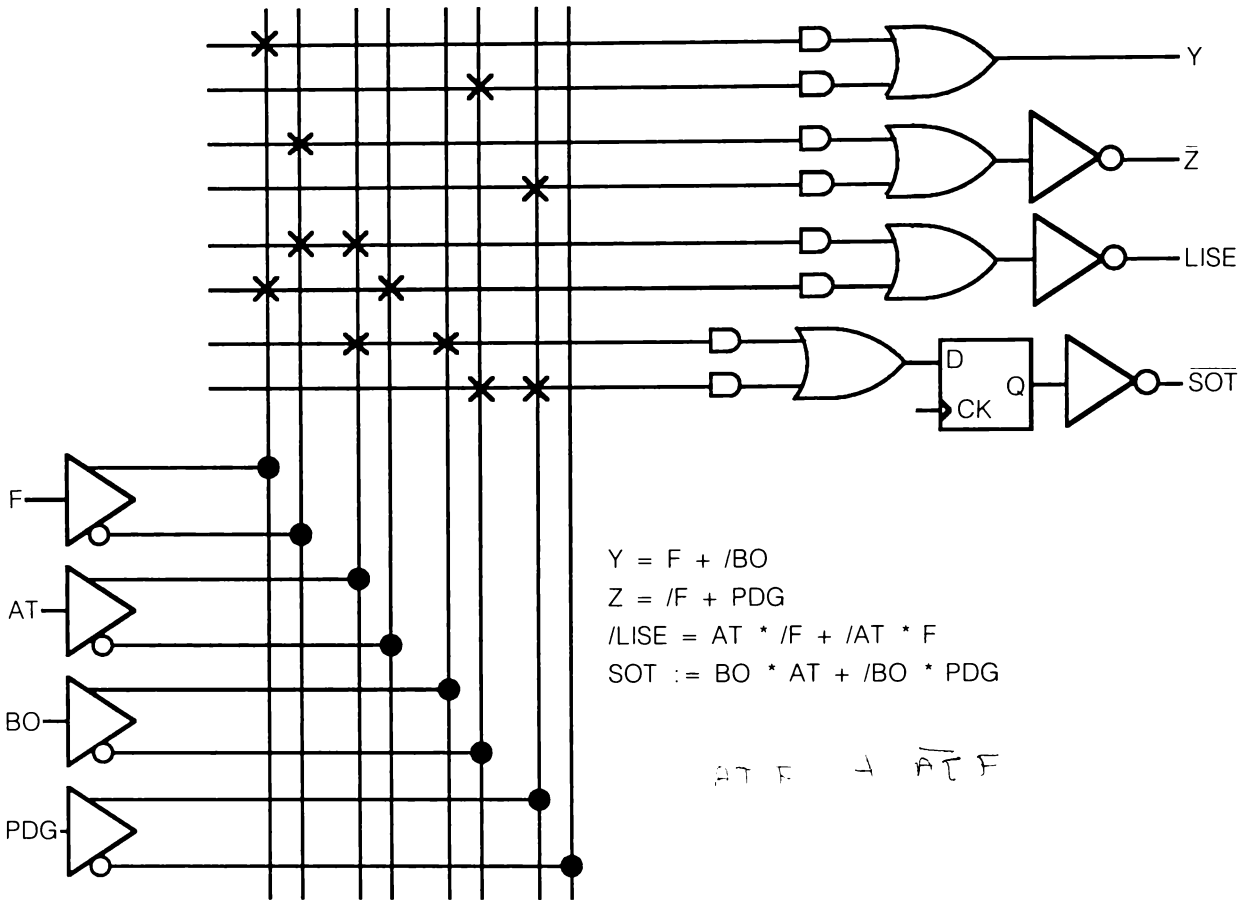


Figure 7.5 On écrit les équations PALASM sous la forme somme de produits ; on écrit donc avant l'inverseur de sortie.

7.7 Fonction État 3

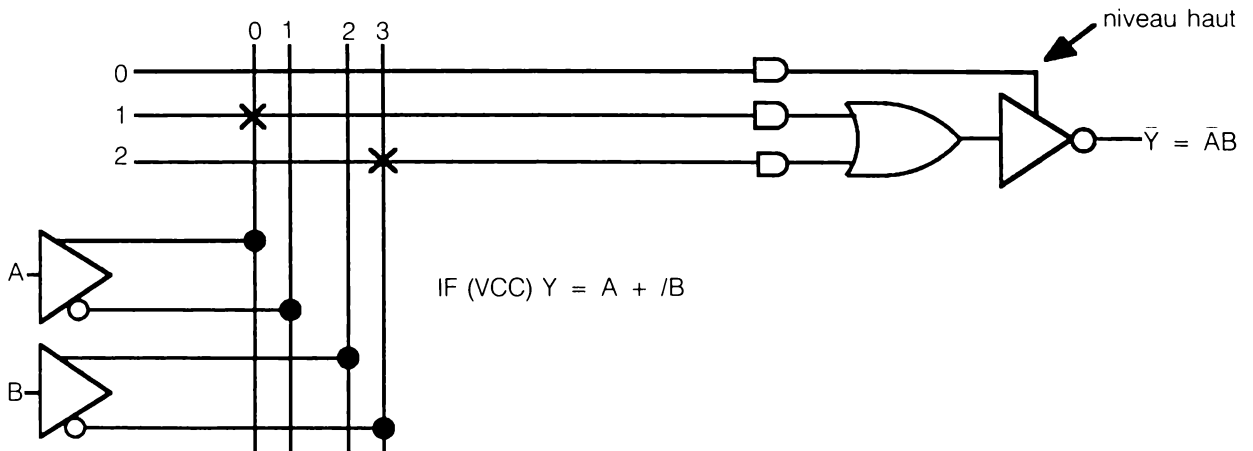


Figure 7.6 La sortie est engagée (état 2) si le contrôle d'état 3 est au niveau haut (fusibles sautés sur la ligne de produit 0).

La fonction $Y = A + \bar{B}$ du montage de la figure 7.6 est valide à la condition que la ligne de produit 0 soit au niveau haut (fusibles sautés). En PALASM, le niveau de la ligne de produit est indiqué entre () précédées du conditionnel IF. Ainsi, l'équation du circuit de la figure 7.6 sera entrée sous la forme :

$$\text{IF (VCC) } Y = A + \bar{B}$$

Cela signifie que la ligne de produit doit être de niveau haut et que le programmeur recevra l'ordre de détruire tous les fusibles de cette ligne.

7.7.1 Exercice sur la fonction État 3 programmable

En ajoutant une entrée ÉTAT 3 au montage de la figure 7.6

- a) Dessinez le circuit qui répond à la fonction $Y = \bar{A}\bar{B} + \bar{A}B$ seulement si l'entrée ÉTAT 3 est au niveau bas ;
- b) Écrivez l'équation PALASM ;
- c) Trouvez la fonction \bar{Y} .

Solution

a) Le circuit est représenté à la figure 7.7 ;

b) IF (/ÉTAT 3) $Y = A * \bar{B} + \bar{A} * B$

c) $\bar{Y} = \overline{\bar{A}\bar{B} + \bar{A}B} = AB + \bar{A}\bar{B}$

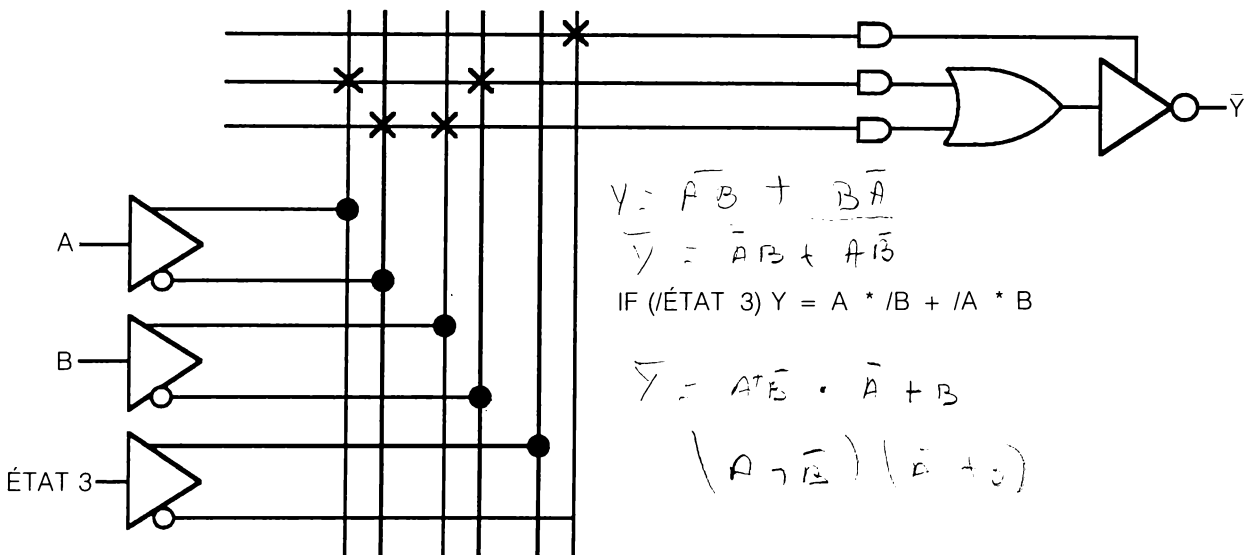


Figure 7.7 Pour la solution de l'exercice de 7.7.1. L'engagement ou le déengagement de la sortie état 3 est commandé par l'entrée ÉTAT 3.

7.8 Fonction de maintien et d'exception

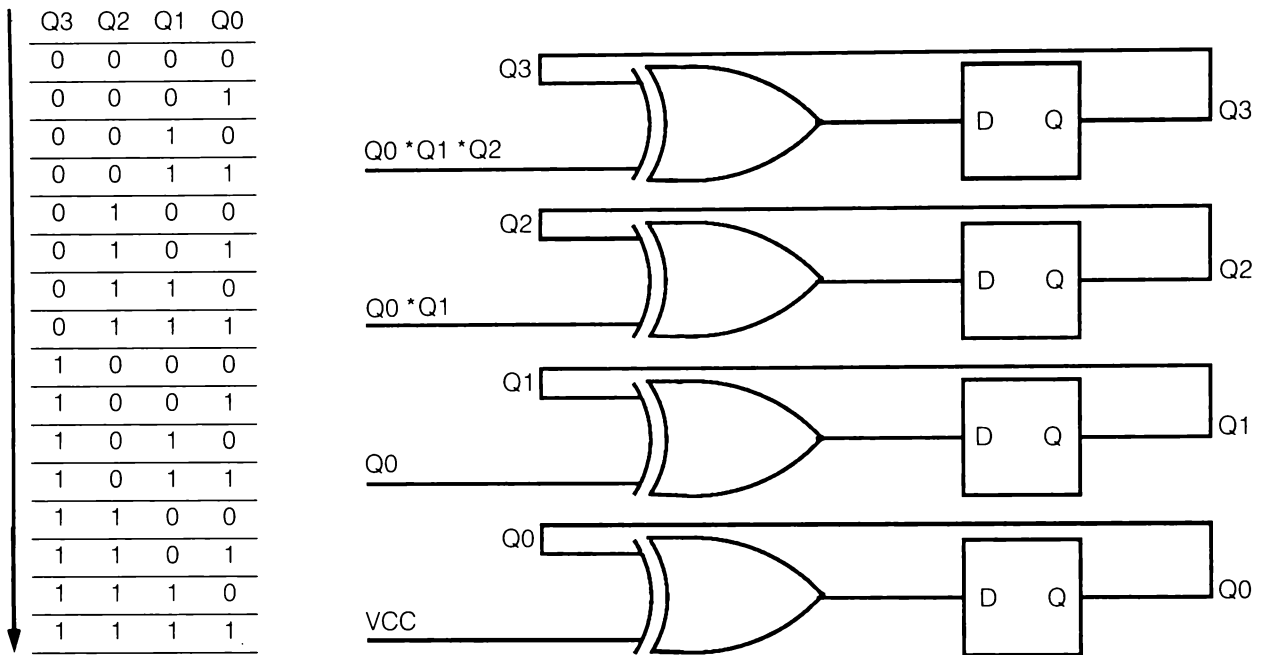


Figure 7.8 La porte OU exclusif permet de maintenir l'état d'une bascule ou de la faire basculer par exception en validant la deuxième entrée.

Selon la table de vérité du compteur quatre bits de la figure 7.8, Q3 est maintenu à son état actuel excepté lorsque le produit $Q0 * Q1 * Q2$ est validé ; auquel cas Q3 prendra la valeur $/Q3$. D'où l'équation :

$$Q3 := Q3 : + : Q0 * Q1 * Q2$$

qui signifie que Q3 sera remplacé par Q3 à la prochaine transition d'horloge excepté lorsque le produit $Q0 * Q1 * Q2$ est validé ; auquel cas Q3 est remplacé par son inverse ou complément $/Q3$. Il vient, par simple observation de la table

$$Q2 := Q2 : + : Q0 * Q1$$

$$Q1 := Q1 : + : Q0$$

$$Q0 := /Q0$$

7.9 Exercice sur un compteur piloté par la fonction OU exclusif

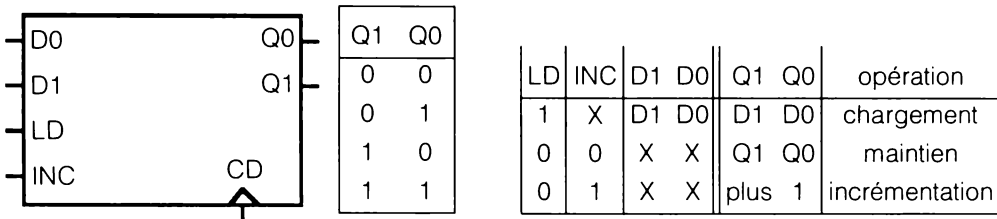


Figure 7.9 Pour l'exercice de 7.9.

À l'aide de deux bascules D pilotées par des portes OU exclusif, construisez un compteur deux bits qui vérifie la table de vérité de la figure 7.9.

Solution

La solution complète apparaît à la figure 7.10.

$Q0 := LD * D0 \text{ chargement}$ $+ /LD * Q0 \text{ maintien}$ $: + : /LD * INC \text{ incrémementation}$	$Q1 := LD * D1 \text{ chargement}$ $+ /LD * Q1 \text{ maintien}$ $: + : /LD * INC * Q0 \text{ incrémementation}$
---	--

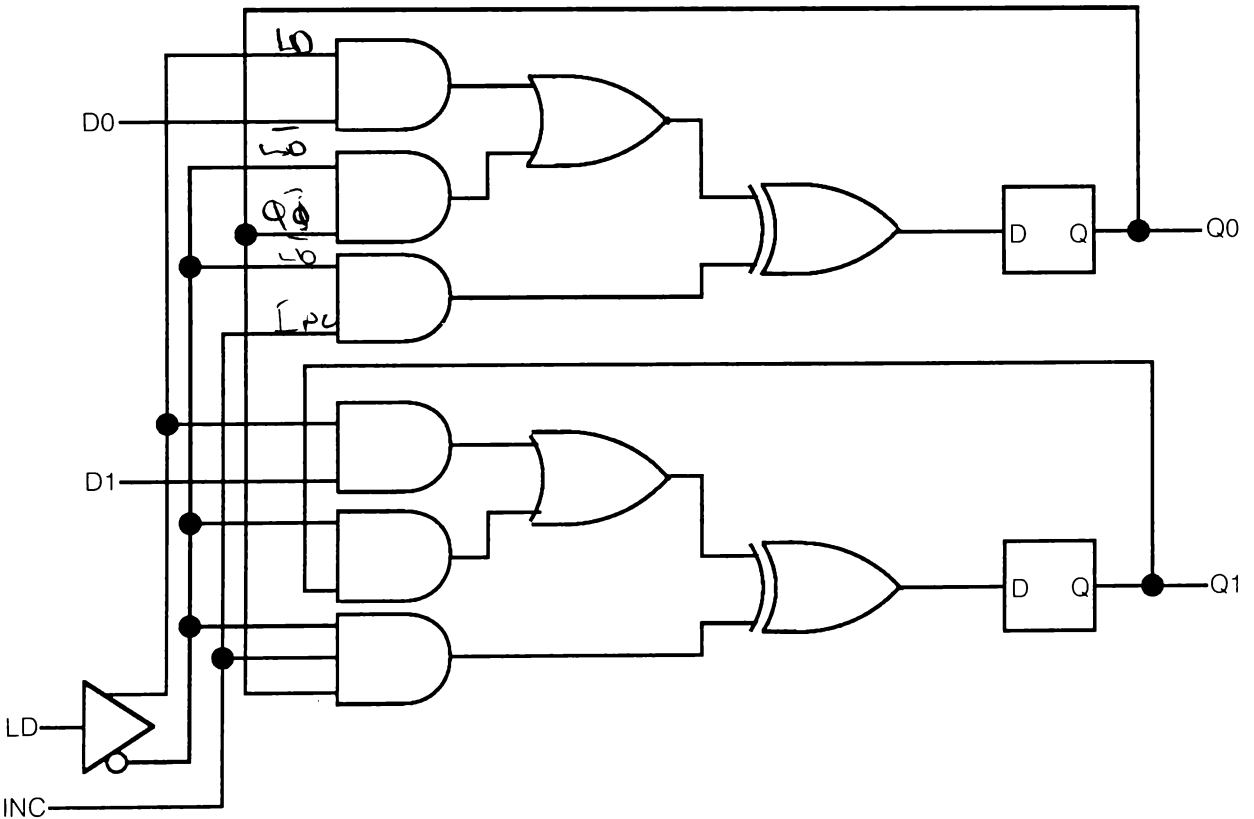


Figure 7.10 Pour la solution de l'exercice de 7.9.

7.10 Conception d'une commande de feux de circulation

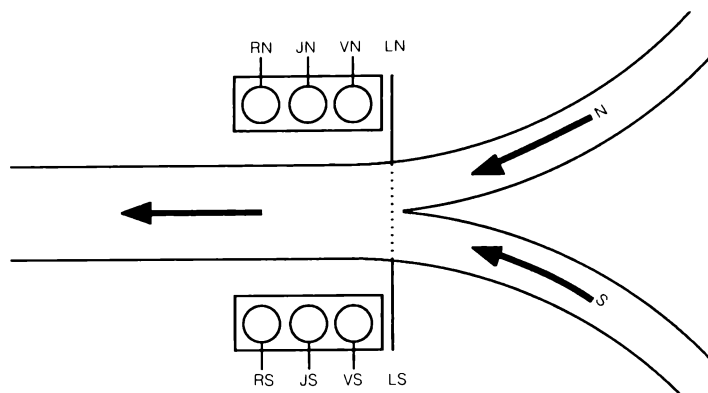


Figure 7.11 Les capteurs de présence d'un véhicule sur les Lignes d'arrêt Nord et Sud (LN et LS) devront accélérer ou freiner la séquence de commande des feux de circulation.

Résumé du cahier des charges de commande illustrée à la figure 7.11 :

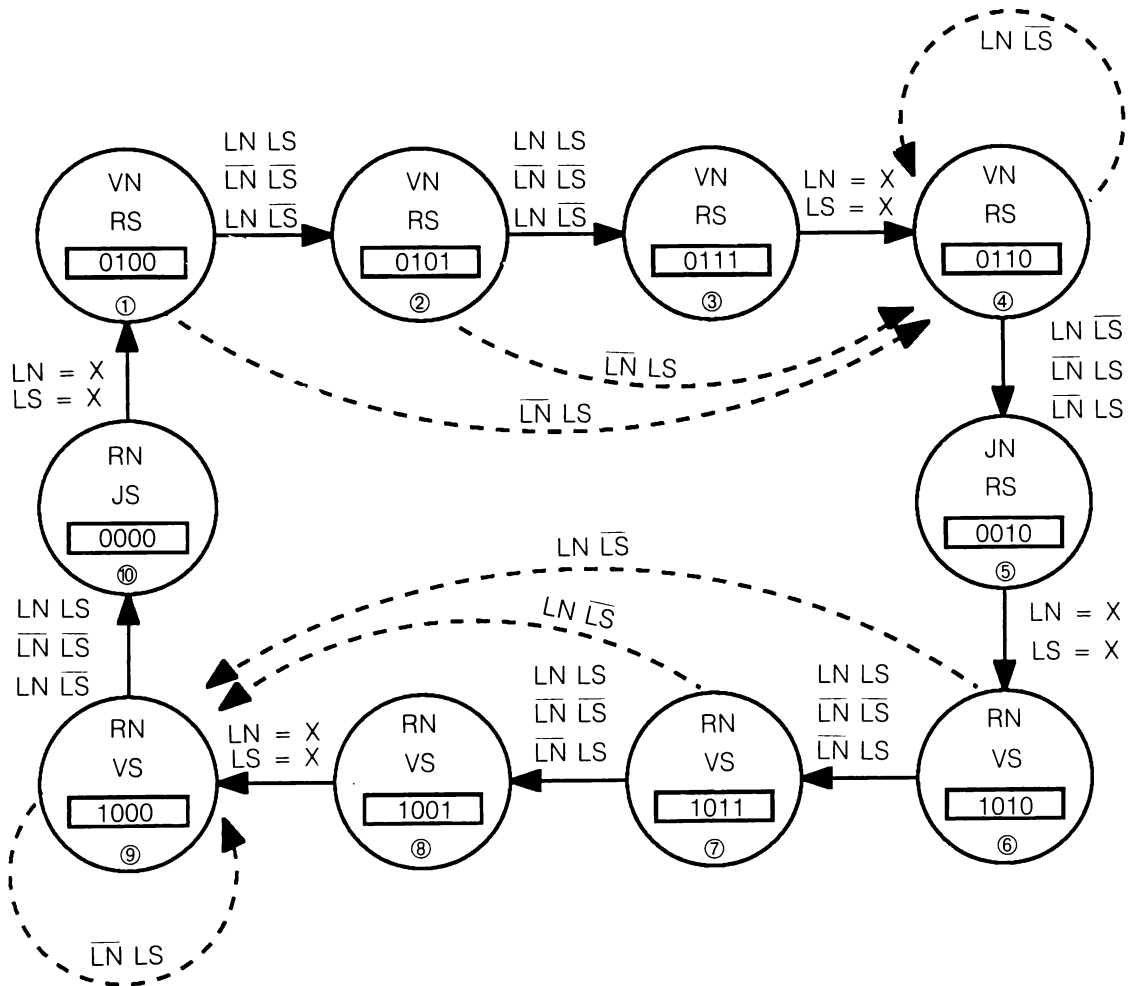
1. Si aucun véhicule n'est détecté sur la Ligne Nord par le capteur de présence LN et sur la Ligne Sud par le capteur de présence LS, les feux Verts Nord et Sud VN et VS alternent toutes les cinq périodes d'horloge dont l'une d'elles est une période d'interdiction rouge : RN, VN, VN, VN, VN, RS, VS, VS, VS, VS, RN, ... ;
2. Si un véhicule est détecté sur chaque ligne, le chronogramme de commande est le même qu'en 1 ;
3. Si pendant les deux premières périodes d'horloge d'un passage Vert aucun véhicule n'est détecté sur la ligne correspondante et qu'un véhicule est détecté sur la ligne opposée, la troisième période verte sera supprimée à la direction actuelle autorisée ;
4. Si à la dernière période verte d'une direction aucune présence n'est détectée sur la ligne opposée, on ajoute une période verte supplémentaire à cette direction ; à condition évidemment que le capteur de ligne de cette direction signale la présence de véhicule.

7.10.1 Établissement du bullogramme

Il faut présenter les contraintes et directives énoncées ci-dessus sous une forme plus digestible pour le matériel informatique. Le bullogramme de la figure 7.12 clarifie et complète le cahier des charges. Les traits pleins simulent la circulation nulle et la circulation de pointe (points 1 et 2 du cahier des charges). Les traits interrompus correspondent à la circulation accélérée (points 3 et 4 du cahier des charges).

7.10.2 Codage du bullogramme

Comme notre but est d'implanter la commande dans un PAL, nous utiliserons quatre bascules D pour coder les dix états du bullogramme. Le code choisi peut sembler farfelu, mais le choix du code relève de la fantaisie du concepteur ou d'une recherche optimale fastidieuse si l'on ne dispose pas d'un logiciel de développement. De toute façon, le choix du code n'est pas vraiment important ici. Tout ce que l'on risque en adoptant un autre code est de compliquer un peu... ou beaucoup les équations et le circuit.



Légende :

- VN : feu vert direction Nord
- JN : feu jaune direction Nord
- RN : feu rouge direction Nord
- : circulation de pointe ou circulation nulle
- -> : circulation accélérée
- ① : n° de bulle ou d'état stable du circuit

- : codage binaire
- LN : capteur de présence de la Ligne Nord
- LS : capteur de présence de la Ligne Sud
- VS : feu vert direction Sud
- JS : feu jaune direction Sud
- RS : feu rouge direction Sud

Figure 7.12 Bullogramme de commande des feux de circulation.

7.10.3 Table de vérité des bascules et des sorties d'état

	état actuel				entrée pour état suivant												sortie									
	LN		LS		$\overline{\text{LN}}$ $\overline{\text{LS}}$				$\overline{\text{LN}}$ LS				LN $\overline{\text{LS}}$				Nord			Sud						
	Q0	Q1	Q2	Q3	Q0	Q1	Q2	Q3	Q0	Q1	Q2	Q3	Q0	Q1	Q2	Q3	Q0	Q1	Q2	Q3	RN	JN	VN	RS	JS	VS
①	0	1	0	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	0	1	1	0	0
②	0	1	0	1	0	1	1	1	0	1	1	1	0	1	1	0	0	1	1	1	0	0	1	1	0	0
③	0	1	1	1	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	0	1	1	0	0
④	0	1	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	1	1	0	0	0	1	1	0	0
⑤	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	0	1	0	1	0	0
⑥	1	0	1	0	1	0	1	1	1	0	1	1	1	0	1	1	1	0	0	0	1	0	0	0	0	1
⑦	1	0	1	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	0	1	0	0	0	0	1
⑧	1	0	0	1	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0	0	0	0	1
⑨	1	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	0	0	1
⑩	0	0	0	0	0	1	0	0	0	1	0	0	0	0	1	0	0	0	0	0	1	0	0	0	1	0
	1	1	0	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
	1	1	0	1	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
	1	1	1	1	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
	1	1	1	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
	0	0	0	1	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
	0	0	1	1	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Figure 7.13 Cette table de vérité est la transposition machine du bullogramme de la figure 7.12.

La table de vérité de la figure 7.13 est utile mais non essentielle. Elle n'est en fait que la transposition en langage machine du bullogramme. On peut se servir indifféremment de la table de vérité ou du bullogramme pour construire les tables de Karnaugh qui suivent. Si vous débutez, accrochez-vous à la table de vérité.

7.10.4 Équations des sorties d'état

Les six sorties à l'intérieur des bulles sont fonction des états stables des bascules. Si les bascules sont à l'état 0100 (bulle 1) les feux VN et RS sont allumés. Nous simplifierons donc les six équations des sorties d'état à partir des six tables de Karnaugh de la figure 7.14.

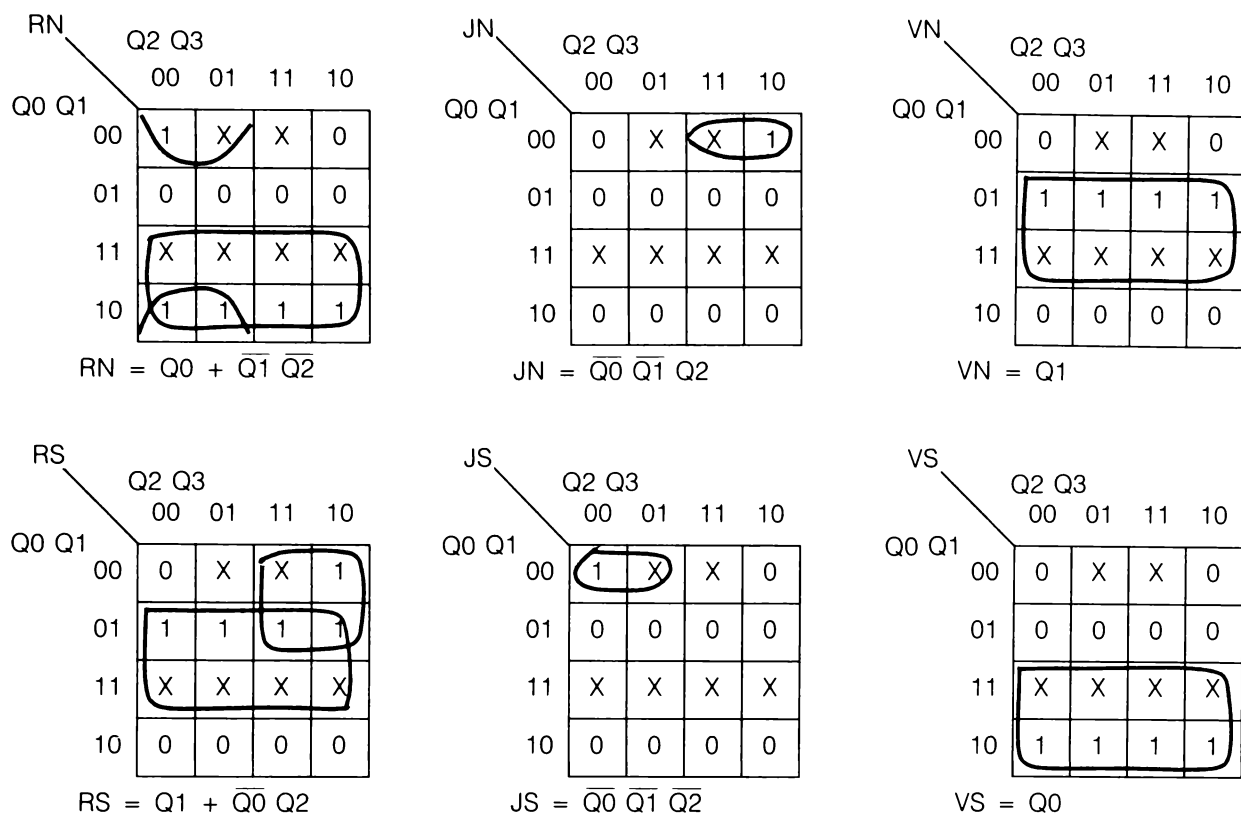


Figure 7.14 Les six tables de Karnaugh permettent de simplifier les six sorties d'état représentées aux figures 7.12 et 7.13.

7.10.5 Équations des entrées des Bascules D

Pour passer d'une bulle à l'autre, il faut changer l'état des bascules. Si nous allons de la bulle 1 à la bulle 2, de 0100 à 0101, la bascule la plus à droite devra changer d'état. L'entrée D des bascules sera donc une fonction de l'état suivant de celles-ci et des variables d'entrée LN et LS. Comme l'indique la figure 7.15, il faut utiliser quatre tables de Karnaugh par entrée D. Remarquez que les termes communs aux quatre combinaisons possibles des variables d'entrée LN et LS disposent automatiquement de ces groupements. Rappelons ci-dessous le principe de cette simplification avec la première équation :

$$\begin{aligned}
 D0 &= LN.LS (\overline{Q1}.Q2 + \overline{Q1}.Q3) + \overline{LN}.\overline{LS} (\overline{Q1}.Q2 + \overline{Q1}.Q3) + \\
 &\quad \overline{LN}.LS (\overline{Q1}.Q2 + \overline{Q1}.Q3) + LN.\overline{LS} (\overline{Q1}.Q2 + \overline{Q2}.Q3) + \overline{LN}.LS.Q0 \\
 &= (\overline{Q1}.Q2 + \overline{Q1}.Q3) (LN.LS + \overline{LN}.\overline{LS} + \overline{LN}.LS + LN.\overline{LS}) + \overline{LN}.LS.Q0 \\
 &= (\overline{Q1}.Q2 + \overline{Q1}.Q3) (1) + \overline{LN}.LS.Q0 \\
 &= \overline{Q1}.Q2 + \overline{Q1}.Q3 + Q0.\overline{LN}.LS
 \end{aligned}$$

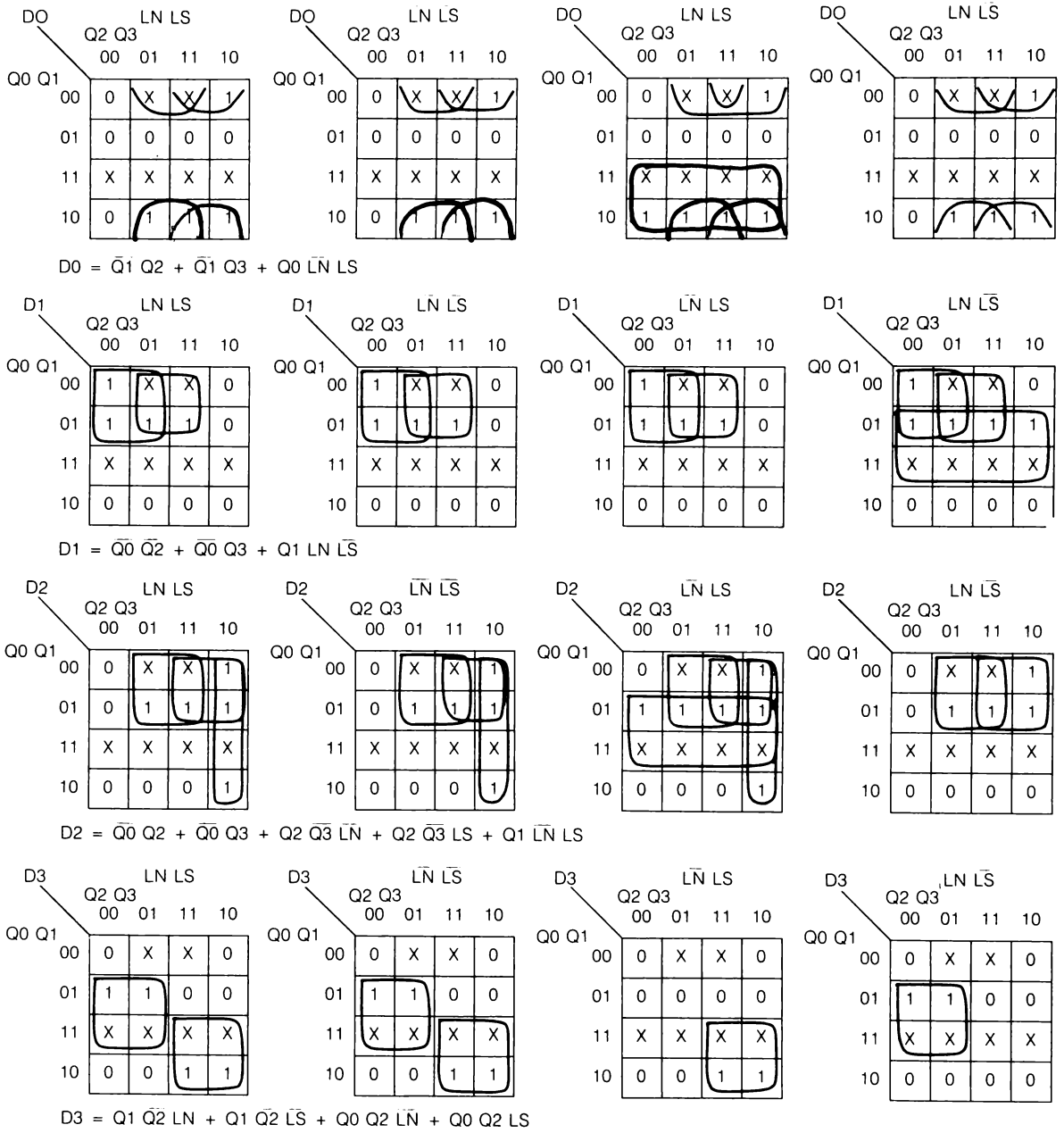


Figure 7.15 L'entrée D des bascules est fonction de l'état suivant.

7.10.6 Sélection du circuit

Les capteurs de lignes Nord et Sud LN et LS sont les deux seules entrées extérieures du circuit, mais il est sage d'ajouter une troisième entrée RZ pour la remise à zéro. Le PAL aura également quatre bascules et quatre sorties combinatoires pour les feux rouges et jaunes, les deux feux verts ayant par hasard (ou par codage adéquat) les mêmes équations que les sorties Q1 et Q2 des bascules. Le PAL très simple et économique 16R4 de la figure 7.16 répond largement aux exigences. Les broches non utilisées NU sont reliées à la masse (ou à l'alimentation V_{CC}). La broche 1 reçoit l'horloge dont la fréquence peut être fixe, variable ou synchronisée avec un contrôleur central. La broche 11 est à la masse pour garder les sorties 16 et 17 constamment engagées. Nous avons vu que les équations s'écrivent avant les inverseurs de sortie. Alors, les sorties extérieures sont actives au niveau bas : RN, JN, etc.

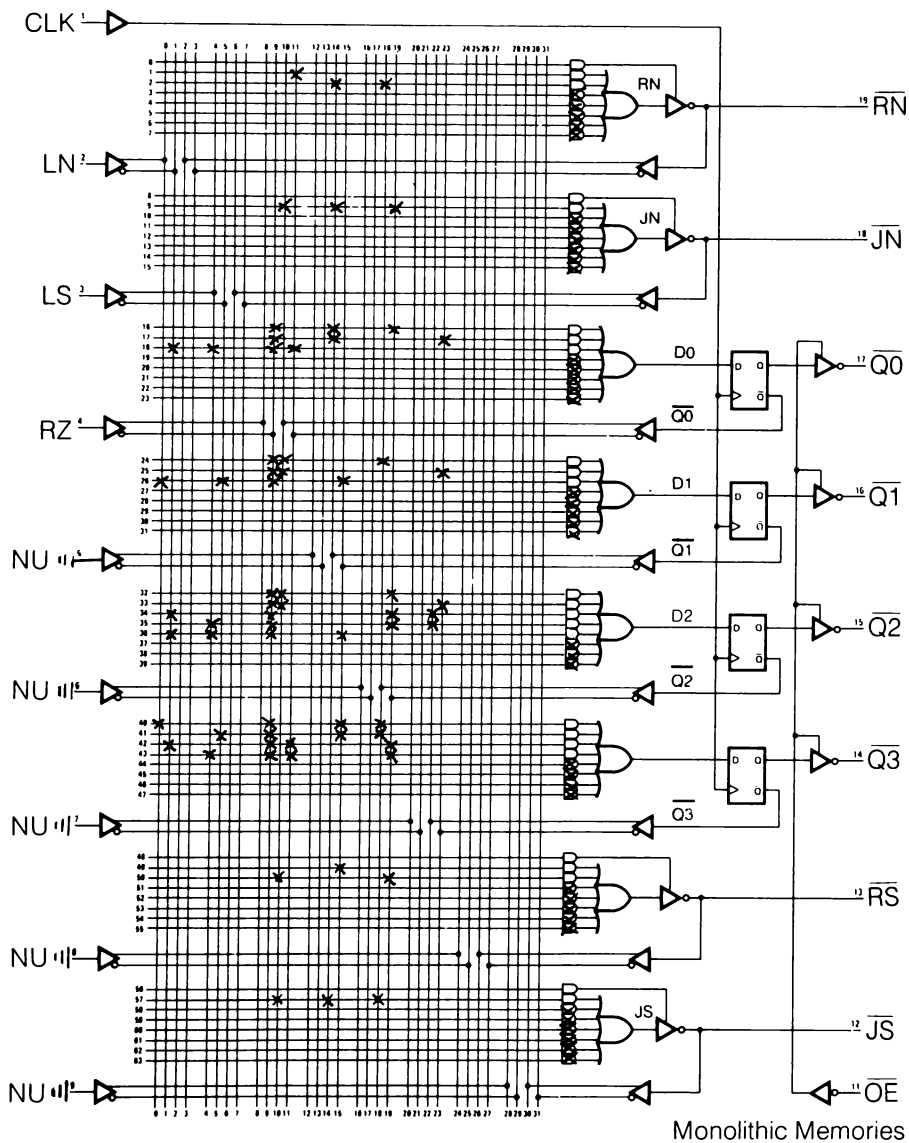


Figure 7.16 Implantation de la commande des feux de circulation sur le PAL16R4.

7.10.7 Transposition des équations dans le format PALASM

Nous donnons à la figure 7.17 les équations PALASM :

Ligne 1 : N° du PAL.

Ligne 2 : N° du circuit programmé.

Ligne 3 : Nom de l'application.

Ligne 4 : Société, etc.

Ligne 5 : Liste des broches 1 à 10.

Ligne 6 : Liste des broches 11 à 20.

Ligne 7 : Première équation.

Les équations des quatre sorties combinatoires à trois états sont précédées de IF (VCC) pour signifier au programmeur qu'il doit détruire les fusibles de la ligne de produit état 3 correspondante. Pour écrire les équations des bascules, il suffit de remplacer l'entrée D par $Q :=$. Cela veut dire que Q sera égal à D à la prochaine transition active d'horloge C. Remarquez également que Q sera toujours égal à 0 à la prochaine transition d'horloge si la fonction RZ = 1. En se reportant au bullogramme on voit qu'une remise à zéro interdit la circulation dans les deux directions pendant une période d'horloge.

```

PAL16R4
PAL-17                                F.REMY 17/05/87
FEUX DE CIRCULATION
CEGEP AHUNTSIC MONTREAL
CLK LN LS RZ NU NU NU NU NU GND
GND /JS /RS /Q3 /Q2 /Q1 /Q0 /JN /RN VCC
IF(VCC) RN = Q0 +/Q1 */Q2           ; ROUGE NORD
IF(VCC) JN = /Q0 */Q1 * Q2          ; JAUNE NORD
IF(VCC) RS = Q1 +/Q0 * Q2           ; ROUGE SUD
IF(VCC) JS = /Q0 */Q1 */Q2         ; JAUNE SUD

```

```

Q0 := /Q1 * Q2 */RZ                 ; VERT SUD
    + /Q1 * Q3 */RZ
    + Q0 */LN * LS */RZ

```

```

Q1 := /Q0 */Q2 */RZ                 ; VERT NORD
    + /Q0 * Q3 */RZ
    + Q1 * LN */LS */RZ

```

```

Q2 := /Q0 * Q2 */RZ
    + /Q0 * Q3 */RZ
    + Q2 */Q3 */LN * /RZ
    + Q2 */Q3 * LS * /RZ
    + Q1 */LN * LS * /RZ

```

```

Q3 := Q1 */Q2 * LN */RZ
    + Q1 */Q2 */LS */RZ
    + Q0 * Q2 */LN */RZ
    + Q0 * Q2 * LS */RZ

```

FUNCTION TABLE

RZ	CLK	LN	LS	Q0	Q1	Q2	Q3	RN	JN	RS	JS	Commentaires
H	C	X	X	L	L	L	L	H	L	L	H	initialisation bulle 10
L	C	X	X	L	H	L	L	L	H	L	L	bulle 1 P1.Q1
L	C	X	L	L	H	L	H	L	L	H	L	bulle 2 P2.Q3
L	C	H	L	L	H	H	H	L	L	H	L	bulle 3 P2.Q1 P3.Q1 P1.Q3
L	C	X	X	L	H	L	L	L	H	L	L	bulle 4 P1.Q2 P2.Q2
L	C	L	H	L	L	H	L	L	H	H	L	bulle 5 P3.Q2 P4.Q2 P5.Q3
L	C	X	X	H	L	H	L	H	L	L	L	bulle 6 P1.Q0
L	C	L	L	H	L	H	H	H	L	L	L	bulle 7 P3.Q2 P3.Q3
L	C	L	H	H	L	L	H	H	L	L	L	bulle 8 P2.Q0 P3.Q0 P4.Q3
L	C	X	X	H	L	L	L	H	L	L	L	bulle 9
L	C	L	H	H	L	L	L	H	L	L	L	bulle 9 accélérer
H	C	X	X	L	L	L	L	H	L	L	H	initialisation bulle 10
L	C	X	X	L	H	L	L	L	L	H	L	bulle 1
L	C	L	H	L	H	H	L	L	L	H	L	bulle 4 accélérer
L	C	H	L	L	H	H	L	L	L	H	L	bulle 4 accélérer

Figure 7.17 Équations et table de fonctions PALASM.

7.10.8 Testabilité du séquenceur

Les équations de la figure 7.17 sont suivies de la table de fonctions que le concepteur construit à partir du bullogramme, de la table de vérité ou de toute autre référence personnelle. Nous avons choisi de dresser la table de fonctions à partir du bullogramme pour afficher les sorties d'état RN, JN, RS, JS et à partir des équations des bascules pour vérifier (comme le fait le logiciel) chaque produit. Les cinq dernières lignes de la table découlent de quelques tracés en traits interrompus sur le bullogramme. Si le bullogramme n'est pas trop compliqué (et c'est le cas), on peut construire une table de

fonctions en codant toutes les possibilités. On écrirait les 26 vecteurs de test (un par ligne) en suivant par exemple le tracé inter-bulle suivant : 10, 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 1, 4, 5, 6, 9, 10, 1, 2, 4, 4, 5, 6, 7, 9, 9.

Remarquez qu'en l'absence de la remise à zéro (initialisation), l'exécution de la routine de test serait impossible. Remarquez aussi que la fiabilité du circuit final dépend de la qualité de la table de fonctions. Le logiciel teste vite et bien une bonne matière. En d'autres mots, il faut toujours être un peu plus intelligent que les outils utilisés.

7.10.9 Exercice sur le marquage et le décompte des fusibles

Soit les huit équations de la figure 7.17 et le diagramme logique de la figure 7.16.

- a) Vérifiez le marquage des fusibles ;
- b) Déterminez le nombre de fusibles réels du 16R4 ;
- c) Déterminez le nombre de fusibles fantômes du 16R4 ;
- d) Déterminez le nombre de fusibles intacts ;
- e) Déterminez le nombre de fusibles détruits.

Solution

- a) Vérifiez encore une fois avant de signaler une erreur !
- b) $32 \text{ lignes d'entrée} \times 64 \text{ lignes de produit} = 2048 \text{ fusibles réels}$.
- c) Toutes les lignes étant réelles, il n'y a aucun fusible fantôme. On se souviendra que le nombre maximal d'intersections est de 32×64 pour les PAL série 20 broches et de 40×80 pour les PAL série 24 broches.
- d) Il y a d'abord les 66 fusibles qui correspondent aux 66 variables des équations, puis les 39×32 fusibles des lignes de produit non utilisées. D'où un total de 1314 fusibles intacts.
- e) Évidemment, le programmeur a détruit le reste. Il y a donc $2048 - 1314 = 734$ fusibles détruits.

N.B. C'est pour respecter l'anonymat des fusibles antipiratage que les questions b) et d) les ignorent !

7.11 Expériences de laboratoire

1. Fonction OU exclusif programmable

Soit le montage de la figure 7.18.

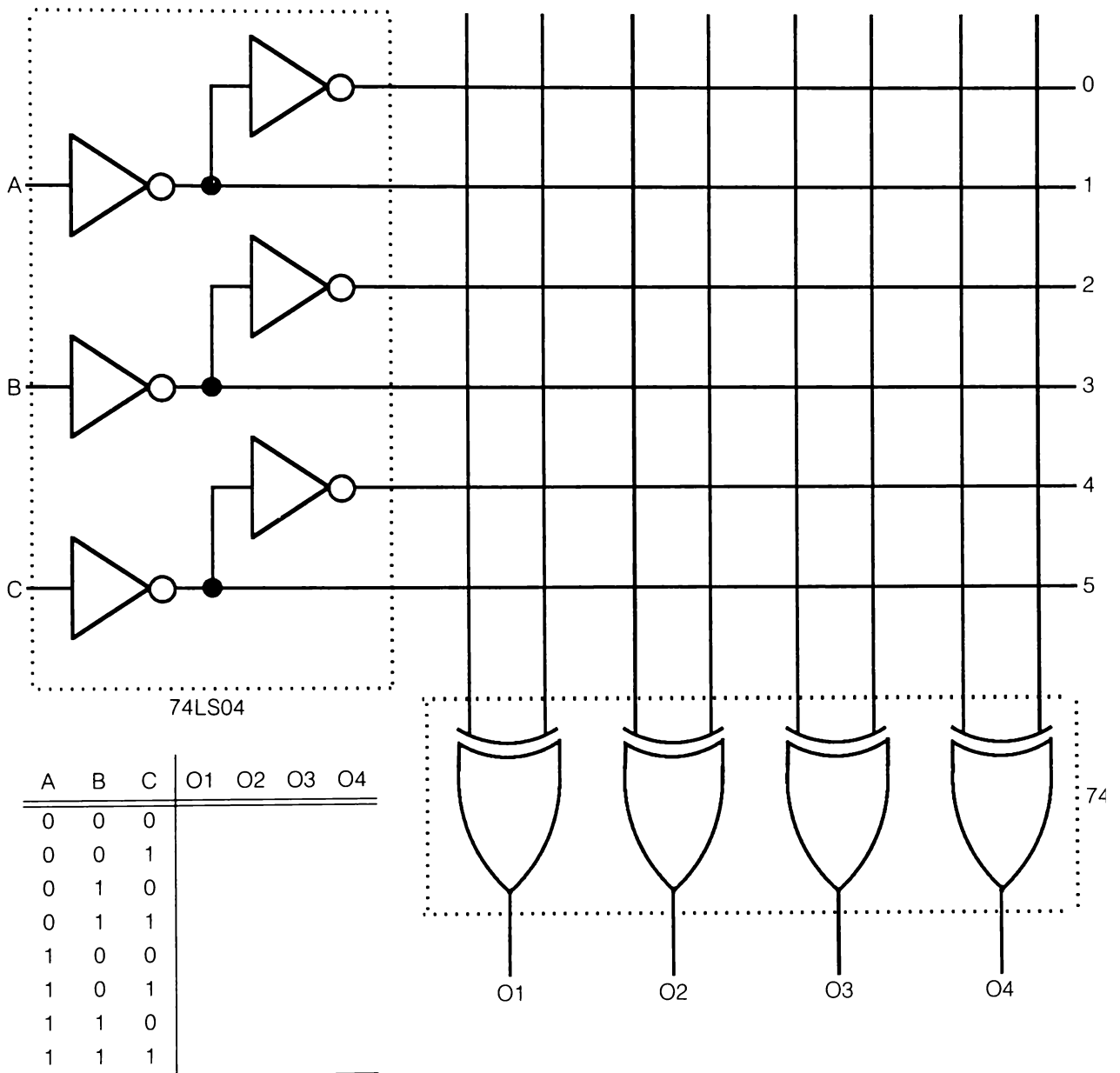


Figure 7.18 Pour l'expérience 1.

a) Programmez la puce pour obtenir les fonctions

$$O1 = A \oplus B$$

$$O2 = A \oplus BC$$

O3 est validé si \bar{B} est au niveau haut EXCEPTÉ si le produit $\bar{B}\bar{C}$ est au niveau haut. O4 est validé si le produit $A\bar{B}$ est au niveau haut EXCEPTÉ si le produit $A\bar{B}C$ est au niveau haut ;

b) Complétez la table de vérité par expérimentation.

2. Programmation des sorties état 3

Soit le montage de la figure 7.19.

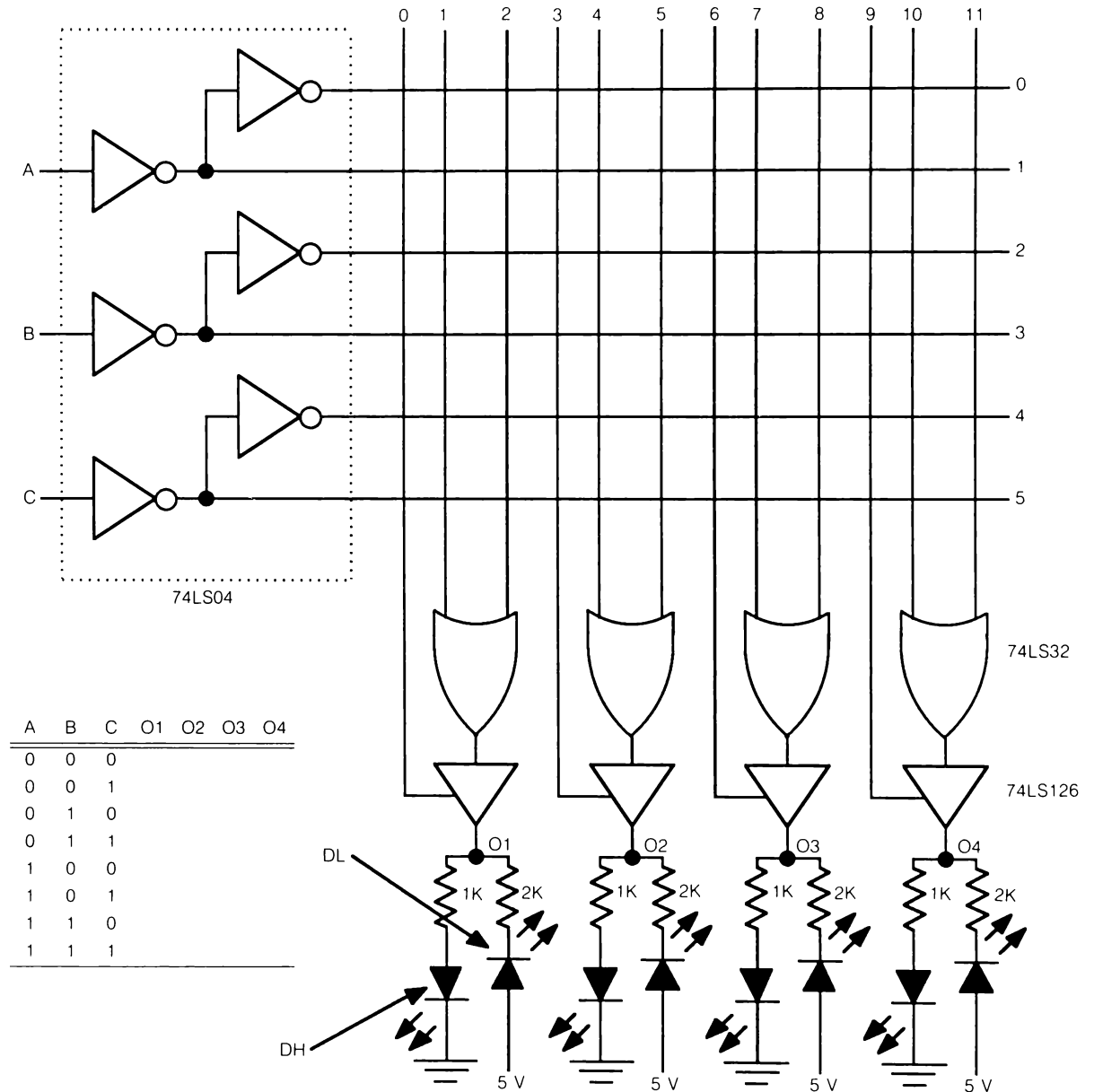


Figure 7.19 Pour l'expérience 2.

a) Programmez la puce pour obtenir les fonctions

$$\text{IF (VCC) O1} = A * C + /B * C$$

$$\text{IF (B) O2} = /A * /C + A * C$$

$$\text{IF (/A) O3} = /A * C + /A * B$$

$$\text{IF (B*/C) O4} = /A * B * /C$$

b) Complétez la table de vérité par expérimentation. Notez que si les deux DEL sont allumées, la sortie est à l'état 3.

3. Entrées / Sorties programmables

Soit le montage de la figure 7.20.

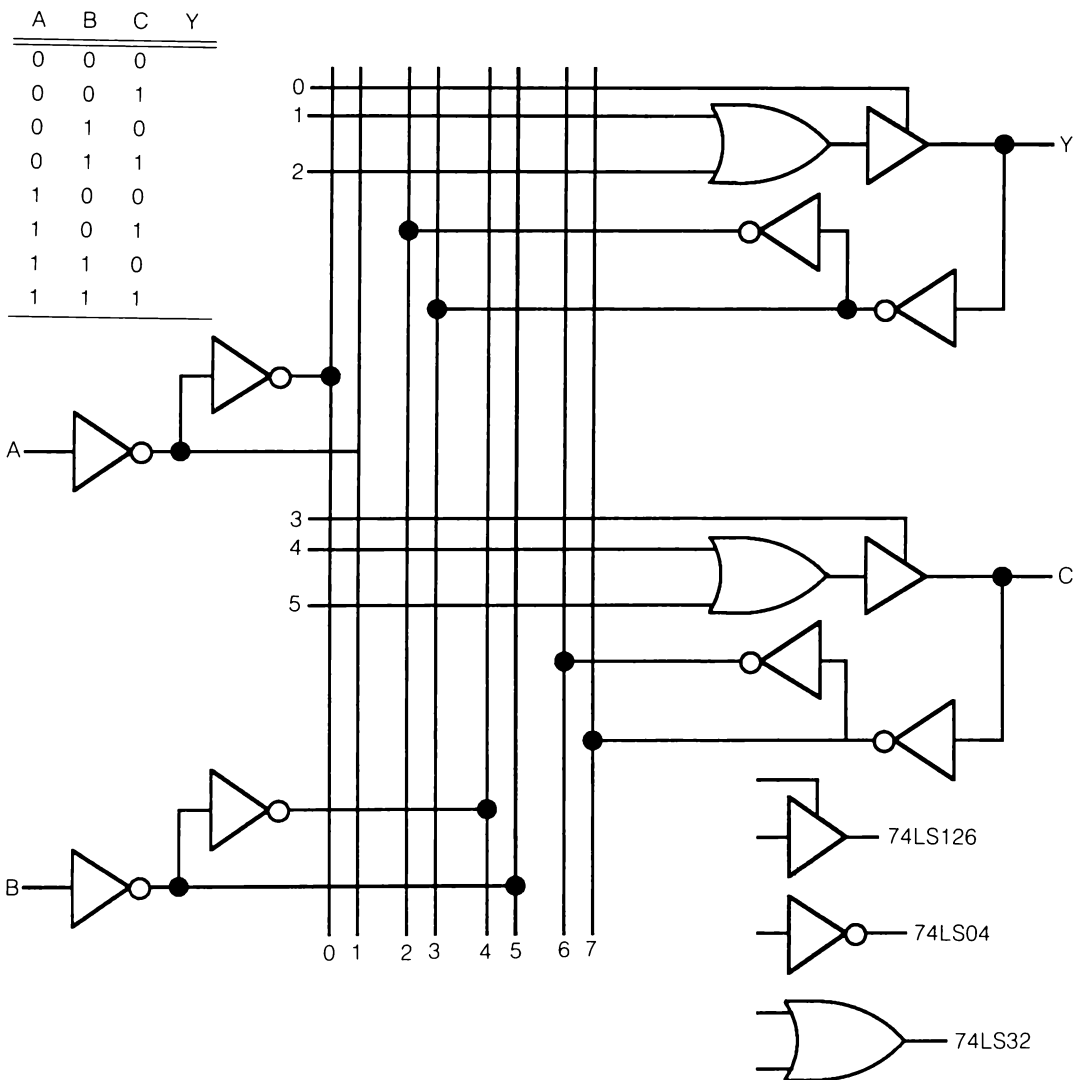


Figure 7.20 Pour l'expérience 3.

a) Programmez la puce pour obtenir la fonction

$$Y = \bar{A} * B + \bar{B} * C$$

b) Complétez la table de vérité par expérimentation.

N.B.: Si vous utilisez la planche programmable, ne confondez pas les lignes d'entrée (0, ..., 7) avec les lignes de produit (0, ..., 5).

4. Compteur binaire

Soit le montage de la figure 7.21.

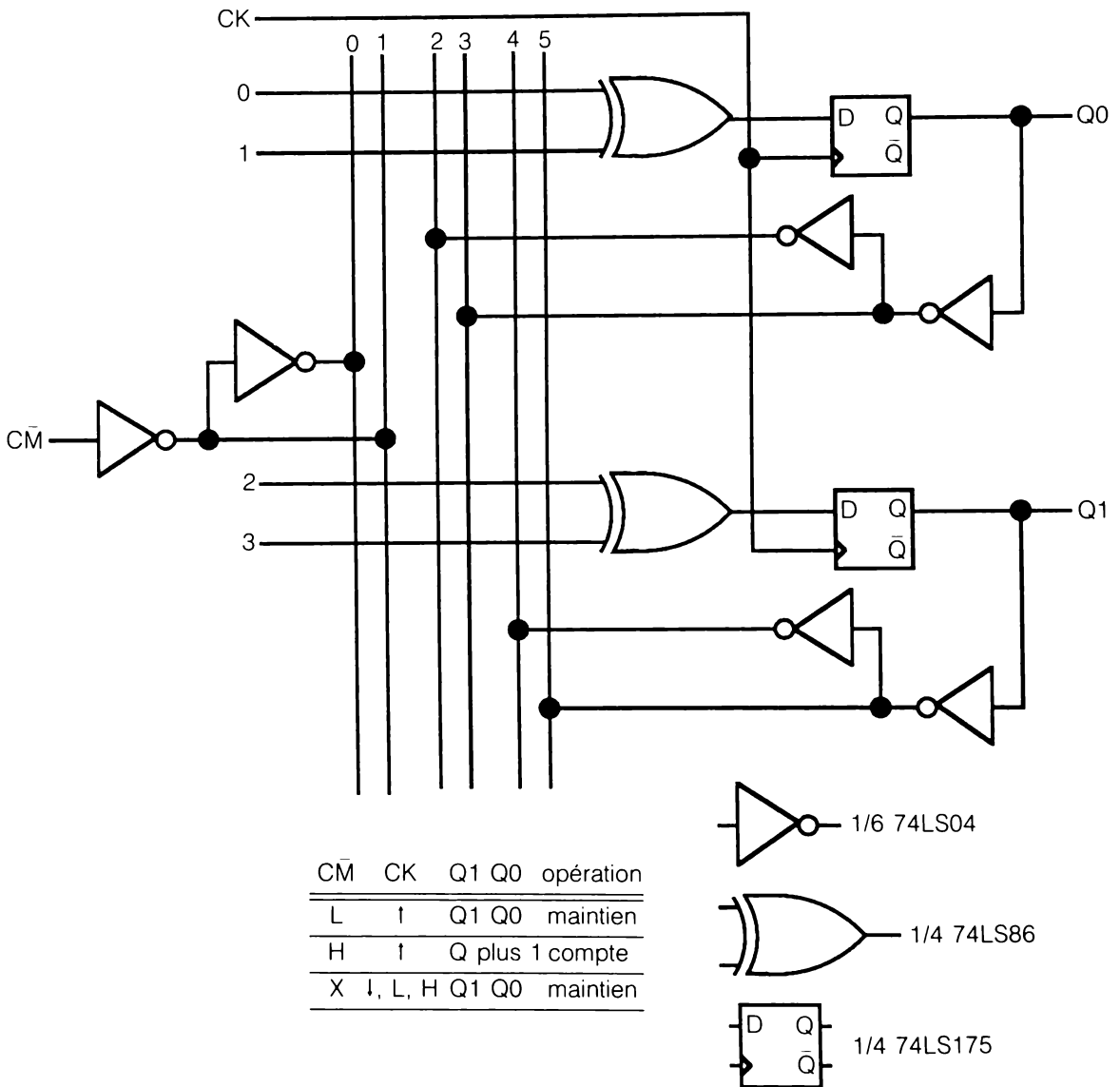


Figure 7.21 Pour l'expérience 4.

Programmez et expérimentez la puce qui vérifie la table de vérité.

5. Compteur programmable

Soit le montage de la figure 7.22.

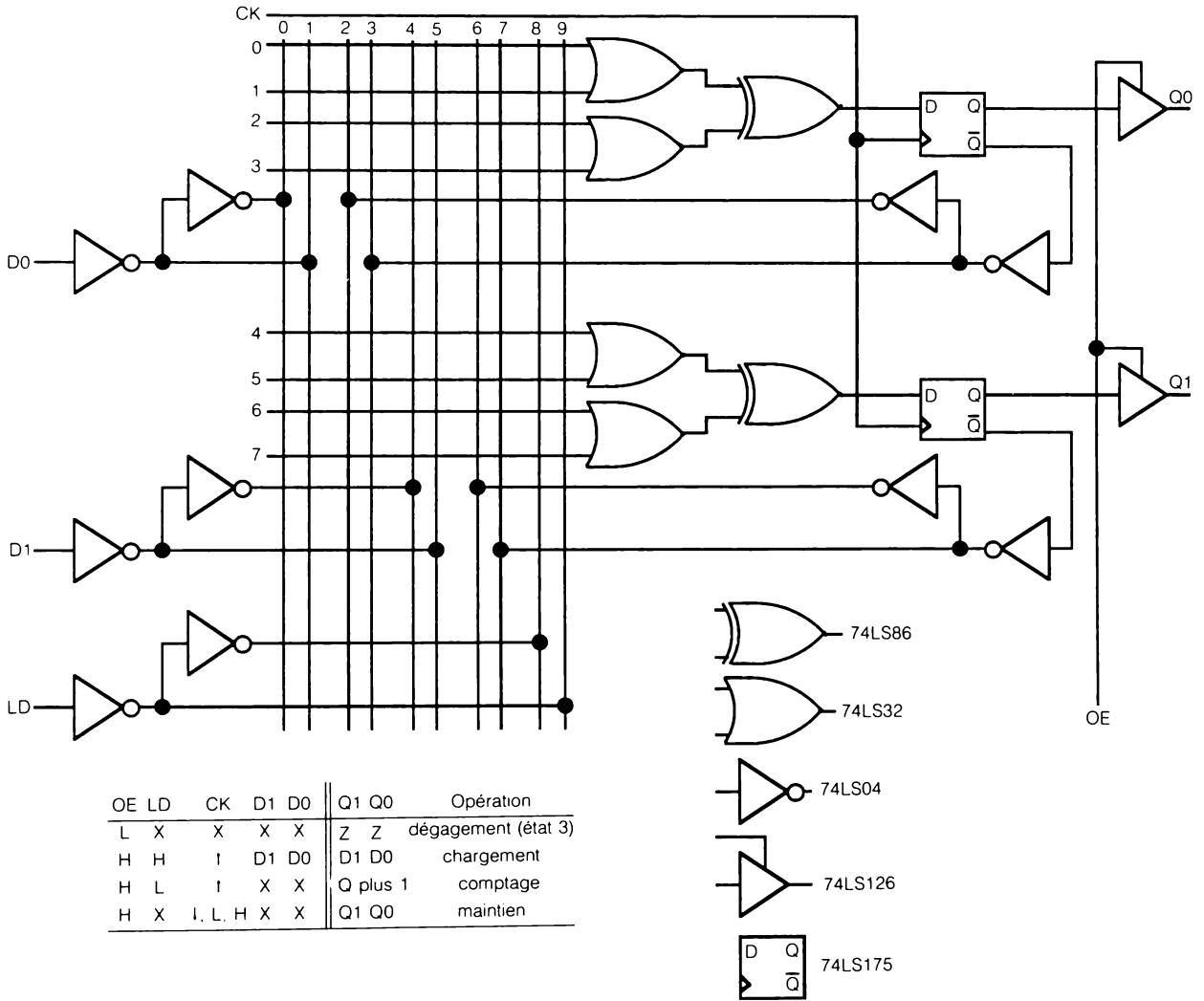


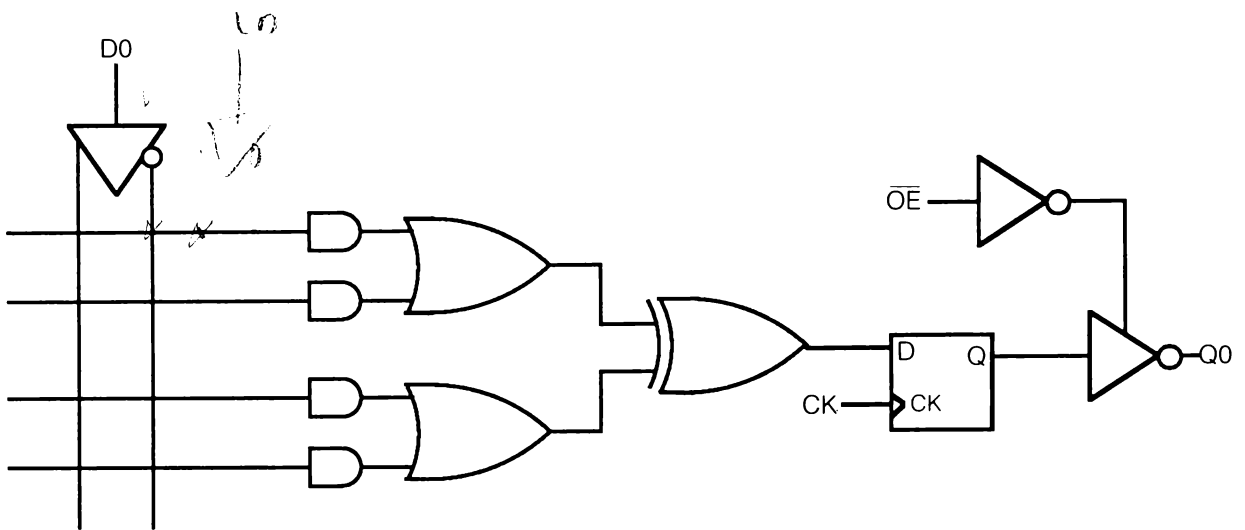
Figure 7.22 Pour l'expérience 5.

- a) Programmez et expérimentez la puce qui vérifie la table de vérité ;
- b) Écrivez le programme PALASM correspondant.

7.12 Problèmes

1. Équation PALASM

Soit la figure 7.23.



\overline{OE}	CK	D0	Q0	opération
H	X	X	Z	dégagement
L	L	X	Q0	maintien
L	H	X	Q0	maintien
L	↑	D0	D0	chargement

Figure 7.23 Pour l'exercice 1.

- Marquez les fusibles pour que la puce vérifie la table de vérité ;
- Écrivez l'équation PALASM correspondante ;
- Dessinez le montage équivalent ;
- Implantez un registre parallèle de 10 bits dans le PAL 20 × 10 qui vérifie la même table de vérité ;
- Écrivez les équations PALASM correspondantes.

2. Registre 9 bits

Soit le tableau 7.1.

Tableau 7.1 Pour le problème 2.

\overline{OE}	CK	LD	D8...D0	Q8...Q0	opération
H	X	X	X	Z	dégagement
L	↑	H	D	D	chargement
L	↑	L	X	Q	maintien
L	H, L	X	X	Q	maintien

- Implantez un registre de 9 bits dans le PAL 20 × 10 qui vérifie la table de vérité ;
- Écrivez le programme PALASM correspondant.

3. Fonction JK

- Implantez la fonction complémentée d'une bascule JK avec priorité de SET et RESET synchrones dans un PAL16R8.
- Dressez la table de vérité ;
- Sortez l'équation ;
- Transposez l'équation dans le format PALASM ;
- Marquez les fusibles sur le diagramme logique du 16R8 ;
- Déterminez le nombre de fusibles réels sautés.

4. Fonction RS

- Implantez la fonction directe d'une bascule RS synchrone dans un PAL16R8 ;
- Dressez la table de vérité ;
- Sortez l'équation ;
- Transposez l'équation dans le format PALASM ;
- Marquez les fusibles sur le diagramme logique du 16R8 ;
- Déterminez le nombre de fusibles sautés.

5. Registre 8 bits

- a) Implantez un registre 8 bits dans le PAL16R8 ;
- b) Écrivez le programme PALASM avec une table de fonctions.

6. Registre 7 bits

Soit le tableau 7.2.

Tableau 7.2 Pour le problème 6.

OD	LD	CK	D6 — D0	Q6 — Q0	opération
H	X	X	X	Z	dégage
L	L	↑	X	Q	maintien
L	H	↑	D	D	charge

- a) Implantez un registre 7 bits dans le PAL16R8 qui vérifie la table de vérité ;
- b) Écrivez le programme PALASM avec une table de fonctions ;
- c) Marquez les fusibles sur le diagramme logique du 16R8.

7. Fonction d'exception

Soit le tableau 7.3.

Tableau 7.3 Pour le problème 7.

	\bar{P}	F	I	B	Y
1	H	H	H	X	H
2	H	L	X	H	H
3	L	X	X	X	Y

- a) À l'aide de la fonction d'exception donnée par une porte OU exclusif, écrivez l'équation de Y ;
- b) Transposez l'équation dans le format PALASM ;
- c) Dessinez le circuit logique.

8. Mise en équation d'un énoncé

À la prochaine transition active d'horloge, la sortie Y sera remplacée par D1 ou D2 selon l'état haut ou bas du sélecteur S sauf si la remise à zéro synchrone RZ est au niveau haut ou si la fonction de maintien M est au niveau haut.

- a) Écrivez l'équation dans le format PALASM ;
- b) Dessinez le diagramme logique en utilisant la fonction OU exclusif.

9. Compteur octal

Soit le tableau 7.4.

Tableau 7.4 Pour le problème 9.

OD	CK	LD	UP	$\overline{\text{CBI}}$	DO	D7	Q0	Q7	$\overline{\text{CBO}}$	opération
L	↑	H	X	X	D		D	*		charge
L	↑	L	X	H	X		Q	*		maintien
L	↑	L	H	L	X		Q plus 1	*		compte
L	↑	L	L	L	X		Q moins 1	*		décompte
H	X	X	X	X	X		Z	*		dégagement
L	X	X	H	L	X		FF	L		report
L	X	X	L	L	X		OO	L		retenue
L	X	X	X	X	X		FF >Q>00	H		cascade sortie
L	X	X	X	H	X		X	H		cascade entrée

* $\overline{\text{CBO}}$ = H si FF >Q>00

Symbole	Définition	Anglais
OD	dégagement	output disable
CK	horloge	clock
LD	charge	load
UP	compte	count up
CBI	entrée de report et de retenue	carry, borrow, input
CBO	sortie de report et de retenue	carry, borrow, output
D7-D0	donnée	data
Q7-Q0	sortie registre	output register

- a) Implantez dans un PAL un compteur octal qui vérifie la table de vérité ;
- b) Écrivez les équations PALASM ;
- c) Marquez les fusibles sur le diagramme logique ;
- d) Cascadez quatre circuits pour réaliser un compteur 32 bits.

10. Compteur 9 bits

Soit le tableau 7.5.

Tableau 7.5 Pour le problème 10.

OD	CK	LD	D0 — D8	Q0 — Q8	RO	opération
H	X	X	X	Z	Z	dégagement
L	↑	H	D	D	*	charge
L	↑	L	X	Q plus 1	**	compte
L	↑	H	1FF	X	L	report de charge
L	↑	L	X	0FF	L	report de compte

* RO = H si D ≠ 1FF

** RO = H si Q plus 1 ≠ 1FF

- a) Implantez dans le PAL 20 × 10 le compteur 9 bits qui vérifie la table de vérité ;
- b) Écrivez le programme PALASM.

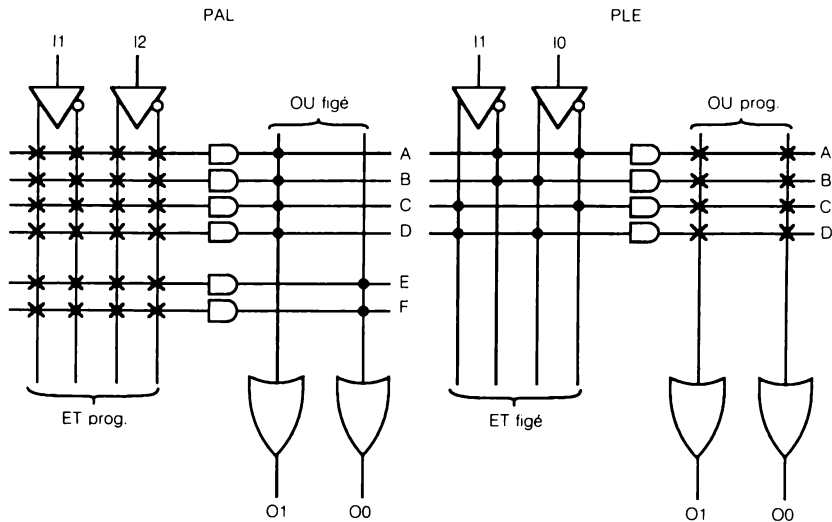
Familles de puces ou circuits programmables **8**

8.1 Objectifs

Après étude de ce chapitre, l'étudiant devra

1. Connaître les différentes familles de puces programmables.
2. Connaître les règles de syntaxe du logiciel PLEASM.
3. Savoir écrire les équations logiques selon les règles de syntaxe PLEASM.
4. Savoir écrire un programme source complet exécutable par le logiciel PLEASM.
5. Connaître les puces programmables effaçables.
6. Savoir programmer des puces à partir d'un schéma logique.
7. Savoir écrire un programme source complet exécutable par le logiciel A + PLUS de la compagnie ALTERA.

8.2 Les quatre familles de circuits programmables

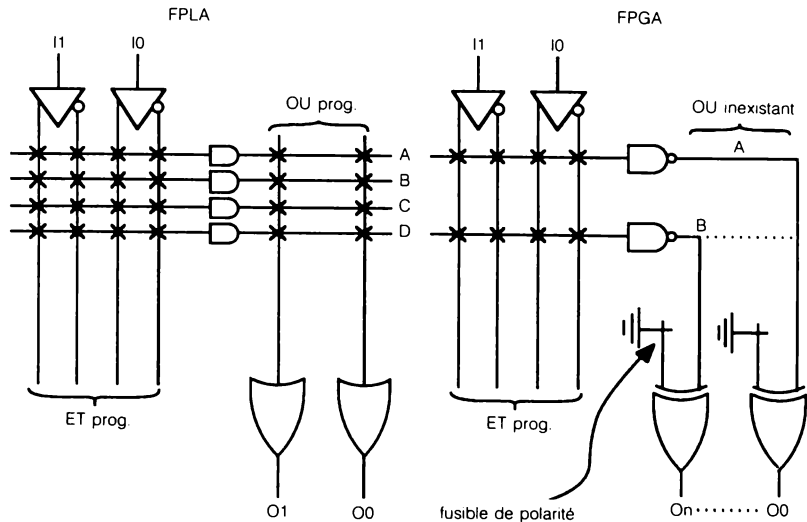


$O0 = E + F$
 $O1 = A + B + C + D$

$A = a(i0, i1)$
 $B = b(i0, i1)$
 $F = f(i0, i1)$

$O0 = f0(A, B, C, D)$
 $O1 = f1(A, B, C, D)$

$A = \bar{i1} \bar{i0}$
 $B = \bar{i1} i0$
 $C = i1 \bar{i0}$
 $D = i1 i0$



$O0 = f0(A, B, C, D)$
 $O1 = f1(A, B, C, D)$

$A = a(i0, i1)$
 $B = b(i0, i1)$
 $F = f(i0, i1)$

$O0 = A$ fusible intact
 $O0 = \bar{A}$ fusible sauté
 $O1 = B$ fusible intact
 $O1 = \bar{B}$ fusible sauté

$A = a(i0, i1)$
 $B = b(i0, i1)$

Légende : \uparrow contact permanent * fusible programmable.

Figure 8.1 Les matrices ET et OU des puces programmables sont figées ou programmables.

Les PAL constituent la famille de puces programmables que tous les fabricants de puces (ou presque) veulent imiter, perpétuer ou engendrer. Comme le rappelle la figure 8.1, l'architecture d'un PAL est composée d'une matrice programmable ET suivie d'une matrice figée OU. Les trois autres familles représentées sur la même figure sont les PLE à matrice figée ET et matrice programmable OU, les FPLA à matrices programmables ET et OU et les FPGA à matrice programmable ET et matrice OU inexistante. En principe, la démarche suivie pour l'étude des PAL est valable pour celle des autres familles de puces programmables. Nous allons cependant souligner les particularités de chacune de ces familles.

L'expérience de laboratoire en fin de chapitre porte sur un modèle OU programmable.

8.3 Puces programmables PLE

Fondamentalement, les PLE sont des PROM. En poussant la ressemblance avec les mémoires ROM disons que le nombre de produits figés que l'on peut programmer dans la matrice OU est égale à 2^n où n est le nombre d'entrées du circuit. C'est ainsi que les 5 entrées du PLE5P8 de Monolithic Memories représenté à la figure 8.2 génèrent $2^5 = 32$ produits (P_0 à P_{31}) programmables en 1 à 8 sommes de produits par la matrice de fusibles OU. Les configurations des sorties des PLE sont semblables aux configurations les plus performantes des sorties PAL.

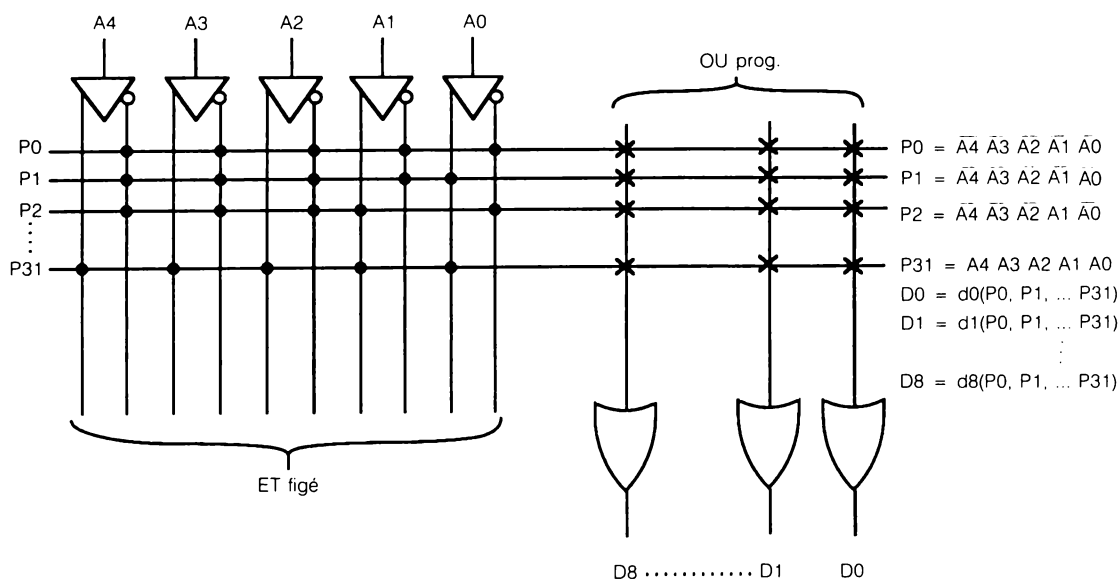


Figure 8.2 Diagramme logique du PLE5P8 constitué de 5 entrées et de 8 sorties. Les 5 entrées génèrent $2^5 = 32$ lignes de produit (P_0 à P_{31}) qui à leur tour sont programmables par la matrice de fusibles OU.

8.3.1 Exercice d'implantation d'une fonction OU exclusif sur un PLE5P8

Implantez la fonction $D0 = A0 \oplus A1 \oplus A2 \oplus A3 \oplus A4$ sur un PLE5P8.

Solution

Selon la table de Karnaugh de la figure 8.3, la sortie D0 est validée pour chaque produit renfermant un nombre impair de variables de niveau haut. Il suffit donc de programmer sur la sortie D0 les fusibles correspondants à ces termes.

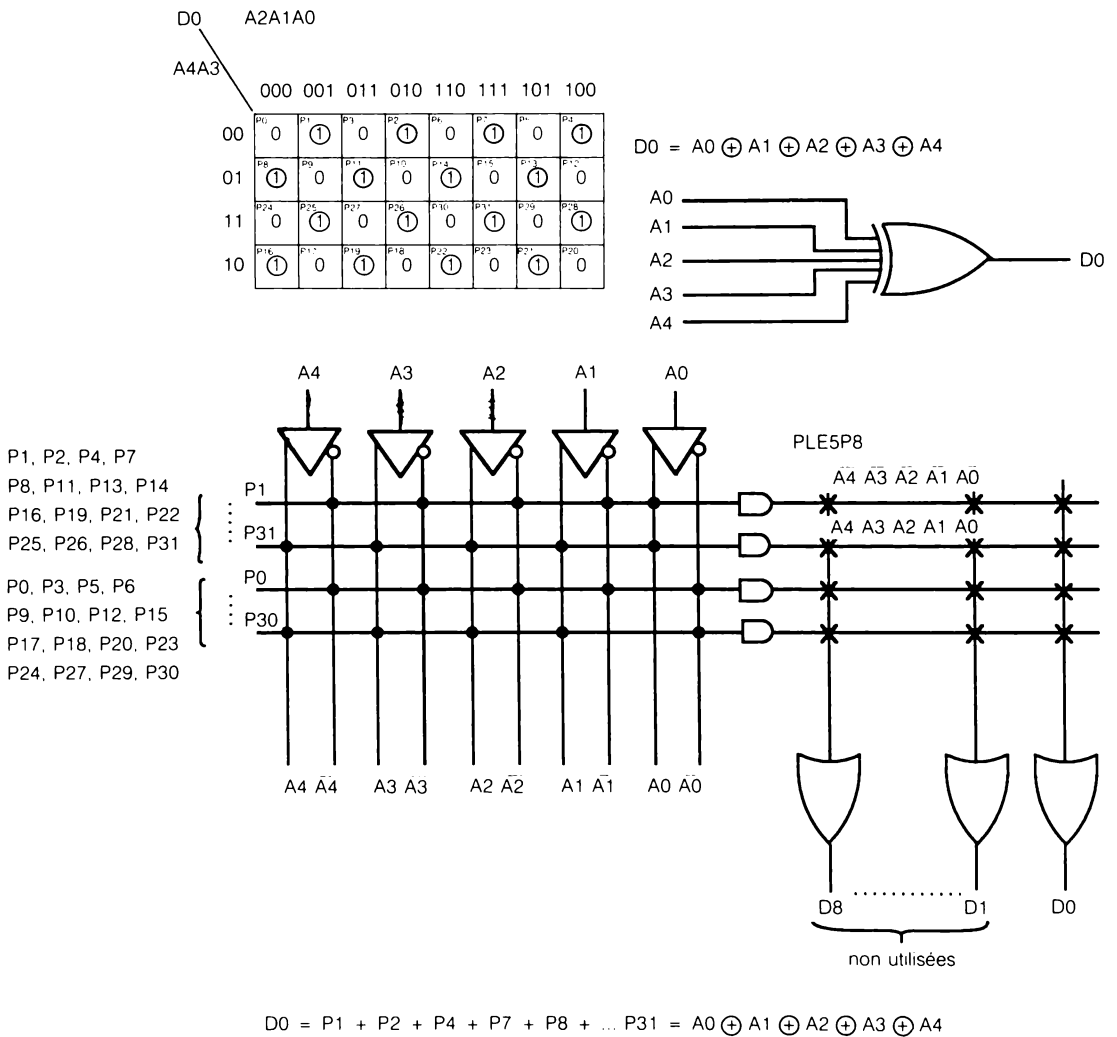


Figure 8.3 Pour la solution de l'exercice de 8.3.1.

8.4 Programmation PLEASM

Vous avez deviné que le logiciel PLEASM est au PLE ce que PALASM est au PAL. PLEASM se contente de 64 ko de mémoire et tourne sur des systèmes d'exploitation tels le MS-DOS d'IBM-PC et le CP/M d'Apple, Radio-Shack, etc. Les sociétés DATA I/O, KONTRON ELECTRONICS, STAG MICROSYSTEMS, DIGILEC, VARIC, etc., vendent un joli programmeur universel ou tous les adaptateurs nécessaires à ajouter au vôtre. PLEASM accepte en entrée les opérateurs

- / Inversion
- * ET logique
- + OU logique
- :+ : OU exclusif
- :* : NON-OU exclusif
- .* . FOIS (multiplicateur arithmétique)
- .+ . PLUS (additionneur arithmétique)

8.4.1 Exercice de programmation PLEASM d'implantation d'une fonction NON-OU exclusif sur un PLE5P8

Écrivez le programme PLEASM qui implantera une fonction NON-OU exclusif à 5 entrées sur un PLE5P8.

Solution

Les différences avec la programmation PALASM consistent à introduire l'opérateur `:*` et à faire précéder la ligne 5 des broches par le préfixe `.ADD` (Adresse) et la ligne 6 des broches par `.DAT` (Donnée).

```

PLE5P8
PLE-21
PORTES LOGIQUES
CEGEP AHUNTSIC MONTREAL
.ADD A0 A1 A2 A3 A4
.DAT D0
D0 = A0 **: A1 **: A2 **: A3 **: A4 ; NON-OUexclusif
FUNCTION TABLE
A0 A1 A2 A3 A4 D0
; entrées sortie commentaires:
;A0 A1 A2 A3 A4 D0 état des entrées
-----
L L L L L L toutes les entrées sont à 0
H H H H H H toutes les entrées sont à 1
H L H L H H nombre impair d'entrées à 1
L H L H L L nombre pair d'entrées à 1
-----
DESCRIPTION
Exercice de syntaxe PLEASM.
    
```

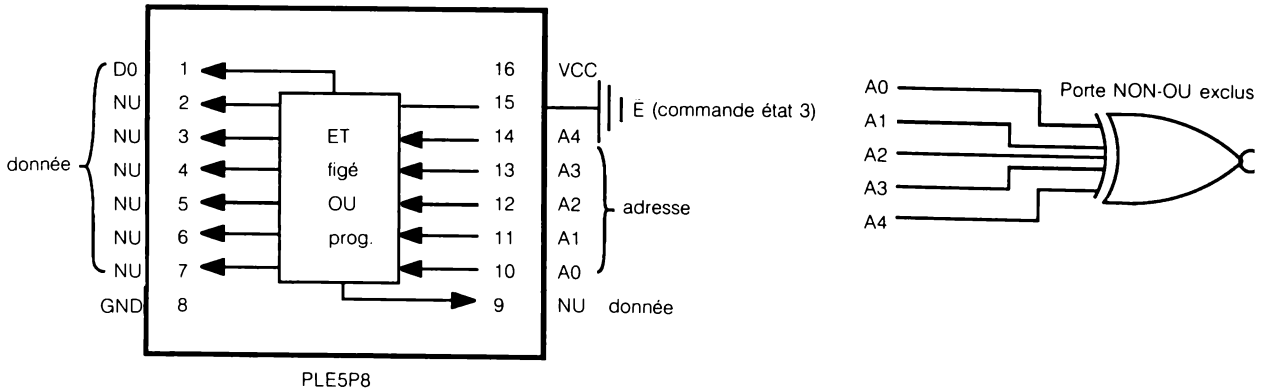


Figure 8.4 Pour la solution de l'exercice de 8.4.1.

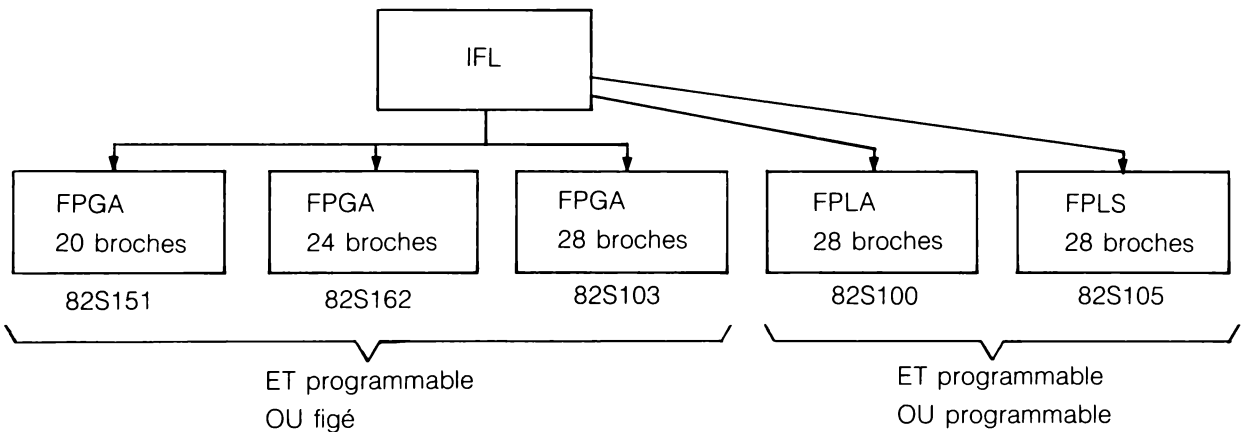
8.5 Circuits IFL, FPGA, FPLA, FPLS

Sous le nom générique de IFL (*Integrated Fuse Logic*), la société Signetics offre des puces programmables de base à 20, 24 et 28 broches. Comme le montre le tableau 8.1, les IFL regroupent trois types de circuit, à savoir les circuits

FPGA (*Field Programmable Gate Array*),
 FPLA (*Field Programmable Logic Array*) et
 FPLS (*Field Programmable Logic Sequencer*)

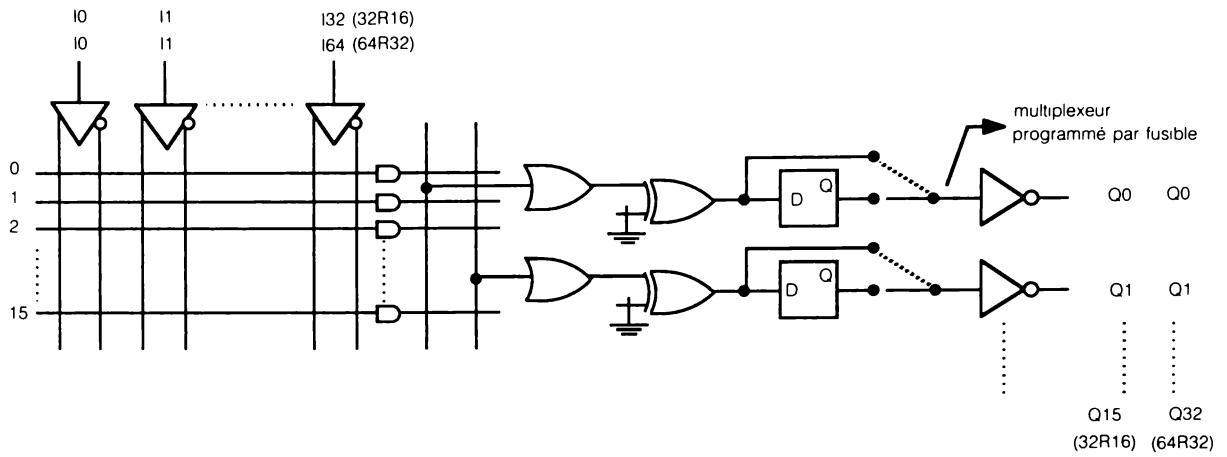
AMAZE est le langage spécialisé pour programmer les IFL. Mais des langages évolués comme ABEL et CUPL programment les puces IFL.

Tableau 8.1 Puces programmables de base Signetics.



8.6 Puces programmables VLSI

Le tableau de la figure 8.5 résume les caractéristiques du PAL32R16 et de son successeur le PAL64R32. Ces deux PAL cumulent les perfectionnements de la série 24 : produits partagés, fusible de polarité, préchargement, etc. De plus, un multiplexeur permet de ponter les bascules et donc de convertir une sortie séquentielle en sortie combinatoire. Chaque entrée d'horloge et de commande d'état 3 est associée à un groupe de huit bascules.



	32R16	64R32
entrées (I)	32	64
sorties (registre ou combinatoire)	16	32
entrées horloge	2	4
commande état 3	2	4
produits partagés par deux		
bascules	16	16
fusibles	18X8X64 = 8K	16X16X128 = 32K
équivalence en porte		
NON-ET à quatre entrées	1500	5000
courant ICC	200 mA	400 mA
fréquence de fonctionnement	16 MHz	16 MHz
temps de propagation max (ns)		
fusible de polarité (H)	45	55
fusible de polarité (L)	40	50
broches	40 ou 44	84 ou 88
prix unitaire (1987)	≈ 60 \$	≈ 180 \$

Figure 8.5 Principe et caractéristiques des circuits intégrés à très grande échelle 32R16 et 64R32.

8.7 Puces programmables CMOS, CMOS-E², ECL

La technologie bipolaire et la programmation par fusibles est complétée, remplacée ou concurrencée par des technologies déjà éprouvées dans la fabrication des circuits classiques. Voici trois exemples typiques :

- Le PAL bipolaire 16L8 peut être remplacé par son équivalent CMOS 16LC8.
- Les circuits PEEL-18CV8 de GOULD et GAL-16V8 de LATTICE sont des CMOS programmables et électriquement effaçables (technologie E²). Ils peuvent remplacer les PAL des séries 20 et 24 broches.
- La firme SIEMENS propose des puces programmables au laser ou par masque et construites à partir de la technologie ECL-100K. Voici ses principales caractéristiques :
 - temps de propagation moyen : 3 ns
 - nombre d'entrées : 36
 - nombre de termes de produit : 48
 - nombre de sorties : 16
 - flexibilité des sorties : produit partagé, programmation de polarité, pontage de la bascule, programmation en JK, etc.
 - équivalence en composants : 8500 pour la version au laser et 5000 pour la version masquable.
 - dissipation : 3,5 W.

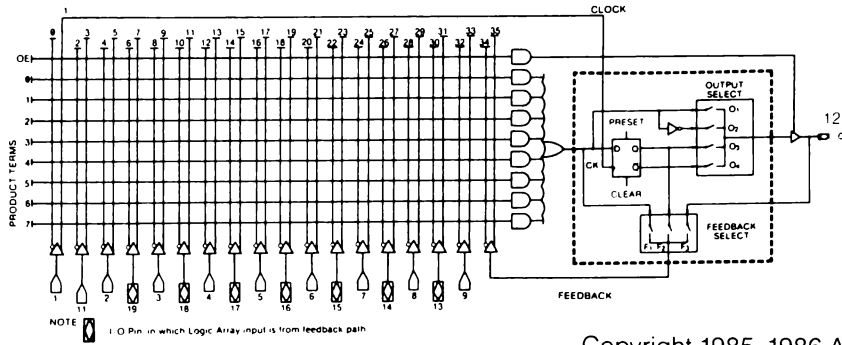
8.8 Circuits programmables CMOS effaçables

La société ALTERA a proposé en 1984 un système de développement utilisant en bout de ligne des circuits programmables CMOS effaçables à l'ultra-violet. La technique de programmation des MOS du type EPROM* venait de trouver une nouvelle application.

Le circuit bas de gamme de la société, représenté à la figure 8.6, est constitué de huit macrocellules identiques. Cette configuration est familière. On y retrouve

- a) 36 lignes d'entrée (18 lignes d'entrée directe et 18 lignes d'entrée inversée) ;
- b) 9 lignes de produit ;
- c) Une cellule de sortie pouvant être programmée en configuration « registre » ou « combinatoire ».

* Cette technique est décrite dans le chapitre intitulé Mémoires mortes ROM.



Copyright 1985, 1986 Altera Corporation

Figure 8.6 Brochage et macrocellule du circuit programmable EP300 d'ALTERA.

Le diagramme synoptique global apparaît à la figure 8.7. On y retrouve les 36 lignes d'entrée et les 72 lignes de produit auxquelles on ajoute une ligne pour la remise à zéro asynchrone et une autre ligne pour la mise à 1 synchrone des 8 registres.

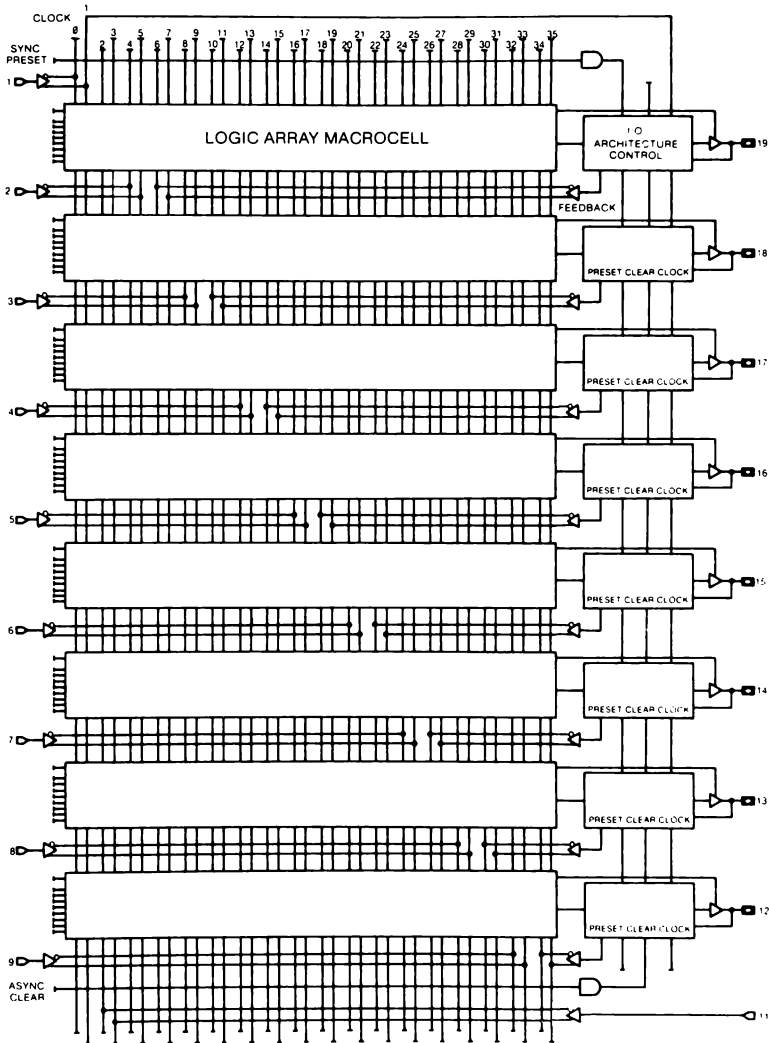
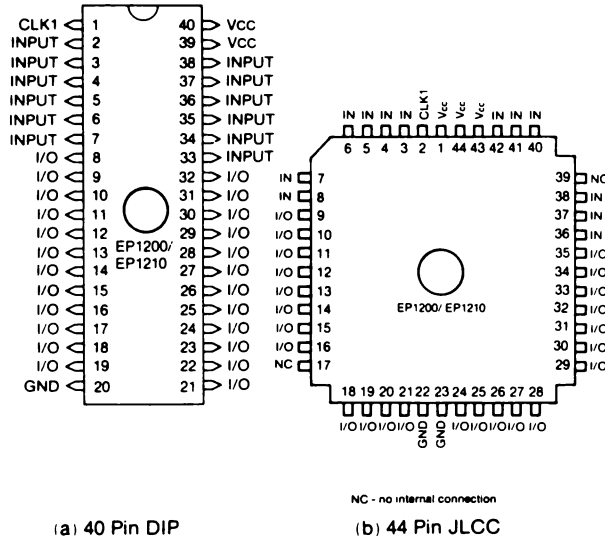


Figure 8.7 Architecture interne du EP300.

Copyright 1985, 1986 Altera Corporation

Pour 3 000 \$ canadiens (1987) on obtient le logiciel et le matériel de base pour programmer le circuit bas de gamme EP300 et le circuit milieu supérieur de gamme EP1200 de la figure 8.8. L'architecture interne du EP1200 est constituée de 28 macrocellules dont 7 peuvent être configurées en produits partagés.



Copyright 1985, 1986 Altera Corporation

Figure 8.8 Brochage du circuit programmable EP1200 d'ALTERA.

Avec le système de base PLD52 on peut programmer les deux circuits à partir des équations booléennes ou à partir des fonctions logiques (programme NETMAP) du schéma manuel. Évidemment, le système de base est ouvert aux options telles

- a) Logiciel de conception et de simulation électronique DASH-2, PCAD, PC-CAPS, PC-LOGS, etc. ;
- b) Adaptateur pour toutes les séries de circuits présents et à venir (cinq en 1987).

Le système de base tourne sur MS-DOS ou PC-DOS avec 384 ko de mémoire principale.

Les portes logiques 1 à 12 de l'interface de la figure 8.9 sont implantées dans le circuit EP300 d'ALTERA directement à partir du schéma en utilisant le programme NETMAP. On assigne une lettre à chaque entrée et sortie des portes. NETMAP demande le nom des entrées et sorties des broches du EP300, puis les fonctions logiques à partir d'une sortie, jusqu'à ce qu'on rejoigne une entrée. On passe ensuite à la sortie suivante pour obtenir tout le schéma. Cela s'appelle la « capture du schéma ». On obtient alors le listage ci-dessous. Si l'auteur est satisfait (ce qui était le cas), il demande au logiciel de faire l'implantation. Remarquez que le signe CONF (*Combinatorial Output No Feedback*) signifie que seul le commutateur 01 ou 02 de la figure 8.6 est fermé. De même le signe VCC a la même signification que dans la programmation des PAL, à savoir que la ligne de produit OE (*Output Enable*) est au niveau haut. NETMAP donne aussi en sortie la grille programmée de toutes les intersections des lignes d'entrée et de produit et bien d'autres détails utiles ou amusants !

JEAN LETOCHA

IREQ CEGEP AHUNTSIC

November 13, 1985

1

1

EP300

INTERFACE DE COMMUNICATION BOUCLE FIBRE OPTIQUE :: IBM PC/AT

NETMAP Version 1.1, Revision a, 1/8/85

PART : EP300

INPUTS : DACK1, DACK0, RESET, IOR, IOW, RD, WR, A12

OUTPUTS : OCI, CI, OCO, CO, PRA, PRB, CLRB, CLRA

NETWORK :

O = INP (DACK0)

U = INP (IOR)

T = NOR (O,U)

S = NOT (T)

OCI = CONF (S,VCC)

L = INP (WR)

K = NOT (L)

E = INP (A12)

J = AND (K,E)

CI = CONF (J,VCC)

G = INP (RD)

F = NOT (G)

D = AND (E,F)

R = NOT (D)

OCO = CONF (R,VCC)

A = INP (DACK1)

Q = INP (IOW)

```

P = NOR (A,Q)
CO = CONF (P,VCC)
N = NOT (O)
C = INP (RESET)
M = NOR (N,C)
PRA = CONF (M,VCC)
B = NOR (C,D)
PRB = CONF (B,VCC)
CLRB = CONF (A,VCC)
I = NOT (J)
CLRA = CONF (I,VCC)
END$

```

EP300

DACK1	—: 1	20:— Vcc
DACK0	—: 2	19:— CLRB
RESET	—: 3	18:— CLRA
IOR	—: 4	17:— PRB
IOW	—: 5	16:— PRA
RD	—: 6	15:— CO
WR	—: 7	14:— OCO
A12	—: 8	13:— CI
GND	—: 9	12:— OCI
GND	—:10	11:— GND

8.10 Exercice sur l'architecture des macrocellules

Pour le circuit EP300 représenté aux figures 8.6 et 8.7, déterminez :

- Le nombre d'entrées I ;
- Le nombre d'entrées/sorties I/O ;
- Le nombre de lignes d'entrée ;
- Le nombre de lignes de produit ;
- Le nombre de points d'intersection programmables ;
- La programmation du multiplexeur pour changer la fonction I/O en entrée I seulement ;
- La programmation du multiplexeur pour obtenir une configuration registre avec retour.

Solution

- a) Les 10 entrées sont indiquées sur la figure 8.6. Remarquez que la broche n° 1 peut servir pour une horloge qui déclenche sur la transition haute.
- b) Les huit broches I/O sont configurées en entrée ou en sortie selon le niveau logique L ou H de la ligne de produit OE. Le EP300 peut donc contrôler un maximum de 8 sorties et un maximum théorique de 18 entrées.
- c) Les 36 lignes d'entrée se divisent comme d'habitude en 18 lignes d'entrée directe et 18 lignes d'entrée inverse.
- d) Les 74 lignes de produit se divisent comme suit :
 8 macrocellules à 9 lignes = 72 lignes,
 1 ligne pour le 1 synchrone et
 1 ligne pour le 0 asynchrone.
- e) Le nombre d'intersections égale le produit du nombre de lignes d'entrée par le nombre de lignes de produit, soit 2664 points d'intersection programmables (36×74).
- f) Le commutateur F_3 seulement du sélecteur de retour sera fermé (par programmation) pour obtenir une configuration en entrée. C'est la primitive INP (pour *Input*) qui assure cette fonction dans le logiciel.
- g) Le commutateur F_2 du sélecteur de retour et un des deux commutateurs O_3 ou O_4 du sélecteur de sortie seront fermés pour obtenir une configuration « Registre avec Retour ». C'est la primitive RORF (pour *Registered Output Registered Feedback*) qui assure cette fonction.

8.11 Avenir des puces ou circuits programmables

La vulgarisation des outils de CAO et l'intérêt explosif des fabricants de circuits intégrés pour les puces programmables permettent de croire qu'elles concurrenceront la logique classique dès 1990. Nous croyons que cette introduction aux circuits ou puces programmables vous donnera envie d'être prêt...

8.12 Expérience de laboratoire**1. Réseau ET et OU programmable**

Soit la figure 8.10.

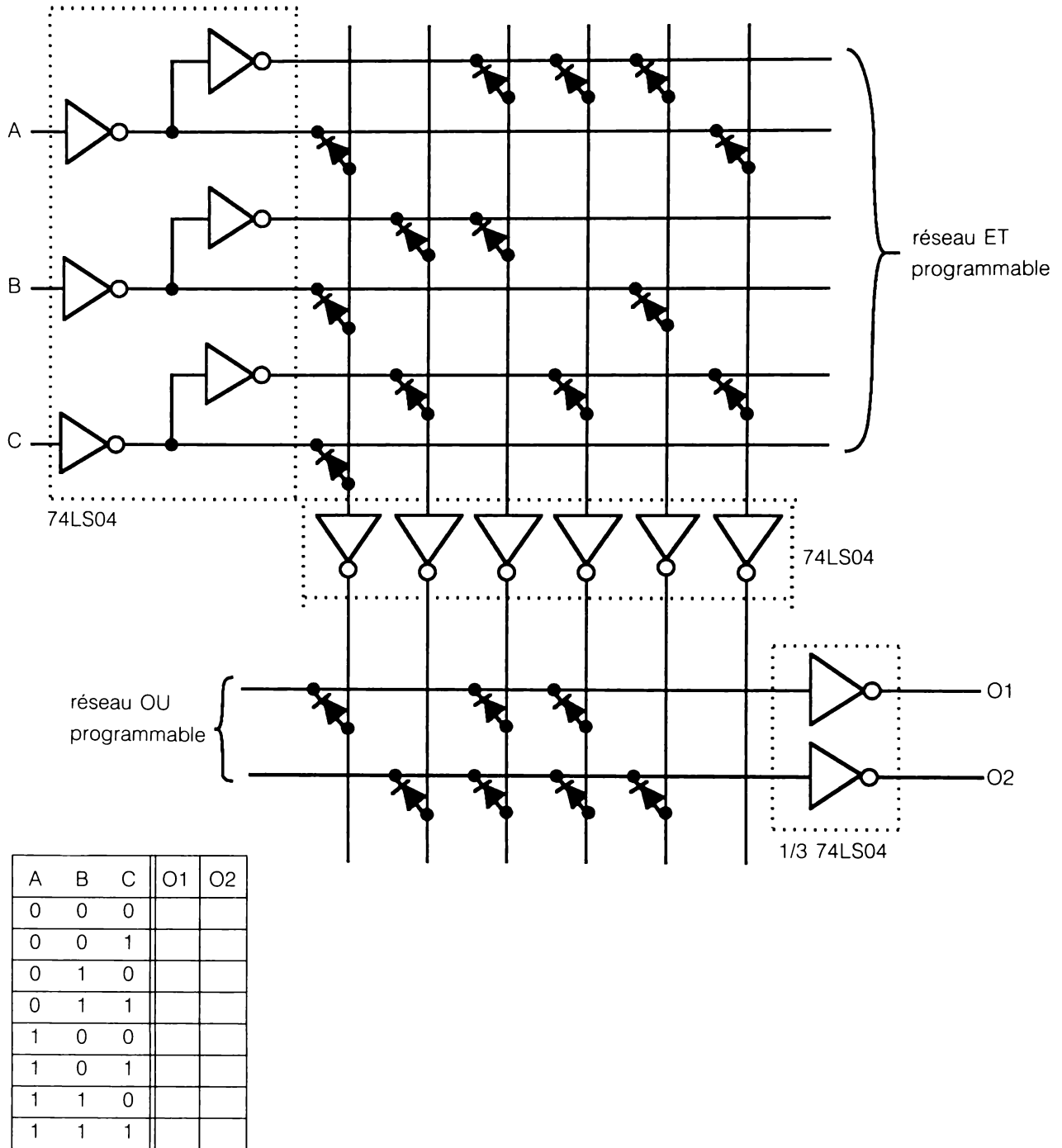


Figure 8.10 Pour l'expérience 1.

- Effectuez le montage ;
- Complétez la table de vérité par expérimentation ;
- Écrivez les équations de O1 et de O2.

Techniques de construction et de dépannage

9

9.1 Objectifs

Après étude de ce chapitre, l'étudiant devra

1. Savoir diminuer les erreurs de câblage d'un prototype.
2. Connaître la méthode du câblage dynamique.
3. Savoir découvrir les erreurs dans un plan de câblage.
4. Savoir éviter les erreurs de conception.
5. Savoir choisir l'équipement d'essai approprié.

9.2 Problèmes de câblage

Dans la fabrication d'un prototype, on introduit, toutes les 100 connexions, au moins deux erreurs du genre : circuit ouvert, court-circuit, raccordement d'un fil à la mauvaise place, etc. Le maître enseignera donc à ses disciples comment faire un essai de continuité (essai sonore) de la carte avant d'y insérer les circuits intégrés. Mais le plus souvent, les disciples se contenteront d'une inspection sommaire du montage. Puis retenant leur souffle, ils brancheront l'alimentation. Si, après quelques secondes le montage reste froid et inodore on procède aux premiers essais. Une fois sur deux le prototype fonctionne, à la condition qu'il comporte au maximum 5 circuits intégrés de base. Et si ça ne marche pas on fait appel à son jugement et à son équipement d'essai. Si vous débutez, vous raccorderez la sonde d'un oscilloscope ou d'un analyseur logique au point le plus inaccessible de votre montage et vous chercherez la « trace » du bobo. Ne trouvant ni trace ni bobo, vous prenez une pause café au lait pour permettre à votre collègue (celui qui n'écoute pas les conseils du maître) de mettre à l'endroit le circuit intégré que vous aviez inséré à l'envers, de placer le fil rouge sur la broche 16 (au lieu de 15 ou 17 !), de changer le 74HC253 pour un 74HCT253 comme l'indiquait le plan de montage ou tout simplement de rallumer l'alimentation que... personne n'avait éteinte ! La morale de cette histoire est que les yeux sont le premier appareil efficace d'essai.

9.3 Câblage dynamique

La démarche ci-dessous est efficace pour la réalisation des expériences de laboratoire et pour la mise au point des prototypes sur planche d'essai.

Il s'agit de câbler le prototype sous tension mais à courant contrôlé. Si l'alimentation n'a pas de limiteur de courant, le plan d'avertisseur de limite de courant représenté à la figure 9.1 offre l'avantage de se bricoler en quelques minutes avec quelques composants de fond de tiroir. À la position « câblage », on compare le courant alimentant le prototype en construction à une référence programmée par le potentiomètre entre 0 et 100 mA (0 à 200 mA pour une résistance série de 5 Ω). Si le courant dans le prototype dépasse la valeur pointée par le potentiomètre, le vibreur retentit. La section des expériences de laboratoire en fin de chapitre comporte une version améliorée du limiteur.

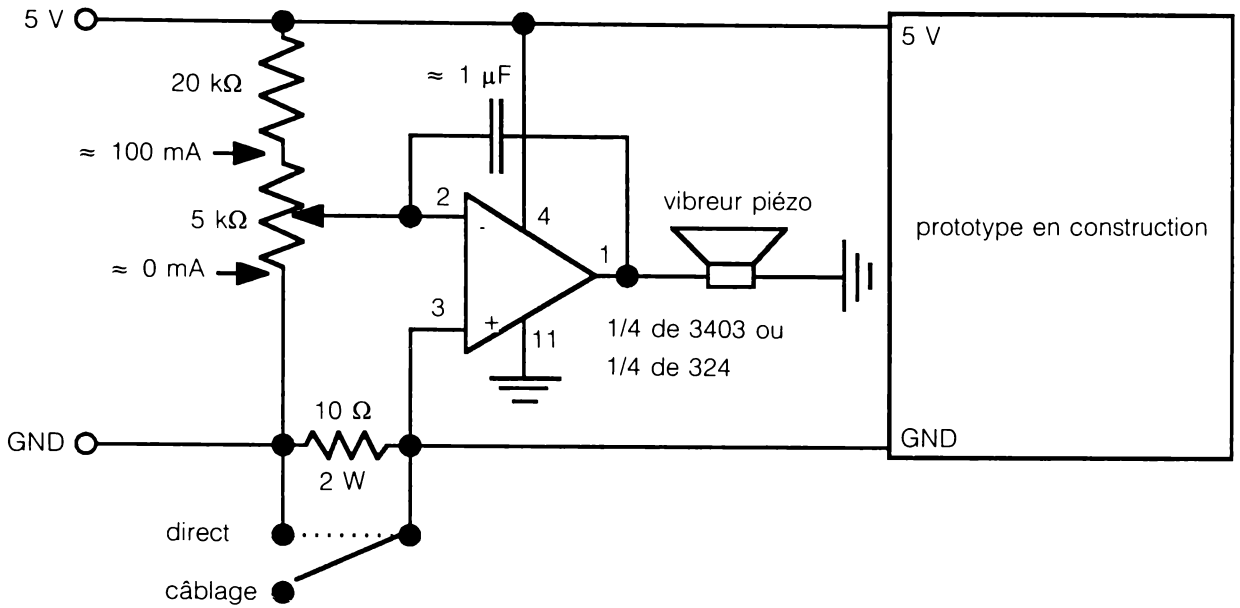


Figure 9.1 Avertisseur de dépassement de courant utilisé pour le câblage dynamique d'un prototype.

Résumé d'une méthode enrichissante (il en existe d'autres) d'utilisation de ce système pour câbler sous tension.

1. Insérez tous les circuits sur la planche de montage et raccordez toutes les broches V_{CC} des circuits à l'alimentation de 5 V.
2. Relevez sur les fiches techniques les valeurs les plus élevées du courant d'alimentation I_{CC} de chaque circuit. Supposons que le montage soit celui de la figure 9.2.

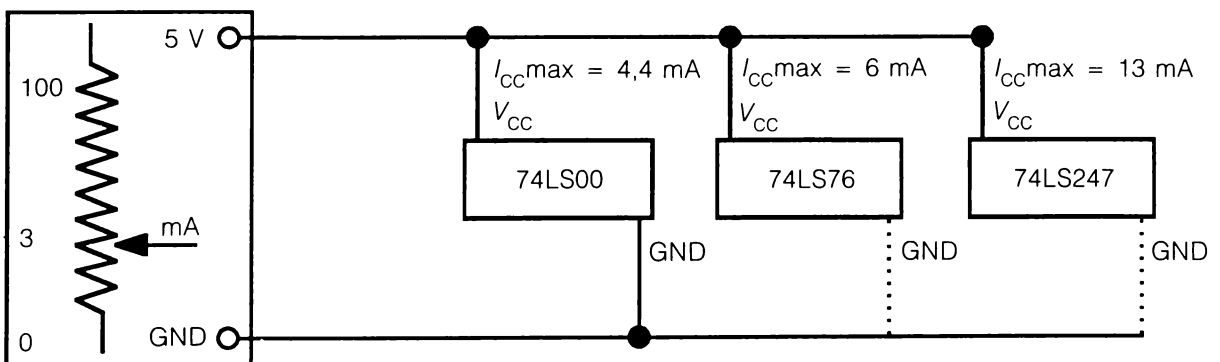


Figure 9.2 Câblage dynamique : essai du courant I_{CC} de chaque composant.

3. Raccordez la masse du 74LS00. Le signal sonore apparaît (ou disparaît) sur la position 3 mA (avec notre échantillon). Vous avez fait du bon travail et le 74LS00 est probablement sain. Raccordez la masse du 74LS76. Le signal sonore apparaît (ou disparaît) sur la position 8 mA. Le 74LS76 demande donc $8 - 3 = 5$ mA ; il est probablement sain. Raccordez la masse du 74LS247. Le signal sonore apparaît (ou disparaît) sur la position 20 mA. Le 74LS247 demande donc $20 - 8 = 12$ mA. Tout va bien.
4. Avancez le curseur du potentiomètre de la position 20 mA à la position 30 mA (environ) et câblez tout le circuit à l'exception des charges terminales s'il y en a (relais, afficheurs, etc.). L'avertisseur retentira si vous faites une erreur de câblage (du genre court-circuit, sortie à la masse ou au V_{CC} , sortie sur sortie).
5. Raccordez les charges terminales qui augmentent (si elles sont activées) le courant I_{CC} dans le prototype.
6. Basculez le commutateur sur « direct » et effectuez les derniers essais.
7. Si les circuits sont des CMOS, le courant I_{CC} est pratiquement nul à la condition que toutes les entrées soient raccordées à la masse ou à l'alimentation V_{CC} . Comme ce n'est pas le cas au début du câblage, comptez environ 5 mA par circuit. Mais ça peut être beaucoup moins si le taux d'humidité du laboratoire est élevé ou si votre chat arrête de jouer avec votre câblage. Rappelons qu'un CMOS est souvent mieux protégé quand ses broches d'alimentation sont raccordées. C'est en effet par ces broches et via les diodes de protection que s'écoulent les charges statiques accumulées sur les entrées.

Avec la méthode classique vous aviez 50 % de chance qu'un prototype constitué de 5 circuits fonctionne au premier coup. Avec la méthode du câblage dynamique, vos chances sont maintenant de 80 %. De plus, cette méthode constitue un cours d'initiation aux circuits intégrés.

9.4 Erreurs de plan

Vous avez presque tout essayé et votre montage persiste à générer une fonction erronée. Que vous soyez ou non l'auteur du montage ; qu'il soit griffonné sur une nappe de restaurant ou délicieusement coloré sur papier glacé, vous êtes en droit de douter de son exactitude.

Découvrez les trois erreurs dans les trois montages (une par montage) de la figure 9.3 et vous aurez un aperçu des mauvais tours que personne (sic) n'a voulu vous jouer.

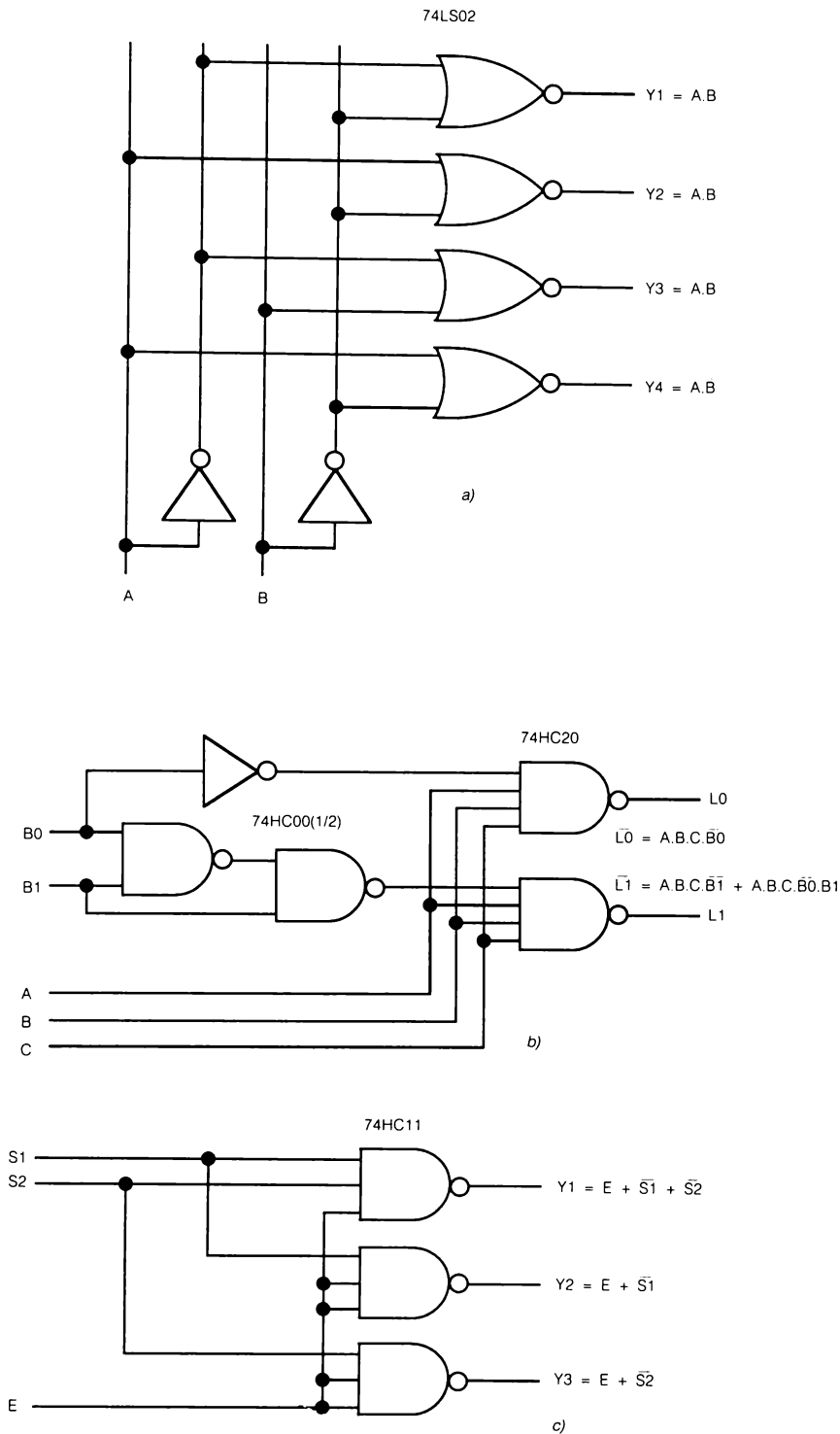


Figure 9.3 Une légère erreur s'est glissée dans la copie de chaque plan. Découvrez ces trois erreurs.

Tel que dessiné, le montage a) valide la sortie Y4 pour la sélection $\overline{A}B$ au lieu de $\overline{A}\overline{B}$ comme l'indique l'équation. Le point de contact de la deuxième entrée de la porte NON-OU devrait être sur B au lieu de \overline{B} . Pour être conforme au plan, la deuxième équation du montage b) devrait se lire : $L1 = ABCB1 + ABCB0B1$. Mais au lieu de s'en prendre à l'équation on aurait pu accuser le plan d'être erroné. Voici, par ordre de priorité, quatre façons de lever l'ambiguïté :

1. Vérification de l'équation, si l'on connaît la fonction du circuit.
2. Vérification de la concordance entre l'équation et la table de vérité.
3. Construction de la table de vérité de l'équation douteuse. Si l'équation est inexacte, la table de vérité n'a souvent aucun sens.
4. Retraçage du circuit avec l'équation douteuse. Si la modification implique une diminution, une augmentation ou un changement de composants logiques, on peut parfois croire que le schéma d'origine était exempt d'erreur.

Les trois équations du montage c) sont conformes au schéma. Mais le montage refuse de valider les sorties pour les combinaisons données. Qui est la plus coupable ? Celle qui a écrit 74HC11 au lieu de 74HC10 ou celle qui câble sans catalogue ?

9.5 Problèmes de conception

Un bon concepteur risque toujours. Si son produit ne marche pas, il saura où et comment enquêter. Répondez aux questions suivantes en soulignant Oui ou Non. Alors vous saurez si vous osez risquer et vous corrigerez vos erreurs de conception avec un certain plaisir. Les réponses commentées apparaissent à la fin du questionnaire.

1. Dans un montage, peut-on remplacer un circuit 74LS10 par un circuit 74HC10 ? Oui. Non.
2. Un voltmètre classique branché à la sortie d'un montage logique TTL indique 2,9 V pendant 2 s. Peut-on dire que le niveau de la sortie était haut pendant ces 2 s ? Oui. Non.
3. Oseriez-vous installer du 74HC dans une voiture en hiver au Québec ? Oui. Non.
4. Est-il le plus souvent indispensable qu'une donnée soit présente avant la transition active du signal qui la valide ? Oui. Non.
5. Est-il le plus souvent indispensable qu'une donnée reste stable un certain temps après la transition active du signal qui la valide ? Oui. Non.
6. Les équations booléennes des deux circuits ci-dessous sont équivalentes. Leurs fonctions opérationnelles le sont-elles aussi ? Oui. Non.

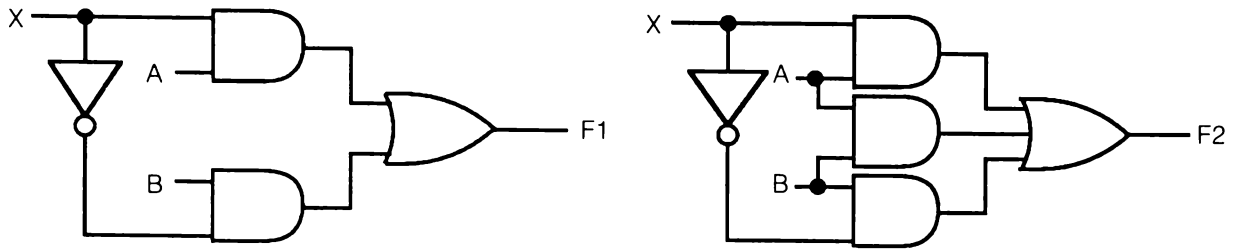


Figure 9.4 Pour la question 6.

7. A-t-on intérêt à choisir le circuit intégré le plus rapide? Oui. Non.
8. Est-ce que l'excursion de l'alimentation V_{CC} est plus petite pour la famille TTL que pour la famille CMOS? Oui. Non.

Réponses

1. Non. Le 74HC10 exige une tension de niveau haut de 3,5 V ($V_{IH} = 3,5$ V). Le 74LS10 se contentait d'une tension de niveau haut de 2 V ($V_{IH} = 2$ V).
2. Non. La sortie aurait pu redescendre au niveau bas pour quelques millisecondes sans influencer la lecture d'un voltmètre classique qui n'est pas équipé d'un mémorisateur d'impulsions.
3. Oui. La plage de température de fonctionnement du 74HC s'étend de -40°C à $+85^{\circ}\text{C}$.
4. Oui. La donnée doit être présente avant sa validation par le signal de commande. Il s'agit du temps de préparation t_s qu'il ne faut surtout pas oublier.
5. Non. Très souvent, le temps de maintien t_h est nul et même négatif. De toute façon, il faut consulter la fiche technique pour chaque circuit.
6. Non. La fonction F_1 présente un aléa de fonctionnement entre les deux combinaisons. Par contre, le terme de recouvrement AB dans la fonction F_2 permet d'éliminer cet aléa dans la séquence $AX, ABX, AB\bar{X}, B\bar{X}$.

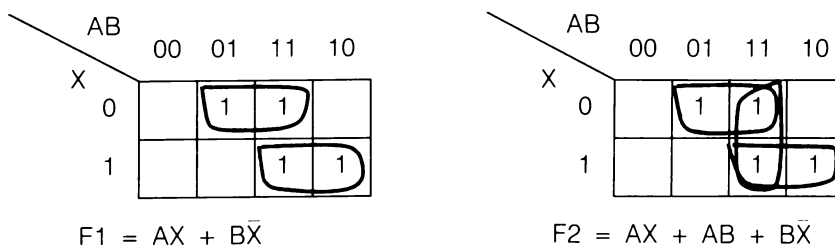


Figure 9.5 Pour la réponse 6.

7. Non. Un circuit rapide commute pour la moindre perturbation. Un montage réalisé avec des circuits rapides doit donc être bien étudié et bien isolé des bruits. Ne cherchez pas ailleurs le succès qu'a remporté dans nos laboratoires d'enseignement l'ancienne série de base 4000 robuste et lente comme une tortue.
8. Oui. L'excursion des fluctuations de l'alimentation V_{CC} est effectivement plus étroite pour le TTL. Mais ce n'est pas une raison pour négliger l'alimentation des circuits CMOS. Une alimentation mal adaptée génère beaucoup de problèmes intermittents. Si l'alimentation doit servir un montage à commutation rapide, on s'assurera qu'une variation totale de la charge (I_{min} à I_{max} du montage) puisse s'effectuer dans un temps très court et pour une variation négligeable de l'alimentation V_{CC} . Il est aussi recommandé d'adjoindre à l'alimentation un filtre de ligne (si elle n'en possède pas). Ce filtre évite que les transitoires générés sur le réseau par le démarrage du réfrigérateur (!) se retrouve sous forme de crête de bruit sur le 5 V.
Si après avoir découplé le V_{CC} sur chaque circuit intégré du prototype par un condensateur de l'ordre de $0,1 \mu F$ vous persistez à croire que l'alimentation vous joue des mauvais tours, remplacez-la provisoirement par des piles. Assurez-vous cependant que la tension des piles se maintient dans les limites acceptables pour la variation totale de la charge (I_{min} à I_{max} du prototype).

9.6 Sonde logique et voltmètre

Disponible en format crayon, la sonde logique permet de voir (et aussi d'entendre) le niveau haut ou bas d'un point du circuit sous essai. On peut aussi mémoriser une impulsion dont la largeur minimale détectable est une fonction inverse du prix d'achat de l'instrument. La sonde logique possède une intelligence « I » concentrée autour des tensions des niveaux haut et bas des circuits de base. Ce sera par exemple 0,8 V et 2,2 V pour le V_{IL} et le V_{IH} des circuits TTL et CMOS compatibles (74HCT), et 1,1 V et 3,5 V pour le V_{IL} et le V_{IH} des circuits CMOS 74HC. Pour bien utiliser la sonde, il faut développer une intelligence « I + 1 » concentrée dans les zones non affichées par l'instrument. Les exemples suivants peuvent nous aider :

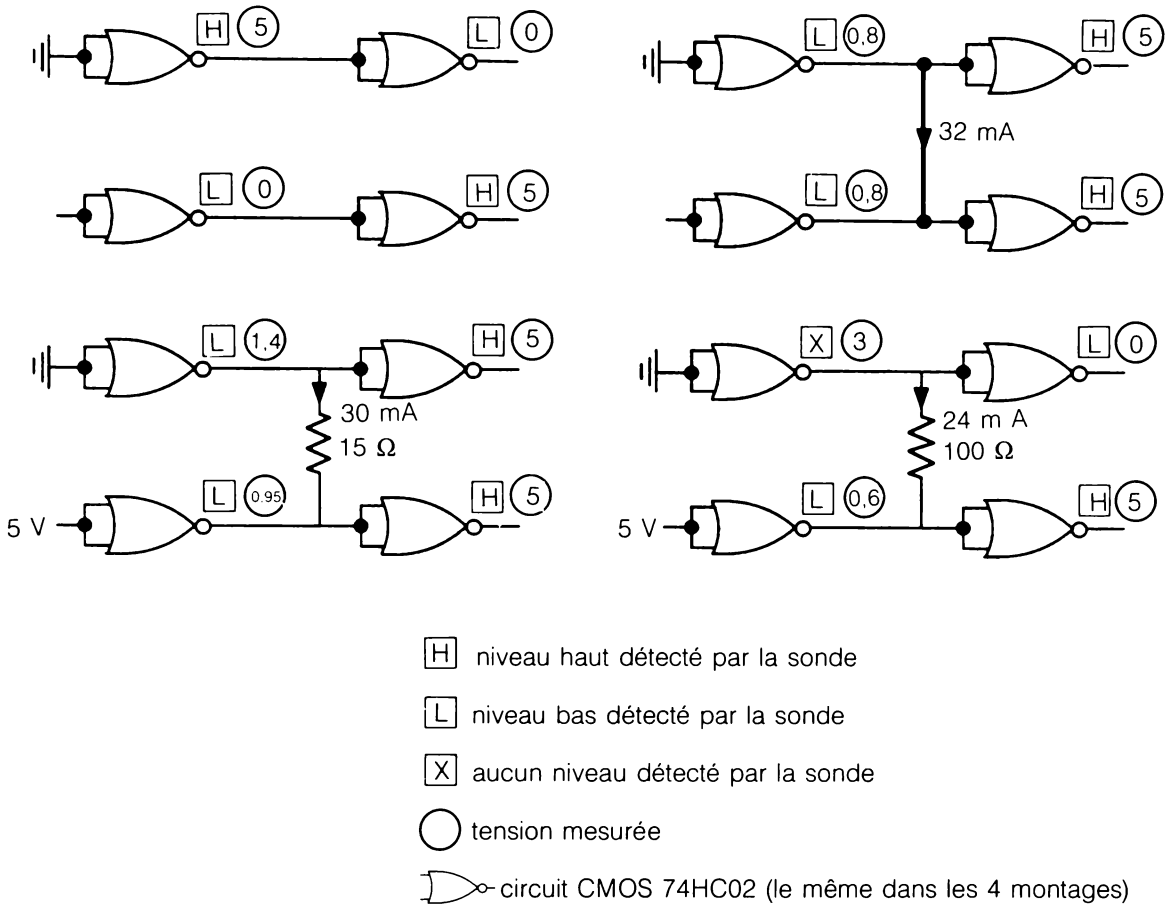


Figure 9.6 Niveau logique, tension et courant mesurés sur un circuit CMOS 74HC02.

La figure 9.6 illustre les résultats d'un essai effectué sur un court-circuit plus ou moins résistif. Ces résultats ne surprennent guère puisque la faute est parfaitement illustrée. Évidemment, dans un montage réel, le court-circuit n'est pas visible. Et c'est notre intelligence « I + 1 » qui complète l'intelligence limitée « I » de la sonde.

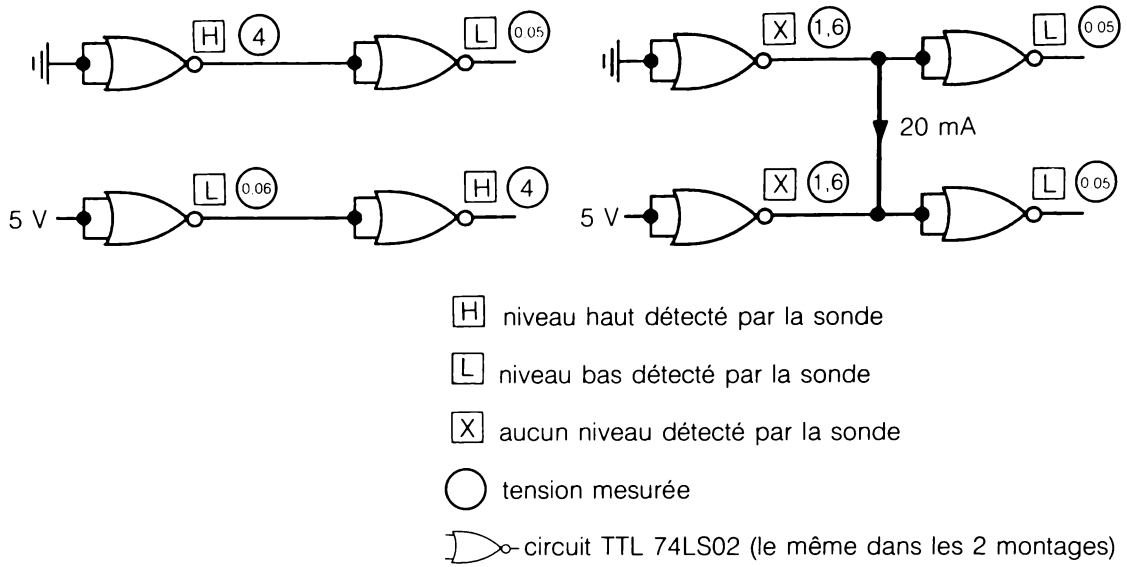


Figure 9.7 Niveau logique, tension et courant mesurés sur un circuit TTL 74LS02.

Le remplacement du circuit 74HC02 par son frère le 74LS02 donne le montage de la figure 9.7. Il faut éplucher la fiche technique du fabricant pour comprendre les résultats fournis par la sonde.

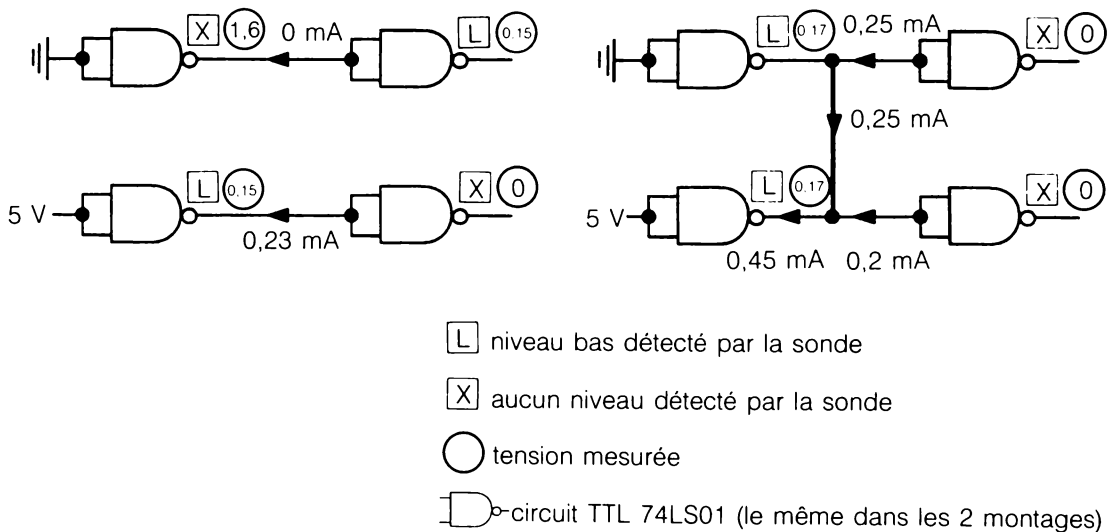


Figure 9.8 Niveau logique, tension et courant mesurés sur un circuit TTL à collecteur ouvert 74LS01.

Enfin selon la figure 9.8, pour interpréter les résultats affichés par la sonde sur un circuit à collecteur ouvert (qu'il soit sain ou défectueux) il faut utiliser son intelligence « I + 1 ».

9.7 Conclusion sur sonde logique et voltmètre

La sonde logique est un outil de dépannage rapide et fiable jusqu'au moment où elle détecte une anomalie. À ce moment, il faut jumeler les performances de la sonde à un soupçon de matière grise. Et si ça ne suffit pas, il faut ressortir du tiroir un bon vieux voltmètre.

L'on voit alors si les tensions mesurées sont parfaitement cohérentes avec la fiche technique (si cette dernière est bien détaillée). Nos meilleurs étudiants (de qui nous tirons nos meilleures leçons) ont toujours un voltmètre ou un oscilloscope à leur portée. Nous en avons même qui regrettent de perdre dans l'affichage numérique l'information temporelle fournie par un voltmètre analogique. Évidemment, certains fabricants d'instruments de mesure ont saisi le message et offrent la lecture numérique et la lecture analogique sur le même appareil.

9.8 Générateur d'impulsions

Pour isoler certains défauts sans dessouder, sans couper, sans ouvrir l'alimentation, sans débrancher, bref sans rien briser, il faut pouvoir forcer à l'état inverse un point d'un circuit. Mais certaines sorties de circuit intégré résistent beaucoup à ce genre de violation. Quand la sortie d'un 7402 est à l'état bas, la tension aux bornes du transistor saturé augmente très peu avec le courant. C'est pourquoi un bon générateur d'impulsions doit pouvoir fournir un courant de un ou deux ampères pendant quelques μs . Évidemment, le générateur détecte d'abord l'état actuel du point d'essai avant de le forcer à l'état inverse. Utilisé en conjonction avec la sonde logique et votre intelligence «I + 1», le générateur d'impulsions peut faire gagner du temps dans certaines applications. Mais nous comprenons vos hésitations (non fondées) à utiliser cette mitrailleuse sur votre nouveau microprocesseur 32 bits.

9.9 Détecteur de courant

Bien conscients des limites de la sonde logique dans le cas d'un court-circuit, certains fabricants proposent une sonde qui détecte le champ magnétique créé par un courant supérieur à 1 mA. On utilise ce petit milliampèremètre discret et intelligent en conjonction avec le générateur d'impulsions.

9.10 Pince logique

En refermant les mâchoires d'une pince logique sur le circuit intégré à essayer, on obtient visuellement le niveau haut ou bas de toutes les broches. Cet instrument ne brille

pas par son intelligence, mais il est utile pour détecter une faute qualifiée communément de niaiseuse.

9.11 Comparateur logique

C'est une pince logique suivie d'un comparateur dans lequel est inséré un circuit sain. Le circuit « pincé » est comparé au circuit sain. Toute dissymétrie de niveau logique sur deux broches correspondantes sera visuellement signalée. Vous pouvez évidemment vous faire offrir ces petits instruments dans une jolie sacoche... de vrai cuir.

9.12 Oscilloscope

Le voltmètre et la sonde logique sont pratiques et rapides pour déceler les défauts statiques. Mais pour détecter un phénomène dynamique indésirable, il faut recourir à la puissance de l'oscilloscope. Il mesure l'amplitude, la durée, les temps de transition haute et basse et les temps de préparation et de maintien d'un signal ; bref, il permet d'analyser des événements permanents, transitoires et fugitifs de quelques nanosecondes. Un bon oscilloscope de 100 MHz à mémoire peut capter et mémoriser une crête fantaisiste et malicieuse sur l'alimentation et donner l'idée de chercher ailleurs que sur le prototype la faute intermittente sur laquelle on bûche depuis deux semaines.

9.13 Analyseur logique

L'analyseur logique permet de visualiser simultanément sur écran les états logiques des points essayés par ses 32 sondes d'entrée. L'affichage est binaire, octal, hexadécimal ou sous forme de chronogramme. Dans ce dernier cas, l'analyseur sert d'oscilloscope multicanal.

Comme pour un bon oscilloscope, la fréquence d'échantillonnage d'un analyseur convenable est de 100 MHz. L'analyseur logique est un outil puissant et intelligent. Et comme tout système doué d'une intelligence « I », il demande à son utilisateur de développer une intelligence « I + 1 ». Aucun publicitaire ne devrait proposer de minimiser cette faculté. Avant d'utiliser un analyseur logique, il faut épilucher son mode d'emploi jusqu'à connaissance parfaite. L'objectif n'est pas de manipuler l'instrument (les premières manipulations risquent de décevoir, ce qui ne rendrait pas justice aux efforts du fabricant et au génie créateur du publicitaire). L'objectif n'est pas non plus de connaître les limites de l'instrument (le fabricant et le distributeur se sont mis d'accord pour qu'il n'en ait pas !). L'objectif est de prédire

1. Le temps que cet instrument fait économiser.
2. Le nombre d'utilisation par semaine. Si ce nombre est faible, la remise en train exige une bonne dose de concentration.
3. La partie du cerveau à développer pour être un peu plus intelligent que l'analyseur.

On a aussi le droit de se renseigner sur des détails aussi futiles que le prix d'achat, l'encombrement, la portabilité, la polyvalence, l'adaptabilité, la protection contre le vol, etc. Enfin, choisir un analyseur en fonction de ses besoins et l'utiliser souvent, très souvent.

9.14 Résumé des techniques de construction et de dépannage

Pour construire un prototype sans problème, il faut

1. Connaître la fonction des composants utilisés ;
2. Respecter toutes les limites de fonctionnements statique et dynamique des composants ;
3. Connaître la fonction globale du montage réalisé ;
4. Comparer fréquemment le montage et le plan ;
5. Vérifier quelquefois ou sans cesse le courant absorbé par le prototype en construction ;
6. Essayer dynamiquement les sous-fonctions en dehors de leur contexte d'utilisation globale ;
7. Utiliser l'alimentation appropriée ;
8. Posséder un double de tous les composants utilisés.

Si en dépit de cela le montage ne fonctionne pas, recourir, dans l'ordre,

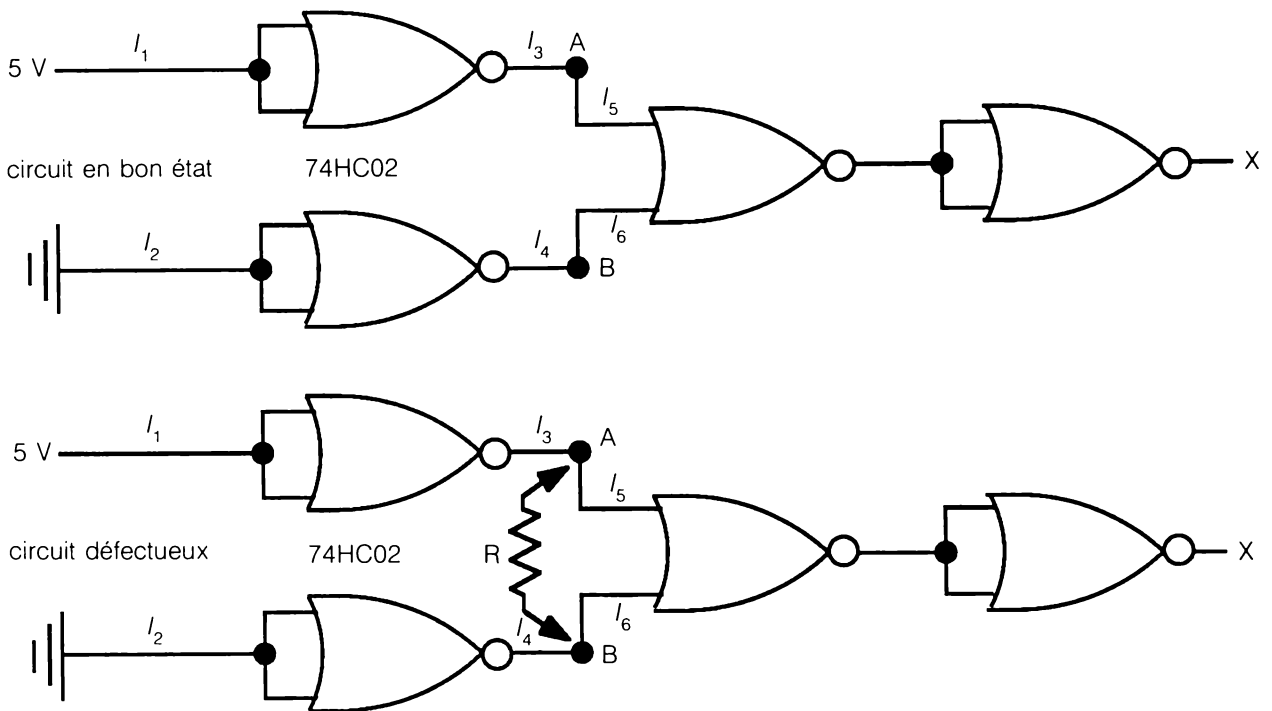
1. À son intelligence logique ;
2. À ses catalogues ;
3. À la sonde logique ;
4. Au voltmètre ;
5. À l'oscilloscope ;
6. À l'analyseur logique ;
7. Aux cadeaux reçus : générateur d'impulsions, détecteur de courant, etc.

Et s'il reste de l'argent et de la place sur le banc d'essai, rêver à quelques appareils d'essais et de mise au point spécialisés tels un analyseur de signature et un émulateur de circuit.

9.15 Expériences de laboratoire

1. Circuit CMOS défectueux

Soit le montage de la figure 9.9.



	voltmètre			sonde			milliampèremètre							fiche technique		
	V_A	V_B	V_X	A	B	X	I_1	I_2	I_3	I_4	I_5	I_6	I_{CC}	I_{CC}	I_1	I_2
circuit en bon état																
circuit défectueux R = 500 Ω														X		
circuit défectueux R = 0 Ω														X		

Figure 9.9 Pour l'expérience 1.

Remplissez le tableau de la figure 9.9 par expérimentation et analyse de la fiche technique.

2. Avertisseur-limiteur de courant

Soit le montage de la figure 9.10.

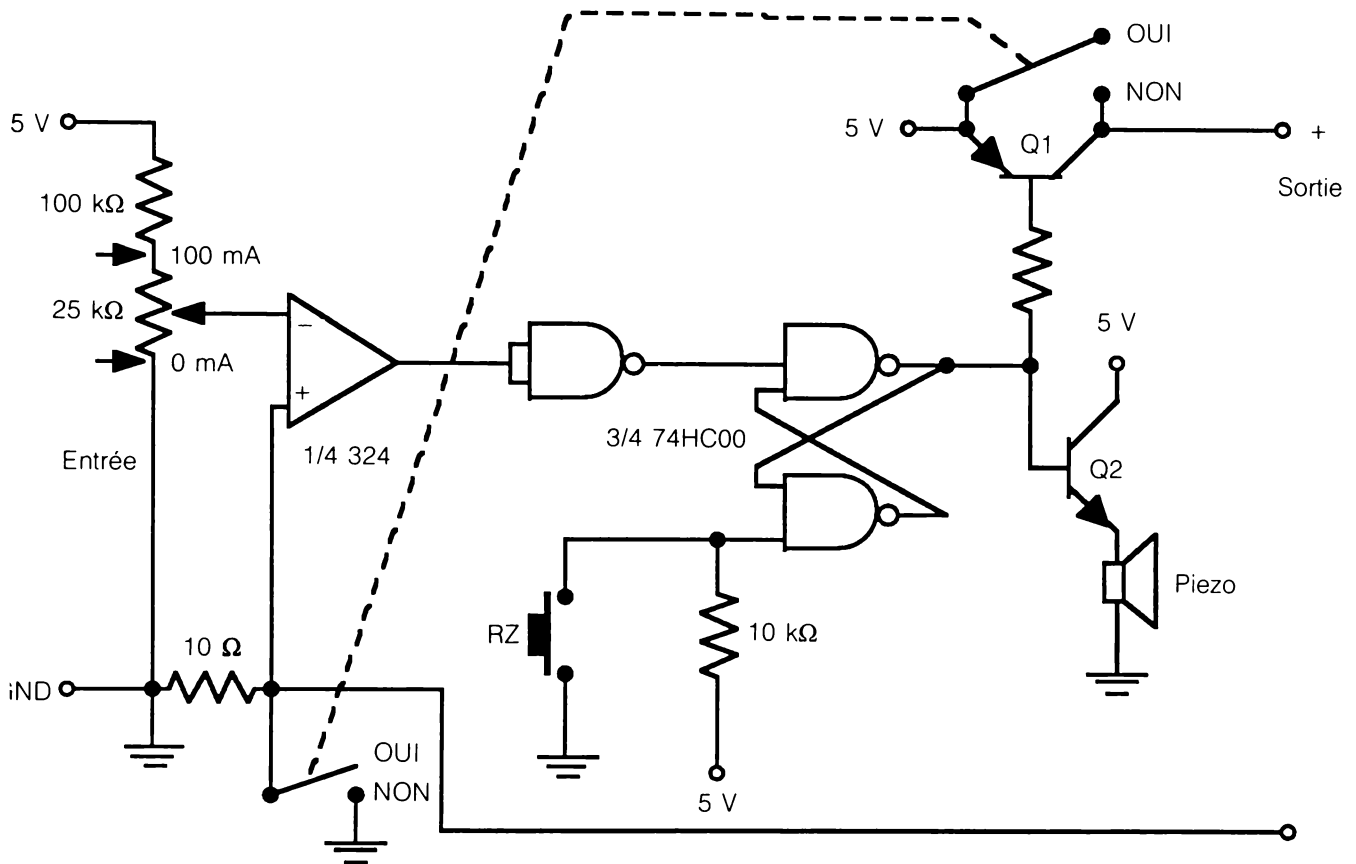


Figure 9.10 Pour l'expérience 2.

Réalisez et expérimentez le prototype.

Q_1 suggéré : 2N4028 à 2N4033

Q_2 suggéré : MPSA12 à MPSA14 (Darlington)

Si le courant de sortie dépasse la valeur pointée par le potentiomètre d'entrée, Q_2 déclenche l'avertisseur sonore et Q_1 interrompt le courant de sortie.

L'enfoncement de la remise à zéro RZ désamorce Q_2 et réactive Q_1 . Le commutateur basculé sur la position NON met le montage hors service en raccordant l'entrée directement sur la sortie.

3. Câblage sous tension

Soit la figure 9.11.

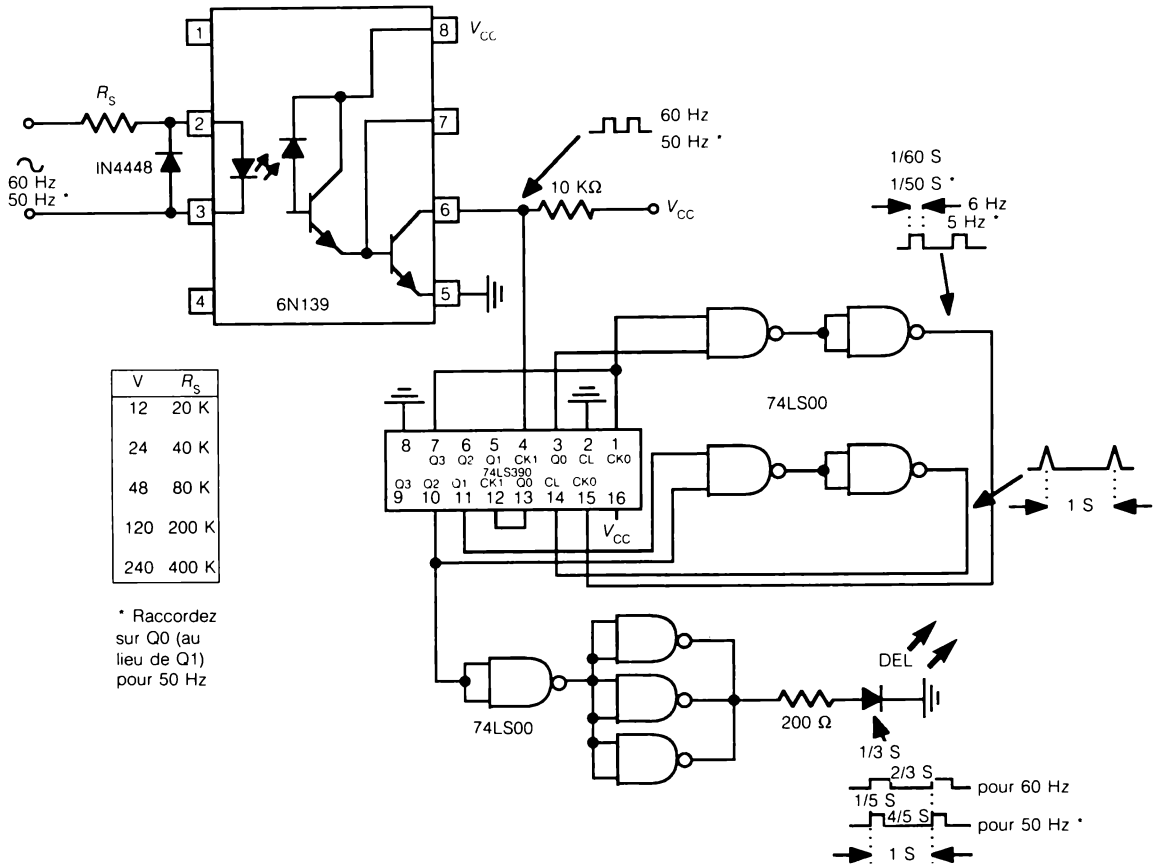


Figure 9.11 Pour l'expérience 3.

- La sortie du diviseur de fréquence du réseau électrique allume la DEL une fois par seconde.
- Câblez ce montage avec l'alimentation à courant contrôlé de l'expérience 2.
- Commencez le montage en alimentant successivement les quatre circuits intégrés et en vérifiant que le courant I_{CC} ne dépasse pas la valeur donnée à la fiche technique, soit
 - $I_{CCmax} = 26 \text{ mA}$ pour 74LS390
 - $I_{CCmax} = 4,4 \text{ mA}$ pour 74LS00
 - $I_{CCmax} \approx 0 \text{ mA}$ pour 6N139
- Câblez le reste du montage (à l'exception de la DEL et de l'entrée secteur). Si vous travaillez bien, l'avertisseur de limite de courant ne doit pas retentir. Au contraire, le courant I_{CC} diminuera. En effet, le courant I_{CCmax} donné par la fiche technique correspond à un niveau logique constant des sorties ou des entrées tel I_{CCmax} pour toutes les entrées au niveau haut.

9.16 Problèmes

1. Circuit monostable erroné

Soit la figure 9.12.

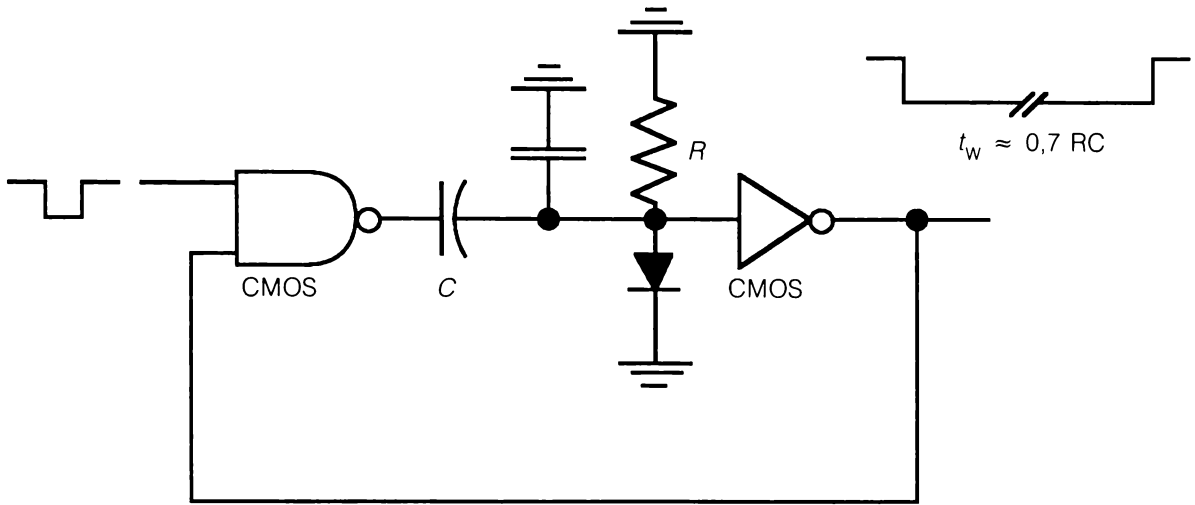


Figure 9.12 Pour le problème 1.

Trouvez l'erreur et corrigez le schéma.

2. Circuit antirebonds erroné

Soit la figure 9.13.

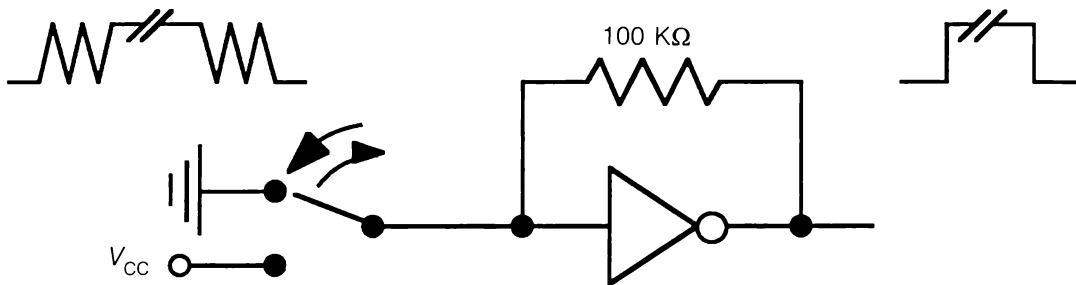


Figure 9.13 Pour le problème 2.

Trouvez l'erreur et corrigez le schéma.

3. Erreur d'inversion

Soit la figure 9.14.

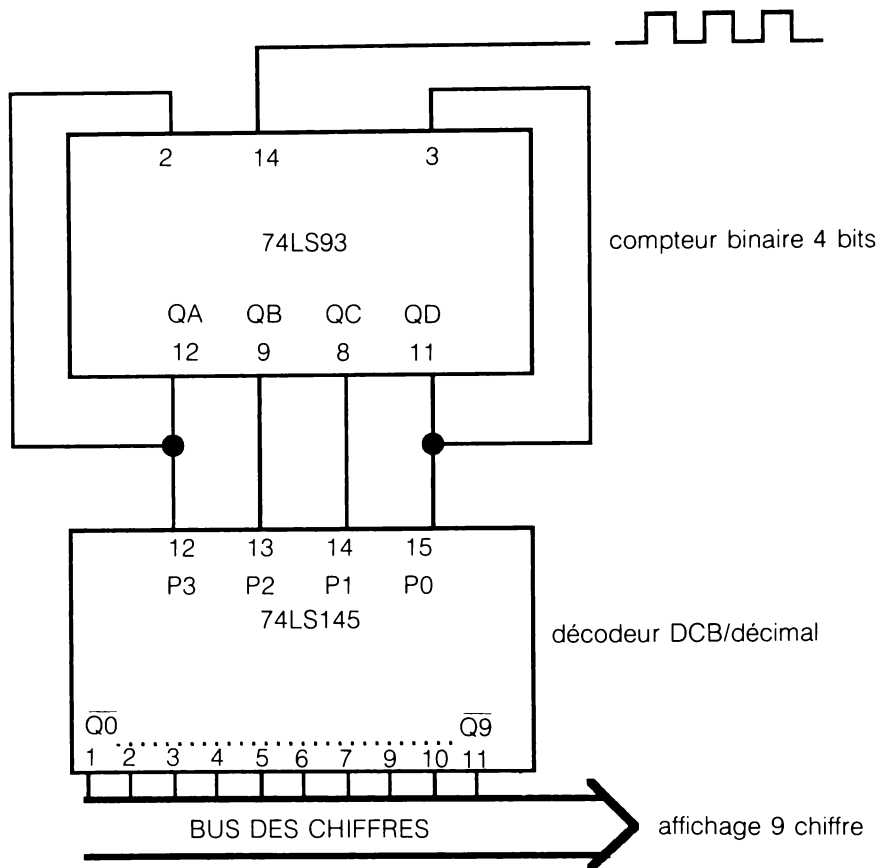


Figure 9.14 Pour le problème 3.

Trouvez l'erreur et corrigez le schéma.

4. Erreur de n° de circuit

Soit la figure 9.15.

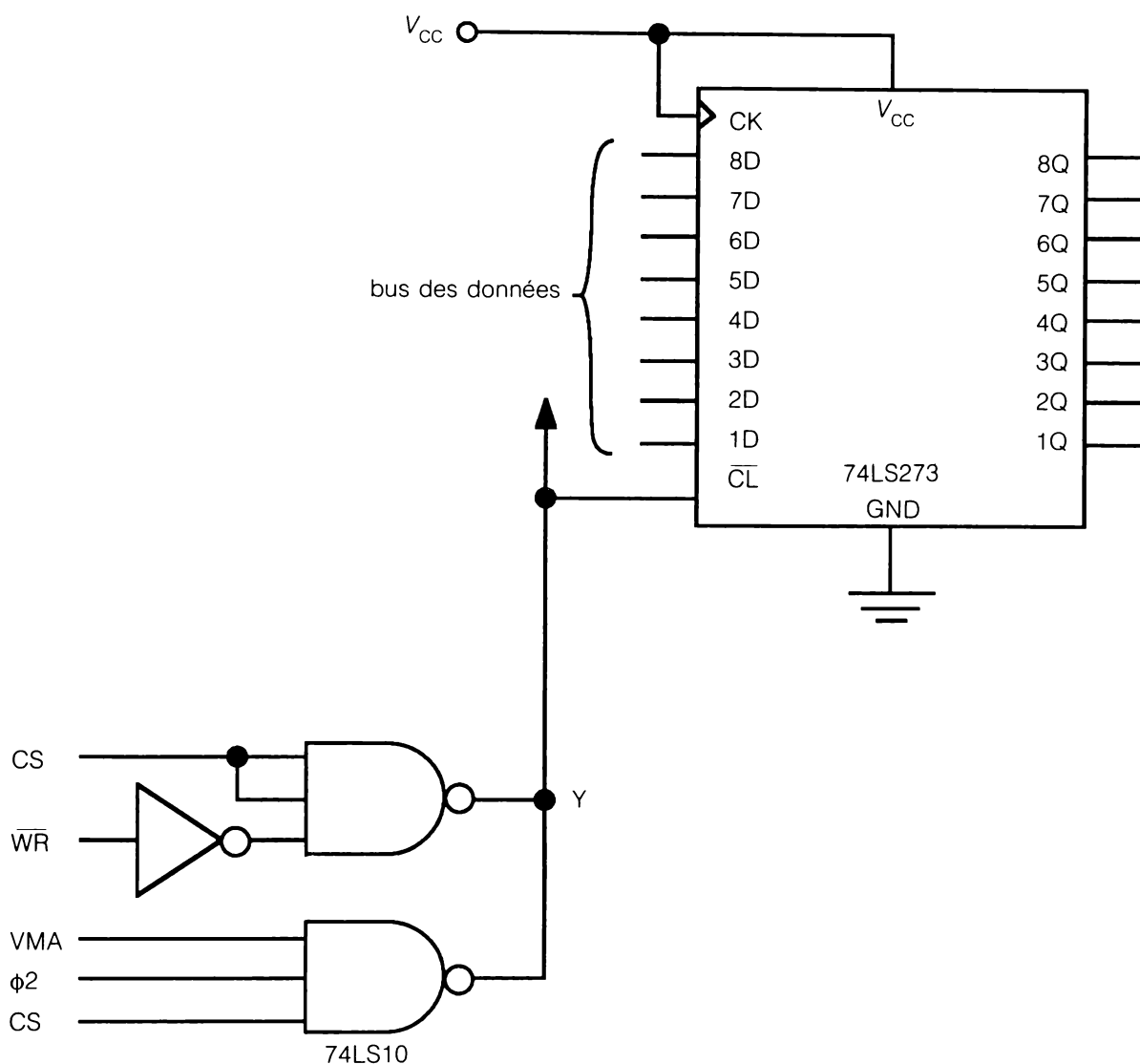


Figure 9.15 Pour le problème 4.

- Trouvez les 2 erreurs et corrigez le schéma ;
- Dressez la table de vérité pour la fonction Y.

5. Détection de l'erreur par l'équation

Soit la figure 9.16.

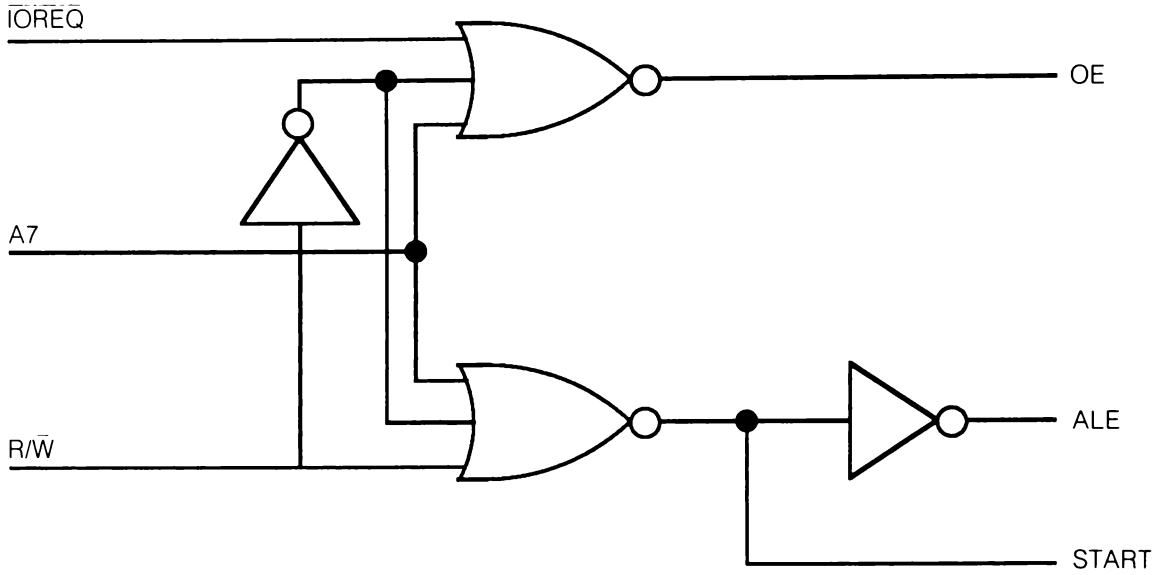
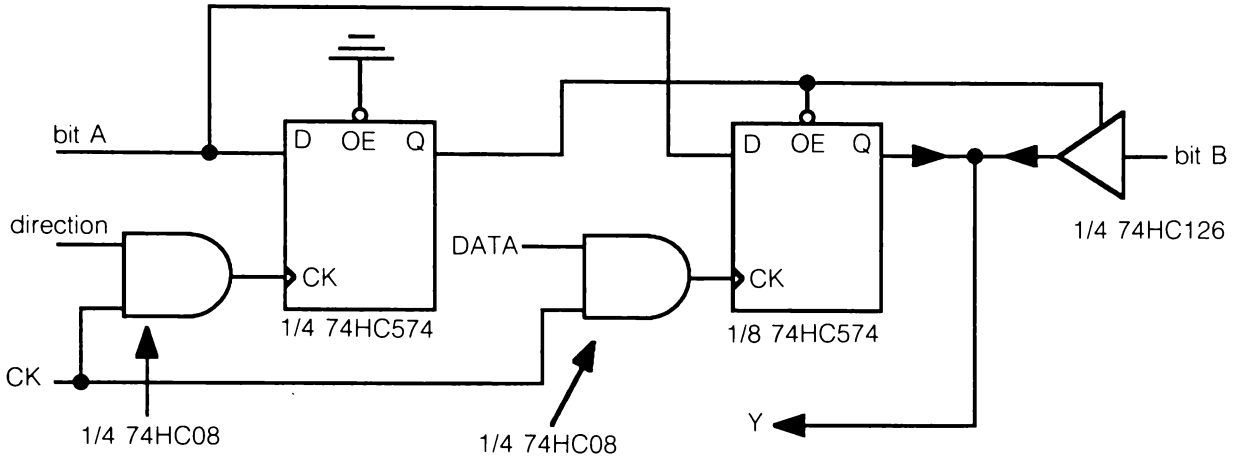


Figure 9.16 Pour le problème 5.

- a) Écrivez l'équation des sorties ;
- b) Corrigez le schéma ;
- c) Écrivez l'équation des sorties du schéma corrigé.

6. Recherche de la cohérence par la table de vérité

Soit la figure 9.17.



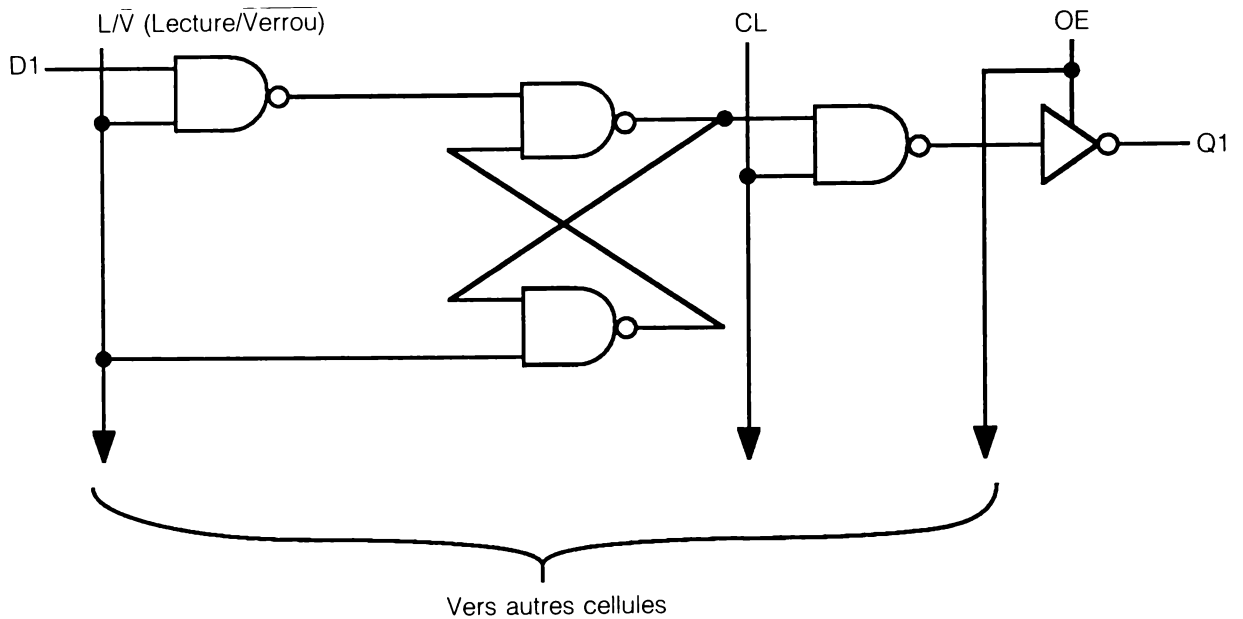
	bit A	direction	data	bit B	CK	Y	
	H	H	—	—	↑	—	Y = bit B
	L	H	—	—	↑	—	Y = Q
	X	L	—	—	↑	—	maintien de la direction
1	H	H	H	H	↑		
2	X	L	L	L	↑		
3	L	H	L	X	↑		
4	L	L	H	X	↑		
5	H	L	H	X	↑		
6	H	H	X	L	↑		
7	L	L	H	H	↑		
8	L	H	L	X	↑		
9	H	L	H	X	↑		
10	L	L	L	X	↑		

Figure 9.17 Pour le problème 6.

Complétez la table de vérité.

7. Détection de l'erreur par la table de vérité

Soit la figure 9.18.



L/V	CL	OE	D1	Q1
X	X	L	X	Z
X	L	H	X	L
H	H	H	H	H
H	H	H	L	Q1
L	H	H	X	L

Figure 9.18 Pour le problème 7.

La table de vérité obtenue à partir du montage proposé n'a aucun sens. Corrigez la table de vérité et modifiez le montage en conséquence.

Généralités sur les mémoires

10

10.1 Objectifs

Après étude de ce chapitre, l'étudiant devra savoir

1. Énumérer les technologies de fabrication des mémoires et connaître les avantages et les inconvénients de chacune d'elles.
2. Tracer le schéma de principe des interconnexions nécessaires pour une mémoire de microprocesseur.
3. Utiliser, monter et concevoir des décodeurs d'adresses à l'aide des décodeurs et des démultiplexeurs les plus courants.

mables par fusibles PAL vues aux chapitres 5 et suivants. Dans la deuxième catégorie, citons les mémoires à bulles et les mémoires sur support magnétique comme le disque souple ou disquette, le disque rigide, et le ruban.

On classe les mémoires selon leur capacité d'emmagasiner l'information exprimée en bits. Exemple : par RAM 64 K ou 256 K entendre une RAM pouvant contenir 64×1024 ou 256×1024 bits d'information.

Les mémoires à bulles ont une capacité de 4 mégabits ou 4×10^6 bits.

On classe les mémoires sur support magnétique selon leur capacité exprimée en octets (8 bits). La capacité des disquettes est de l'ordre de 320 K, celle des disques rigides de l'ordre de 400 meg et celle du ruban de 1000 meg. On parle déjà du disque au laser d'une capacité de l'ordre du gigaoctet (10^9 octets). On choisit le type de mémoire suivant la quantité d'informations à stocker, le prix et la vitesse d'accès. Les mémoires centrales des ordinateurs sont à semiconducteurs, leur temps d'accès est de quelques dizaines de nanosecondes. On stocke les informations à traiter sur des disques rigides à temps d'accès de l'ordre de quelques millisecondes. Les disquettes servent surtout sur les microordinateurs.

Pour le stockage longue durée on utilise un ruban magnétique à temps d'accès séquentiel de plusieurs minutes.

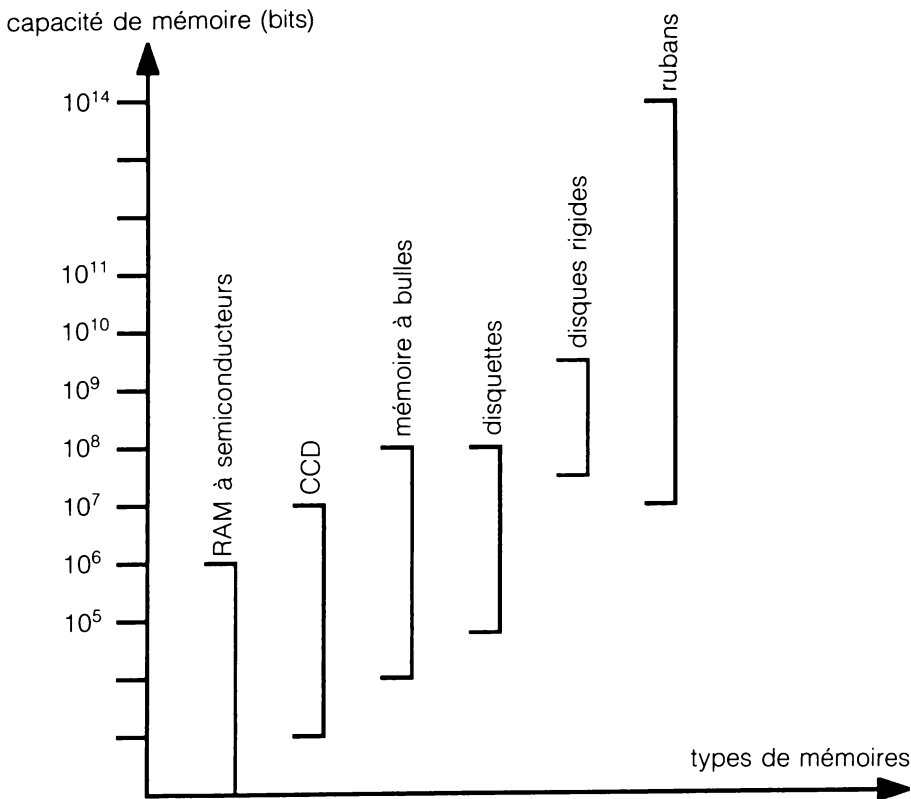


Figure 10.1 Capacité de divers types de mémoires.

10.2 Survol du sujet

La mémoire des premiers ordinateurs et microordinateurs était à tores de ferrite. Les mémoires à semiconducteurs sont apparues au début de la décennie 1960, elles ont détrôné les mémoires à tores en raison de leur taille plus petite, de leurs vitesses de lecture et d'écriture plus grandes, de leur faible consommation, de leur grande souplesse d'adaptation à chaque cas, de leur plus grande compatibilité avec le reste du système et, le plus important, de leur prix très modique. On perfectionne ces mémoires chaque jour et toute tentative de faire le point sur cette technologie est désuète avant publication.

Les noms des circuits intégrés de la fonction mémoire défient la mémoire humaine : ROM, RAM, PROM, EPROM, EAROM, EEPROM, NVRAM, IRAM, FIFO, CAM, CCD, mémoires statiques, mémoires dynamiques, mémoires à bulles, etc. Nous décrivons chaque technologie désignée par un sigle. On groupe souvent ces technologies en deux catégories : celle des technologies bipolaires et celle des technologies MOS. Seules les mémoires dites à bulles font exception, car elles recourent au magnétisme.

Après étude de la technologie, nous construirons des circuits utiles et nous analyserons des circuits de microordinateurs.

10.3 Classification des mémoires. Mémoires à semiconducteurs et mémoires magnétiques

10.3.1 Classification selon le type de mémoire

Les mémoires conservent l'information 1 ou l'information 0 durant un certain temps. Il existe des mémoires binaires à semiconducteurs qui stockent les données sous forme de tensions ou de courants et des mémoires binaires magnétiques qui stockent les données sous forme de champs magnétiques rémanents. Parmi les premières citons les mémoires mortes ou à lecture seulement ROM, les mémoires mortes programmables PROM, les mémoires à accès sélectif ou vives RAM, les mémoires mortes programmables effaçables électriquement EEPROM, les mémoires RAM rémanentes (NVRAM), les mémoires à double accès (*Dual Port RAM*), les mémoires associatives ou adressables par le contenu CAM, les registres à décalage, les piles premier entré, premier sorti FIFO, les mémoires à couplage de charge CCD (*Charge Coupled Devices*) ou registres à transfert de charge et on peut ajouter les puces program-

10.3.2 Classification des mémoires selon la technologie des semiconducteurs

Les deux grandes technologies des semiconducteurs permettent de classer les mémoires en mémoires bipolaires à transistors bipolaires NPN ou PNP et en mémoires MOS à transistors MOSFET.

Dans les mémoires bipolaires, on distingue les technologies TTL (*Transistor — Transistor Logic*) Schottky TTL (STTL), ECL (*Emitter Coupled Logic*) et I²L (*Integrated Injection Logic*).

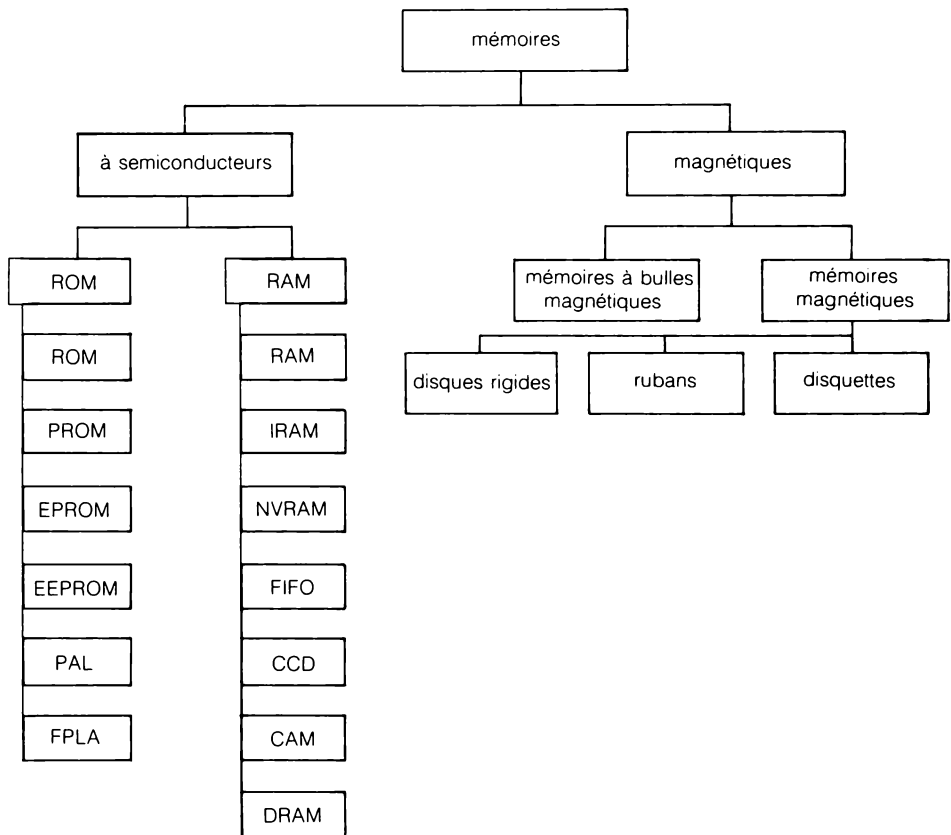


Figure 10.2 Classification des mémoires selon leur type.

Dans les mémoires MOS, on distingue les technologies PMOS, NMOS, CMOS, SOS (Silicon On Sapphire) et CCD.

Chacune de ces technologies a son champ d'application. On réserve la technologie ECL aux mémoires très rapides, les technologies TTL et TTL Schottky (STTL) aux mémoires où la vitesse est encore importante, les technologies PMOS et NMOS aux mémoires à haute capacité et les technologies CMOS et SOS aux

mémoires à très faible consommation. Au point de vue vitesse, la technologie NMOS a rejoint la technologie TTL. On appelle vitesse d'une mémoire le temps entre l'adressage de la donnée et la stabilisation des valeurs lues à la sortie.

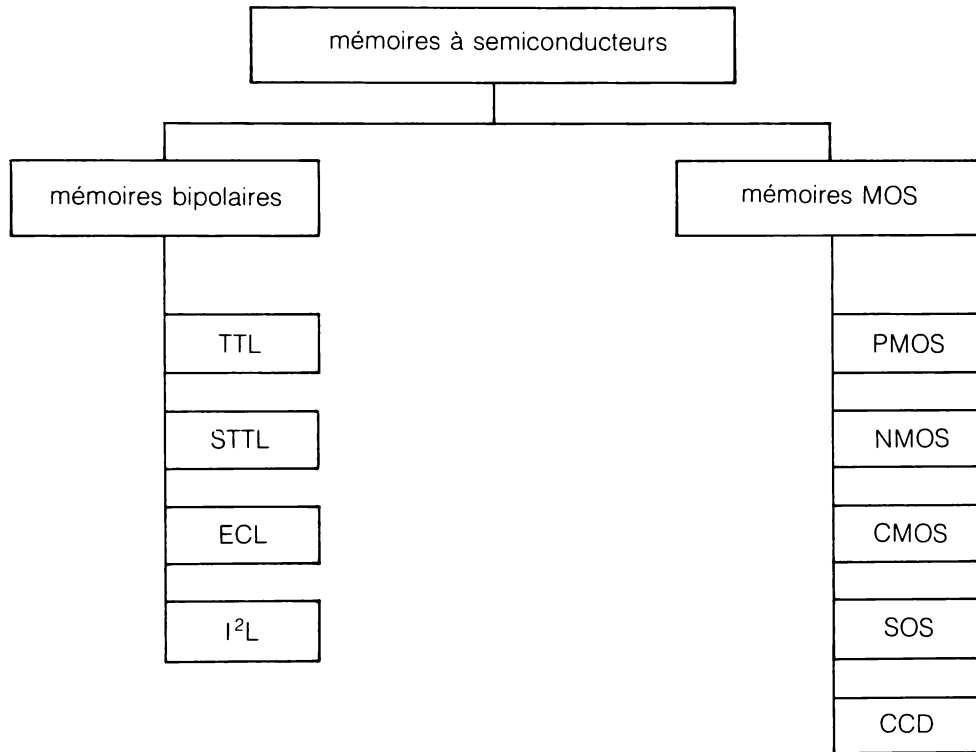


Figure 10.3 Classification des mémoires selon la technologie des semiconducteurs.

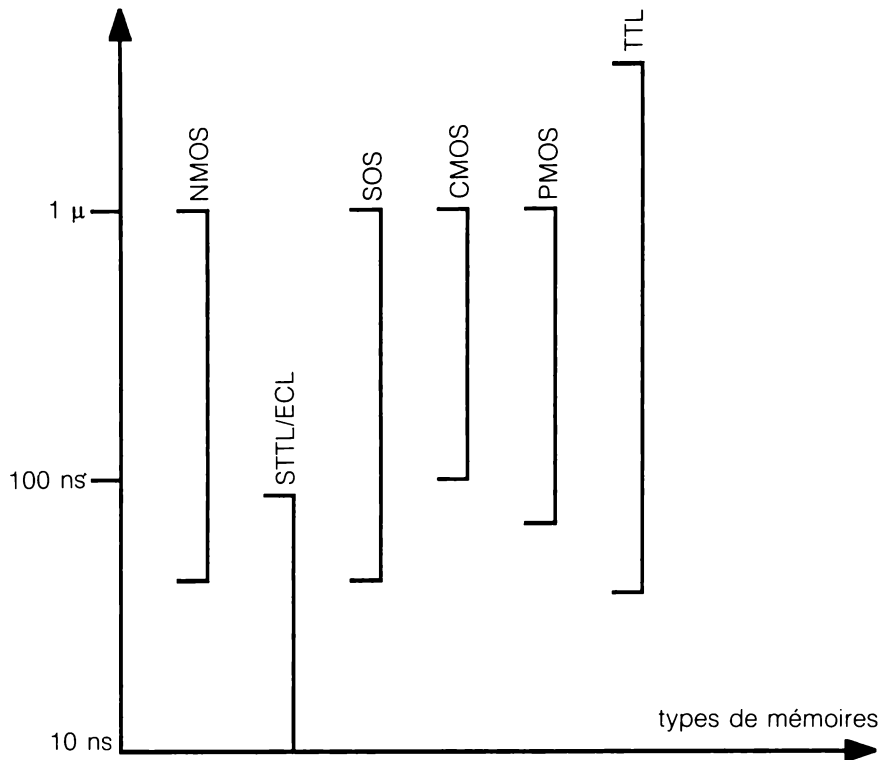


Figure 10.4 Comparaison des vitesses des mémoires.

Nous étudierons chaque technologie en même temps que la mémoire idoine. On peut classer les mémoires selon leur coût/bit d'information, leur vitesse, leur consommation, leur densité d'enregistrement, etc.

10.4. Organisation des mémoires

10.4.1 Généralités, adressage, commande et principe des implantations

Les microordinateurs sont les consommateurs les plus répandus des mémoires. Ils possèdent à la fois des mémoires mortes qui contiennent les logiciels de démarrage du microprocesseur et souvent un langage comme le BASIC, et des mémoires vives où l'utilisateur écrit ses programmes. Ces mémoires sont adressables : on active une mémoire par un décodeur via le bus d'adressage du microprocesseur, les mémoires sont reliées au microordinateur via le bus de données et elles sont commandées via un bus qui achemine des commandes telles l'autorisation de lecture d'une donnée ou la validation d'une adresse.

Une mémoire RAM comprend

- Des lignes de sélection de circuit (CS0, CS1);
- Des lignes d'adressage des cases de mémoire interne;
- Des lignes pour les données;
- Des lignes de commande, par exemple R/\bar{W} pour lecture/écriture.

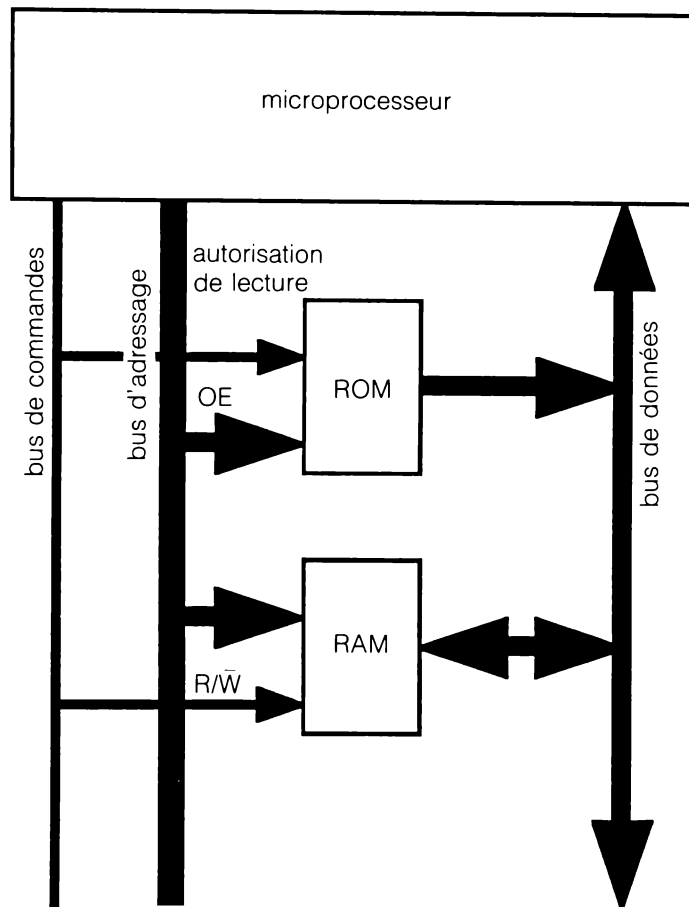


Figure 10.5 Mémoires d'un microordinateur.

On exprime la capacité de mémoire d'un microordinateur en K. K correspond à $2^{10} = 1024$. Une mémoire de 4 K contient 4096 bits ($4 \times 1024 = 4096$) adressés individuellement (on parle alors de mémoire de 4096×1 bit) ou adressés par paquet de 4 (on a alors une mémoire de 1024×4 bits).

Le nombre de lignes d'adressage externe de la mémoire est fonction de la capacité de la mémoire. Par exemple, une mémoire de $8\text{ K} \times 8$ aura un adressage in-

terne compris entre 0000 et 1FFF en hexadécimal et aura besoin de 13 lignes d'adressage interne. Le bloc sera activé par une adresse décodée qui établira les entrées CS0 et CS1 (*Chips Select*) de sélection de circuit ou boîtier. Il y aura aussi une ligne de commande R/W.

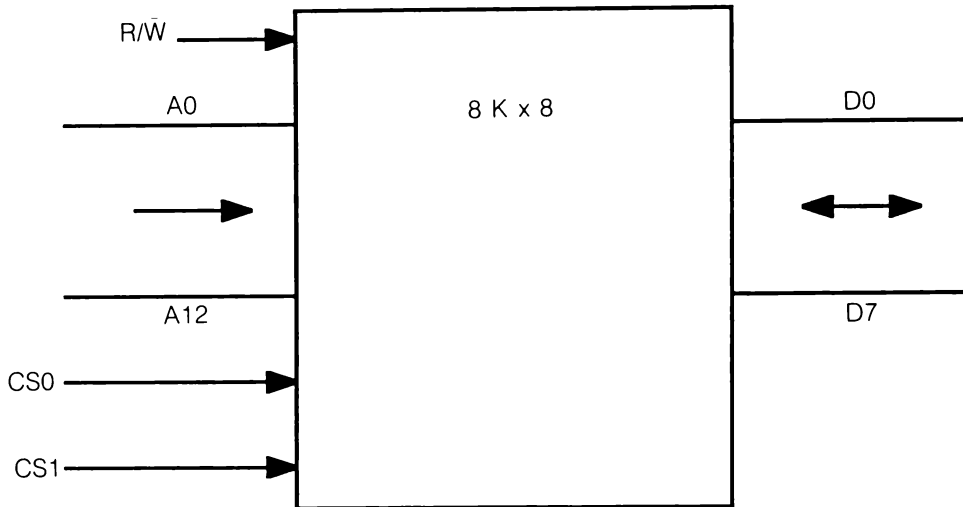
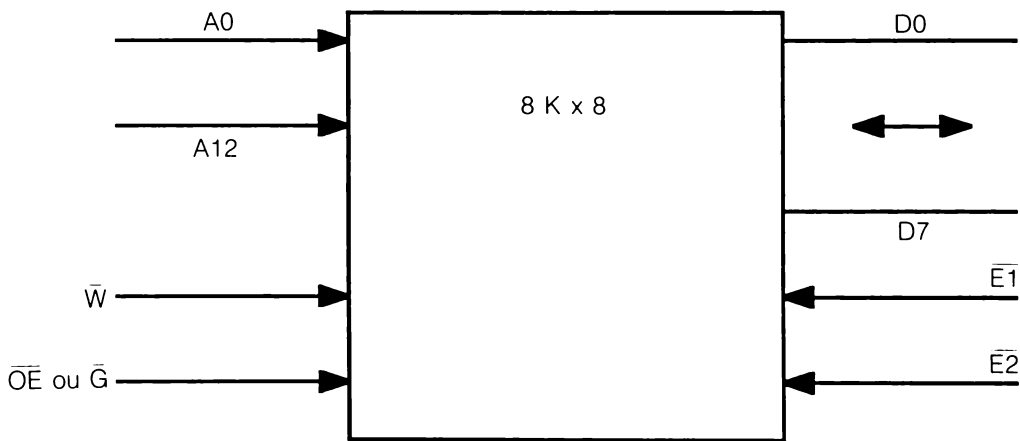


Figure 10.6 Boîtier mémoire RAM pour microprocesseur avec une ligne de commande de lecture/écriture.



W̄ = Write Enable ou autorisation d'écriture
 OĒ ou Ḡ = Output Enable ou autorisation de lecture
 E1̄, E2̄ = Chips Enable ou validation de boîtier

Figure 10.7 Boîtier mémoire RAM pour microprocesseur avec deux lignes de commande de lecture/écriture.

Le bus d'adresses est donc divisé en lignes d'adresses internes et en lignes qui génèrent des signaux de sélection via un décodeur (voir la figure 10.8).

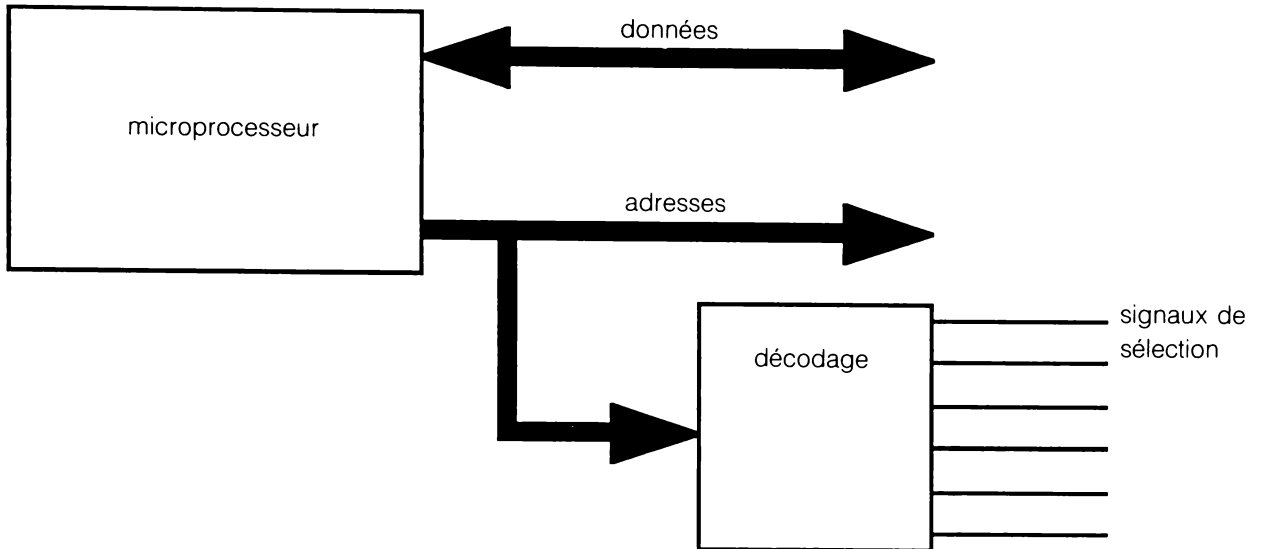


Figure 10.8 Répartition des lignes d'adresses. Le décodeur fournit les signaux de sélection.

Les mémoires dynamiques comportent les trois lignes de commande $\overline{\text{RAS}}$, $\overline{\text{CAS}}$ et $\overline{\text{WE}}$ et des lignes différentes pour les données à l'entrée D_{in} et à la sortie D_{out} . Leur symbole logique apparaît à la figure 10.9.

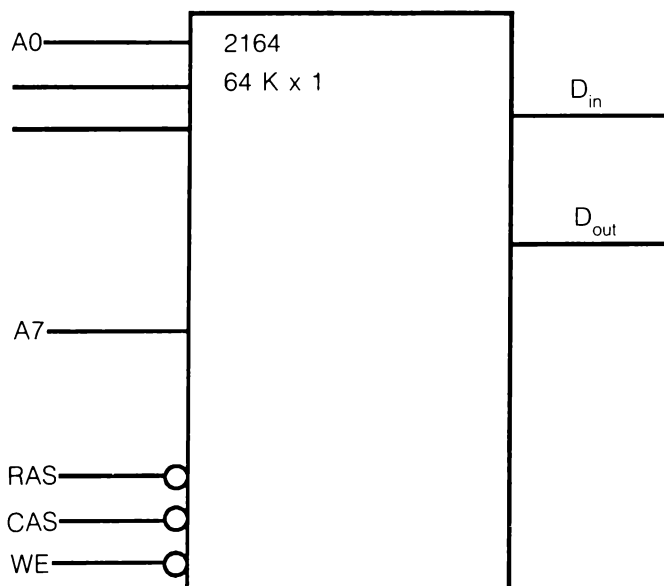


Figure 10.9 Symbole logique d'une mémoire dynamique.

Dans ce cas, l'adressage ne se fait pas mot par mot mais bit par bit. La mémoire est une matrice de 256 lignes et 256 colonnes (8 bits d'adressage). La ligne RAS (*Row Address Strobe*) valide l'adresse d'une rangée et la ligne de CAS (*Column Address Strobe*) valide l'adresse d'une colonne. La ligne WE (*Write Enable*) d'autorisation d'écriture permet d'écrire la donnée présente sur D_{in} à l'adresse voulue de la mémoire.

Ce type de mémoire a besoin d'un multiplexeur pour l'adressage et d'un tampon pour les données. Les détails des montages sont traités au chapitre 12 sur les mémoires dynamiques RAM.

Par conception, les mémoires forment des mots de 8 bits (un octet) avec les microprocesseurs 8 bits, et de 16 bits (deux octets) avec les microprocesseurs 16 bits. Les formats les plus courants des mémoires sont 1 K × 1 bit, 4 K × 1 bit, 1 K × 4 bits, 8 K × 8 bits, 64 K × 1 bit pour les RAM et 4 K × 8, 8 K × 8, 16 K × 8, 32 K × 8 pour les EPROM.

La capacité de mémoire des microordinateurs varie entre 16 K pour les plus petits à plusieurs meg pour les plus sophistiqués.

10.4.2 Expansion de la longueur des mots et de la capacité des mémoires

La longueur des mots normalisés ou des mots les plus utilisés dans les systèmes à microprocesseurs est de 4 bits, 8 bits, 16 bits, 32 bits et de 64 bits pour les systèmes plus importants. Les mémoires sont organisées pour fournir, à une adresse donnée, 1 bit, 4 bits ou 8 bits. Si on veut augmenter la longueur des mots d'une mémoire, il faut mettre en parallèle un certain nombre de boîtiers. Le nombre de boîtiers égale la longueur du mot désiré en bits qu'on trouve à une adresse donnée d'une mémoire.

10.4.2.1 Exercice de conception de mémoire statique très rapide

Concevez une mémoire statique de 4K pour microprocesseur de 8 bits à l'aide de mémoires de 4 K × 1 bit.

Solution

Montez 8 boîtiers en parallèle ayant les mêmes lignes d'adressage et les mêmes lignes de commande, mais chaque boîtier mémoire aura une ligne de données selon le schéma de la figure 10.10.

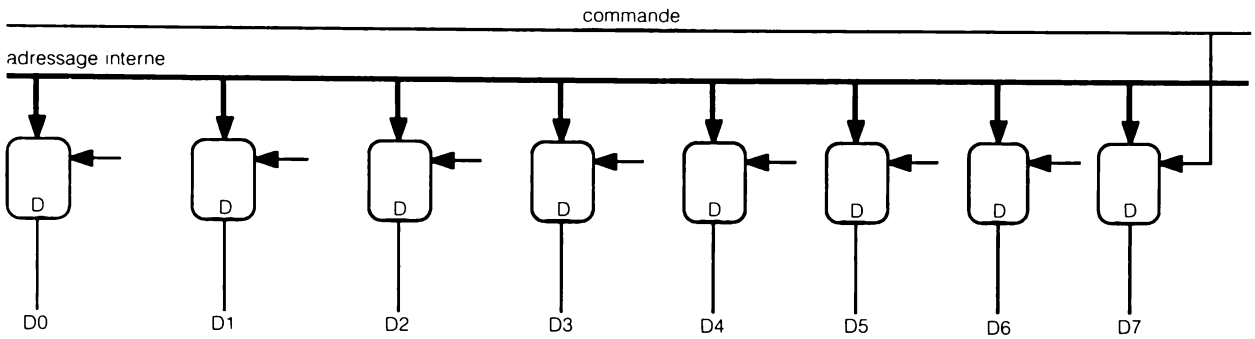


Figure 10.10 Mémoire à mots de 8 bits et boîtiers mémoires fournissant 1 bit. Pour l'exercice de 10.4.2.1.

10.4.2.2 Exercice de conception de mémoire statique très rapide

Concevez une mémoire statique très rapide de 16 bits à l'aide de boîtiers de 1024 × 4 bits.

Solution

Voir la figure 10.11.

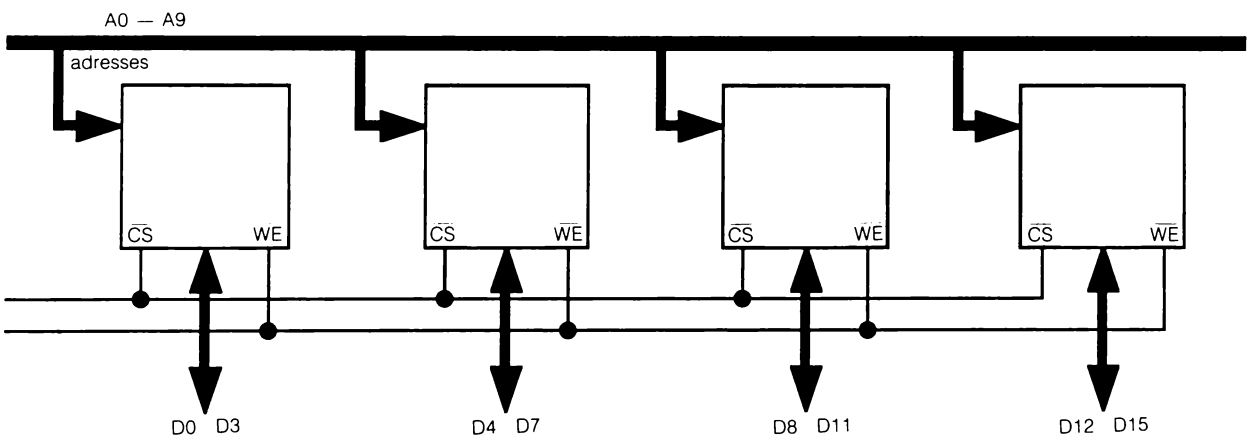


Figure 10.11 Montage d'une mémoire de 1 K × 16 bits avec des boîtiers de 1 K × 4 bits.

Autre type d'expansion : expansion de la capacité de mémoire combinable ou non avec l'expansion de la longueur des mots.

10.4.2.3 Exercice de conception de mémoire avec décodeur

Concevez une mémoire de 4 K × 4 bits à l'aide de boîtiers de l'exemple 2.

Solution

Montez quatre boîtiers en parallèle avec les lignes d'adresse A0 - A9 et la ligne de commande WE d'autorisation d'écriture, mais cette fois l'entrée CS de sélection de boîtier est la sortie d'un décodeur qui fournit une zone d'adresse de 1 K différente pour chaque boîtier selon le schéma de principe de la figure 10.12.

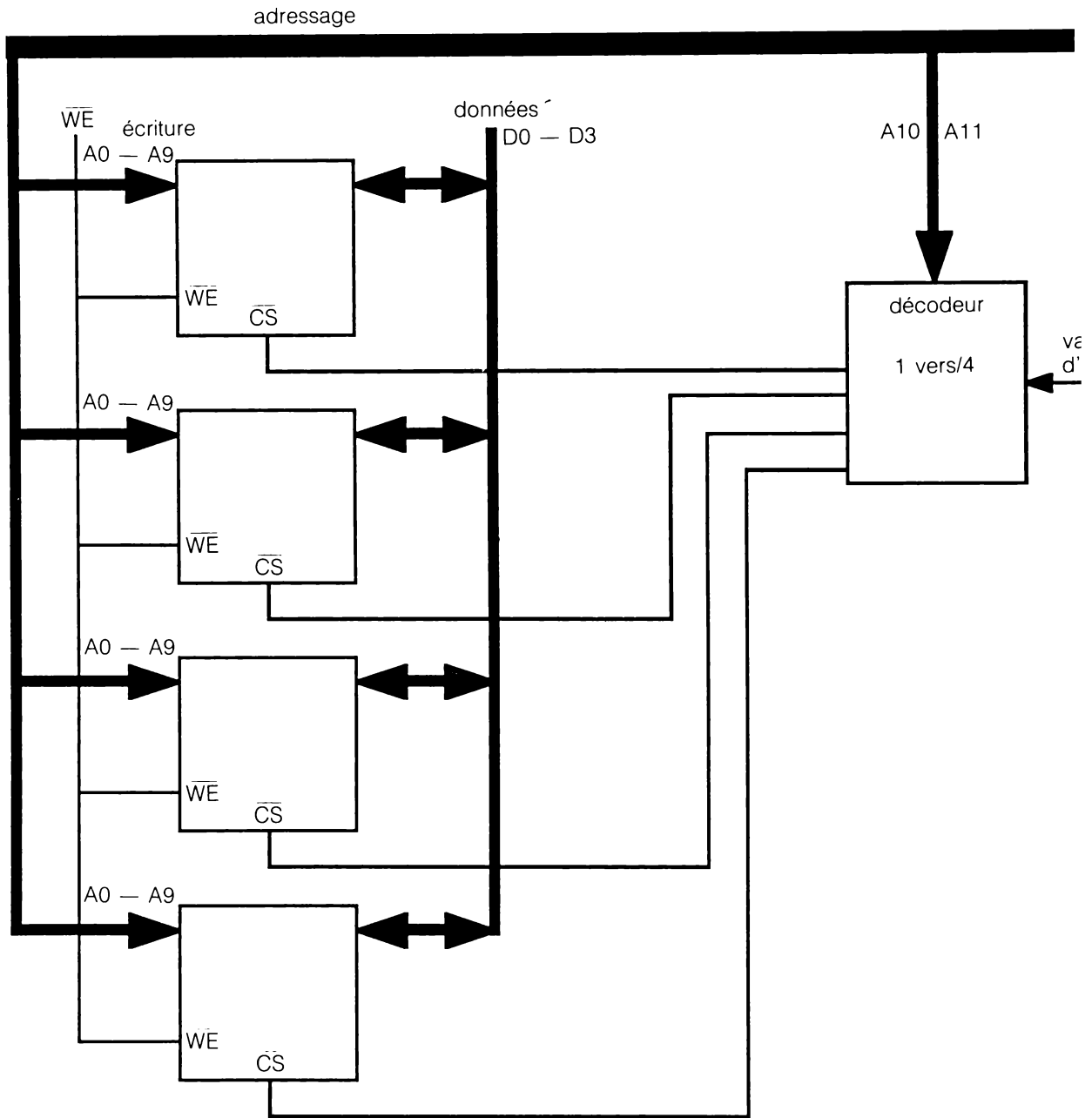


Figure 10.12 Expansion de la capacité d'une mémoire.

Les deux types d'expansion peuvent être simultanés, comme l'illustre la figure 10.13 qui schématise le principe d'une mémoire de 4 K × 8 statique réalisée à partir de boîtiers de 1 K × 4 bits.

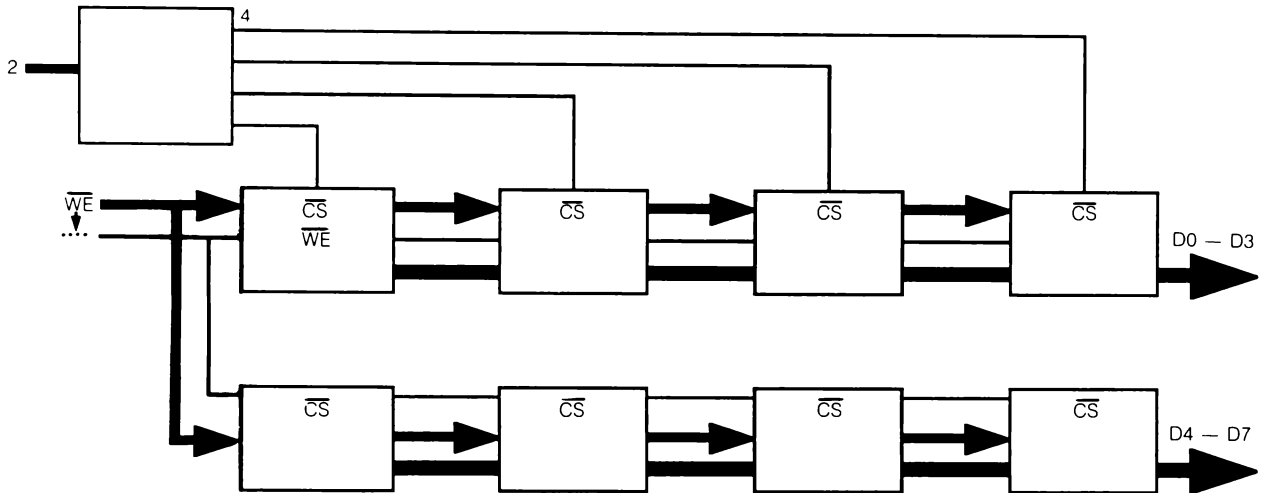


Figure 10.13 Expansion en capacité et en largeur de mot.

Cette dernière expansion conduit à l'étude des décodeurs.

10.5 Décodeurs

Les mémoires des microordinateurs servent à écrire ou à lire de l'information. Dans chaque cas on a une adresse, des données et au moins une commande. Si l'état d'un signal commande l'écriture ou la lecture, il faut maintenir les données et les adresses stables pendant la période active du signal de commande plus une petite marge. Si la transition d'un signal commande la lecture ou l'écriture, il faut maintenir la stabilité des données et des adresses avant et après le flanc d'onde. L'exigence est donc la même, mais elle est de moindre durée dans le deuxième cas.

10.5.1 Cycles de lecture et d'écriture du microprocesseur MC6800

Les figures 10.14 et 10.15 représentent les cycles de lecture et d'écriture du Motorola 6800, un microprocesseur de 8 bits de la première génération.

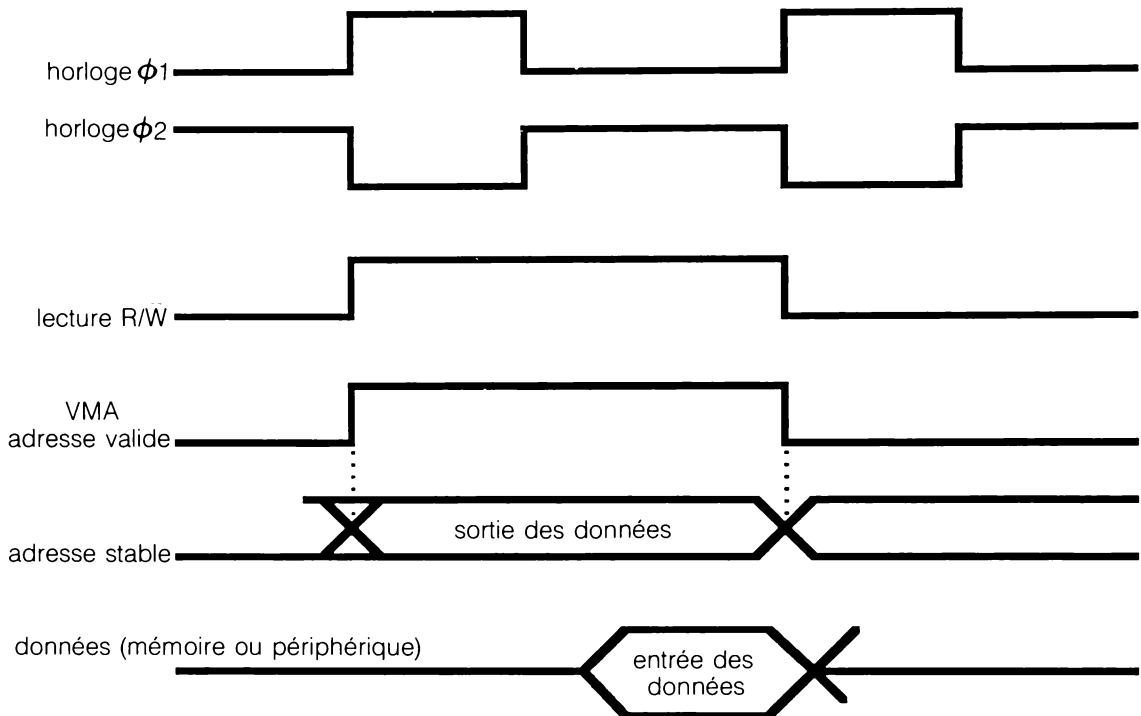


Figure 10.14 Cycle de lecture d'un MC6800. Les données doivent être stables environ 100 ns avant la fin du cycle.

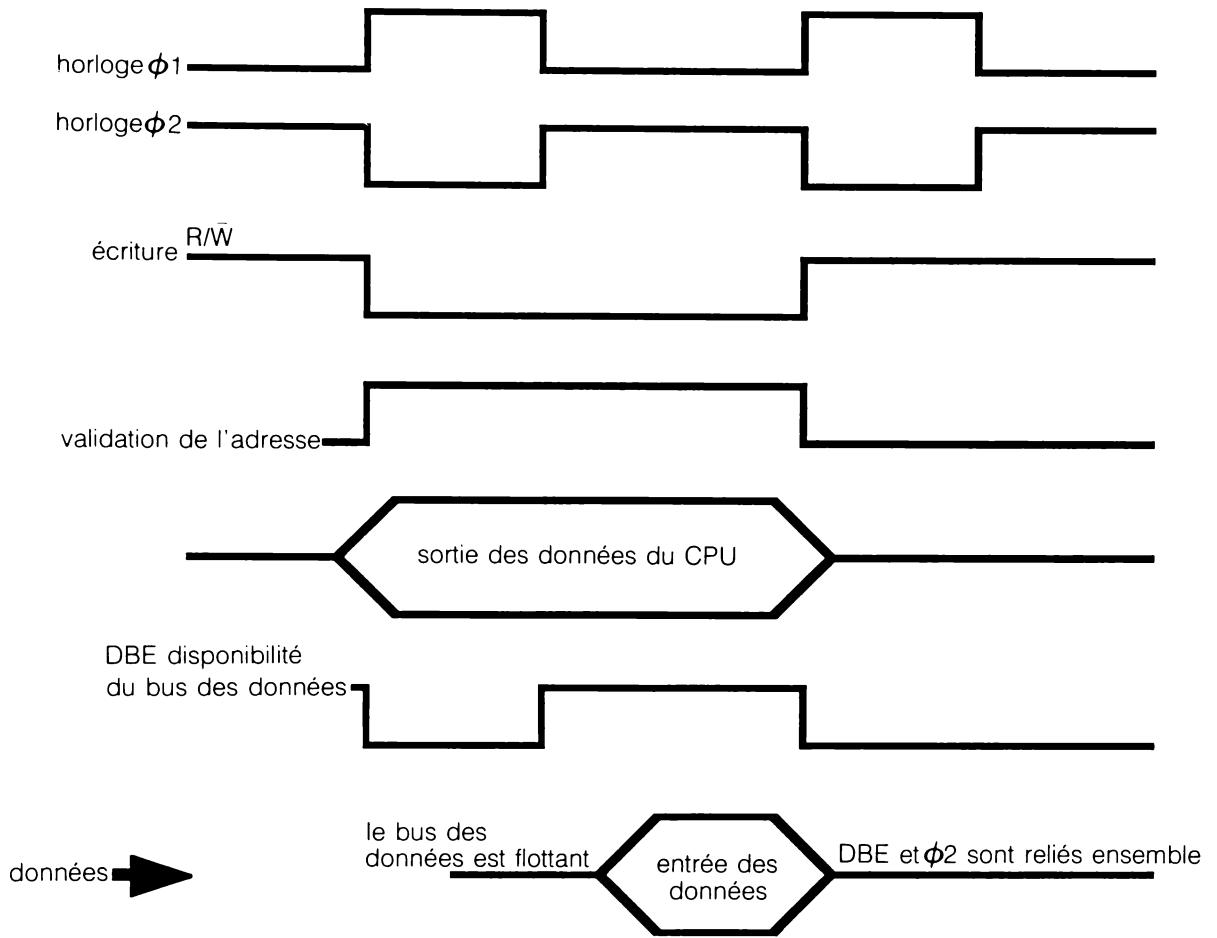
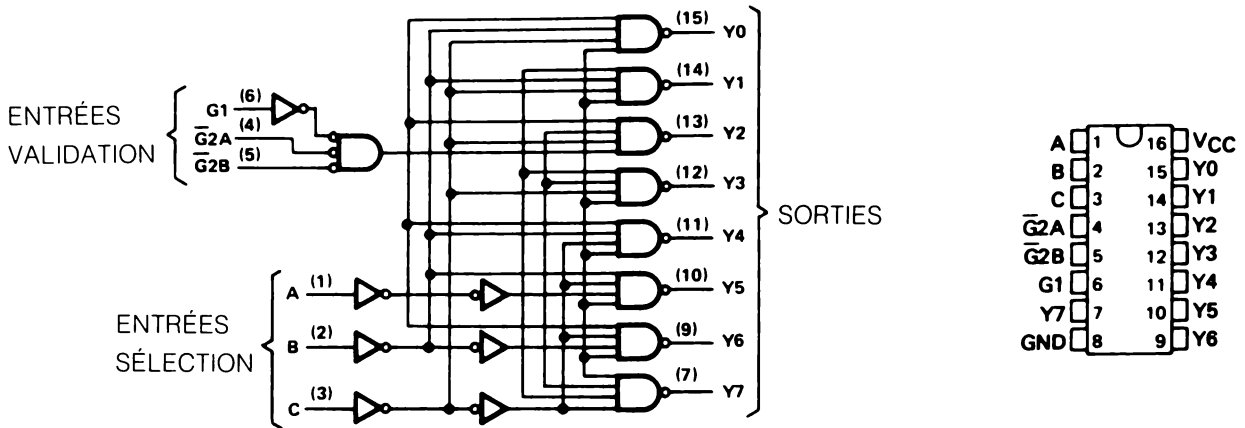


Figure 10.15 Cycle d'écriture d'un MC6800.

On peut, avec ce microprocesseur, utiliser des décodeurs/démultiplexeurs 74LS138 qui existent dans toutes les technologies (LS, CMOS, HCMOS, etc.). La figure 10.16 représente le diagramme fonctionnel et la table de fonctions de ce décodeur.



ENTRÉES					SORTIES							
VALIDA.	SÉLECT.				Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
G1	$\overline{G2^*}$	C	B	A								
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	H	L	H	H	H	H
H	L	H	L	L	H	H	H	H	L	H	H	H
H	L	H	H	L	H	H	H	H	H	L	H	H
H	L	H	H	H	H	H	H	H	H	H	L	H

* $\overline{G2} = \overline{G2A} + \overline{G2B}$

Reproduit avec la permission de Texas Instruments Inc.

Figure 10.16 Diagramme fonctionnel, brochage et table de fonctions d'un décodeur 74LS138.

La ligne VMA peut utiliser l'entrée $\overline{G1}$ de ce décodeur, ce qui validera le signal de sortie pour l'adressage. Les entrées $\overline{G2A}$ et $\overline{G2B}$ peuvent servir au décodage. Par exemple, si on les relie aux lignes d'adressage A15 et A14 et les entrées C, B et A à A13, A12 et A11 respectivement, on aura aux sorties Y0 à Y7 des signaux pour des tranches de $2^{11} = 2\text{ K}$ de mémoire. Pour activer la sortie (tension basse) il faut que VMA soit haut et A15 et A14 soient à une tension basse.

Pour que Yi soit actif, il faut les signaux du tableau 10.1.

Tableau 10.1 Décodage par tranches de 2 K adresses.

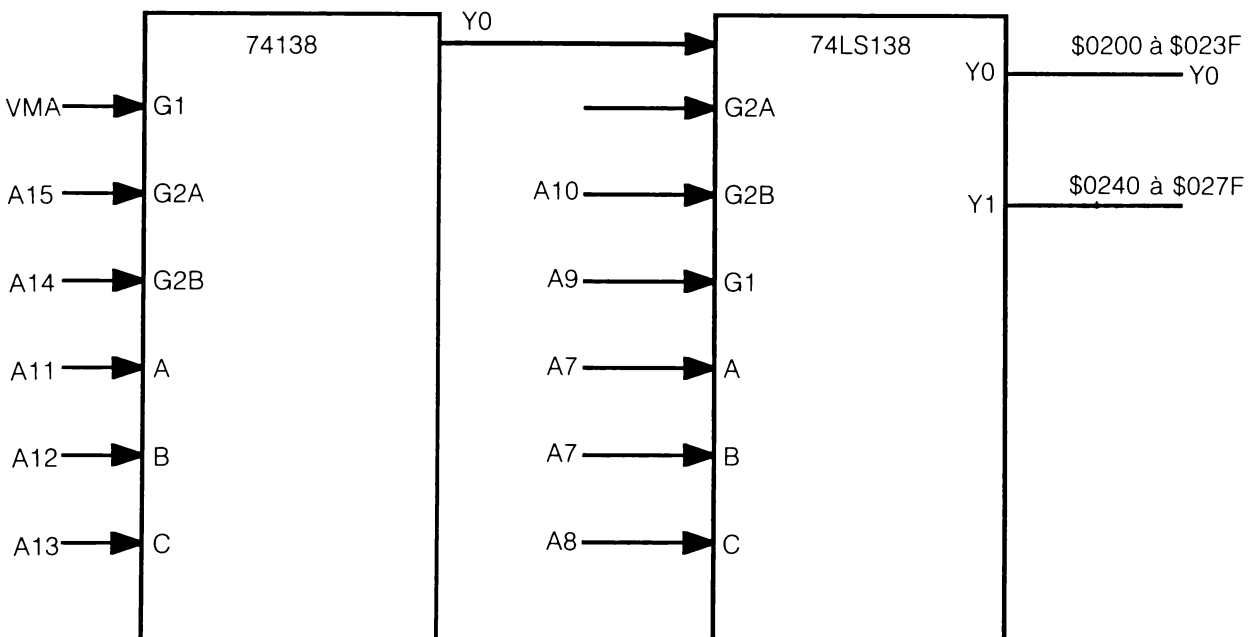
	VMA	A15	A14	A13	A12	A11	A10	...A0	Champ d'adresses
Y0	1	0	0	0	0	0	x	x	\$0000 à \$07FF
Y1	1	0	0	0	0	1	x	x	\$0800 à \$0FFF
Y2	1	0	0	0	1	0	x	x	\$1000 à \$17FF
Y3	1	0	0	0	1	1	x	x	\$1800 à \$1FFF
Y4	1	0	0	1	0	0	x	x	\$2000 à \$27FF
Y5	1	0	0	1	0	1	x	x	\$2800 à \$2FFF
Y6	1	0	0	1	1	0	x	x	\$3000 à \$37FF
Y7	1	0	0	1	1	1	x	x	\$3800 à \$3FFF

x désigne un état indifférent et \$ désigne un nombre en hexadécimal.

Ce cas est un exemple de décodage par tranches de 2 K adresses d'un champ d'adresses de 16 K.

La combinaison de ces circuits en cascade donne des tranches encore plus fines.

On peut, par exemple, en ajoutant un circuit 74LS138 avoir à la sortie des tranches de 64 adresses. C'est le cas du montage de la figure 10.17.

**Figure 10.17** Décodage par tranches de 64 adresses.

10.5.2 Cycles d'écriture et de lecture du microprocesseur 6809

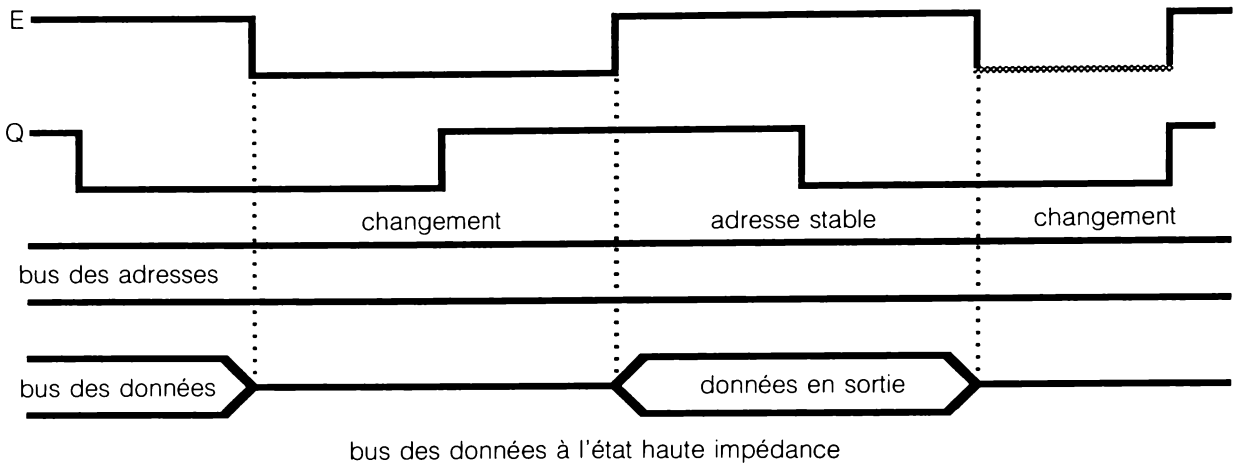


Figure 10.18 Cycle d'écriture d'un 6809.

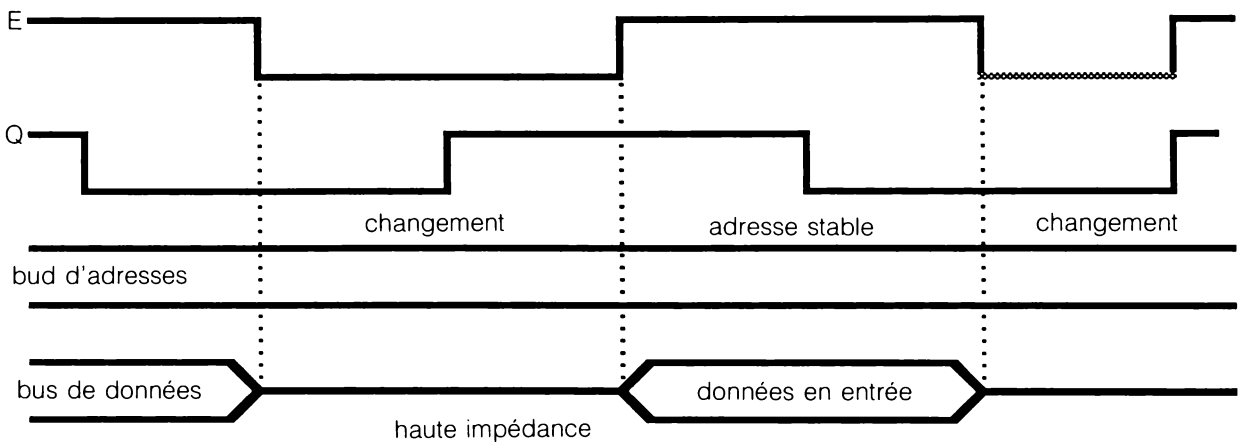


Figure 10.19 Cycle de lecture d'un 6809.

Les adresses du CPU (*Central Processing Unit*) commencent à changer sur la descente du signal d'horloge E mais elles sont stables lorsqu'apparaît la montée de Q.

Pendant le cycle d'écriture, les données sont placées sur le bus sur la montée de Q. Les données sont valides sur la descente de Q.

Dans le cas des microprocesseurs, il n'y a pas de ligne de commande pour la validité des adresses ; on peut se servir d'un décodeur 74LS154. Ce décodeur de 4 lignes vers 16 lignes permet, par exemple, de décoder 16 K de mémoire en tranches de 1 K adresses avec le montage de la figure 10.20.

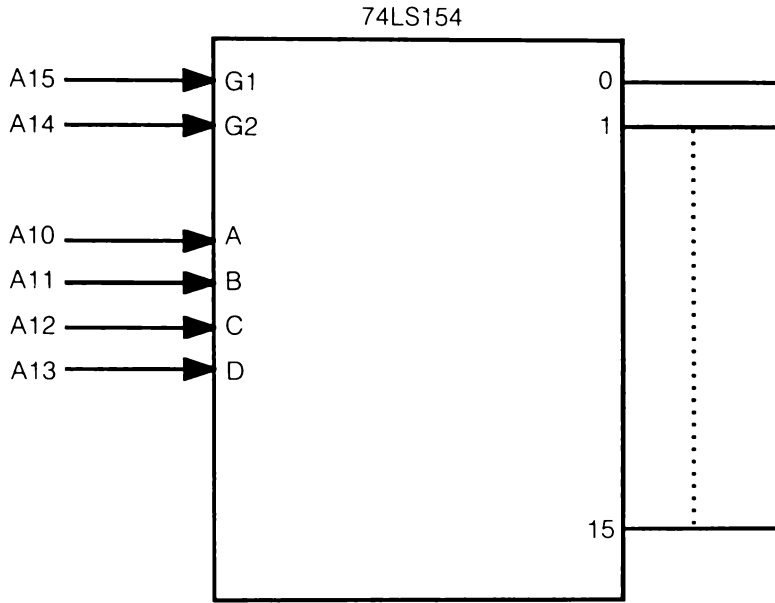
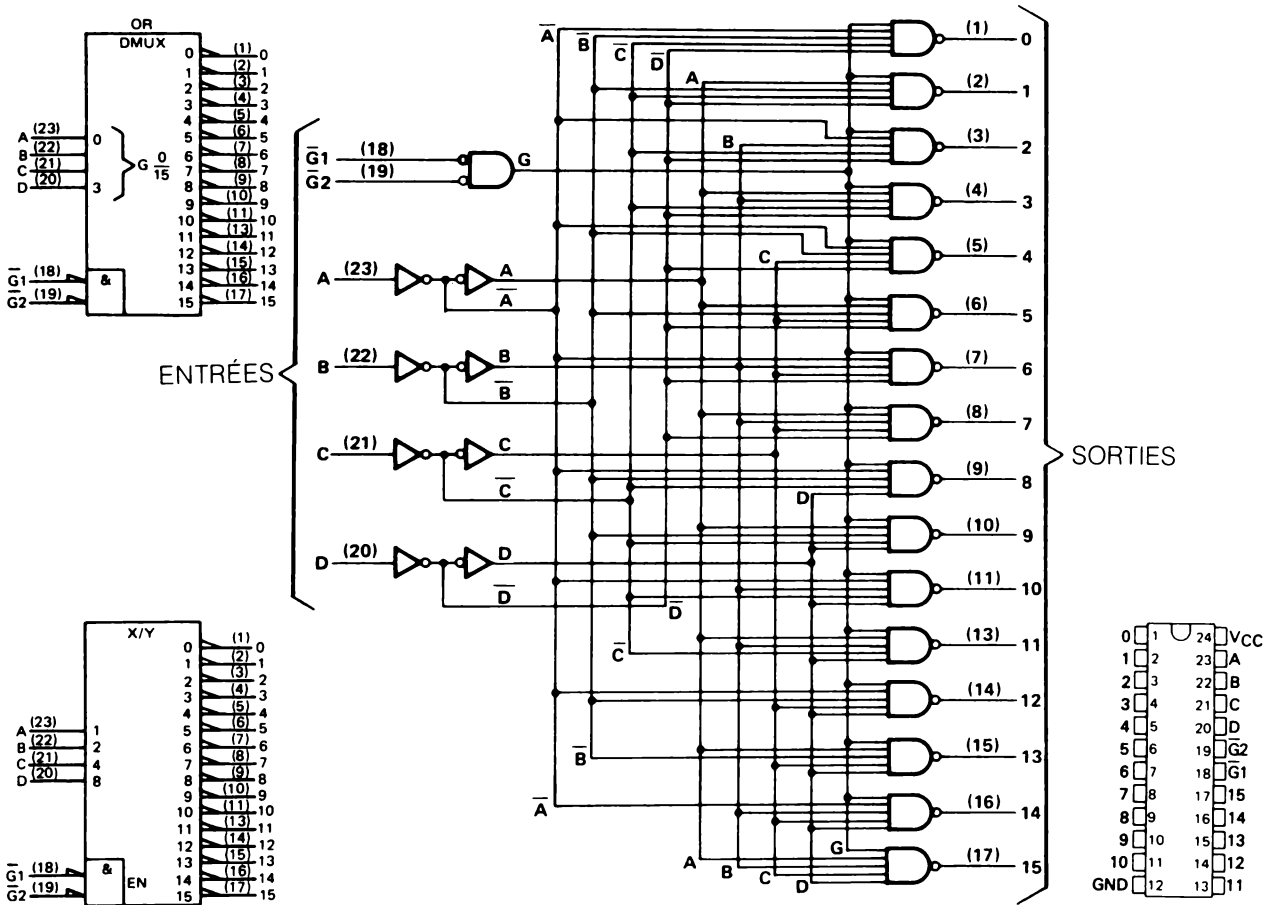


Figure 10.20 Décodage de 16 K de mémoire en tranches de 1 K adresses.



Reproduit avec la permission de Texas Instruments Inc.

Figure 10.21 Diagramme fonctionnel et brochage d'un 74LS154.

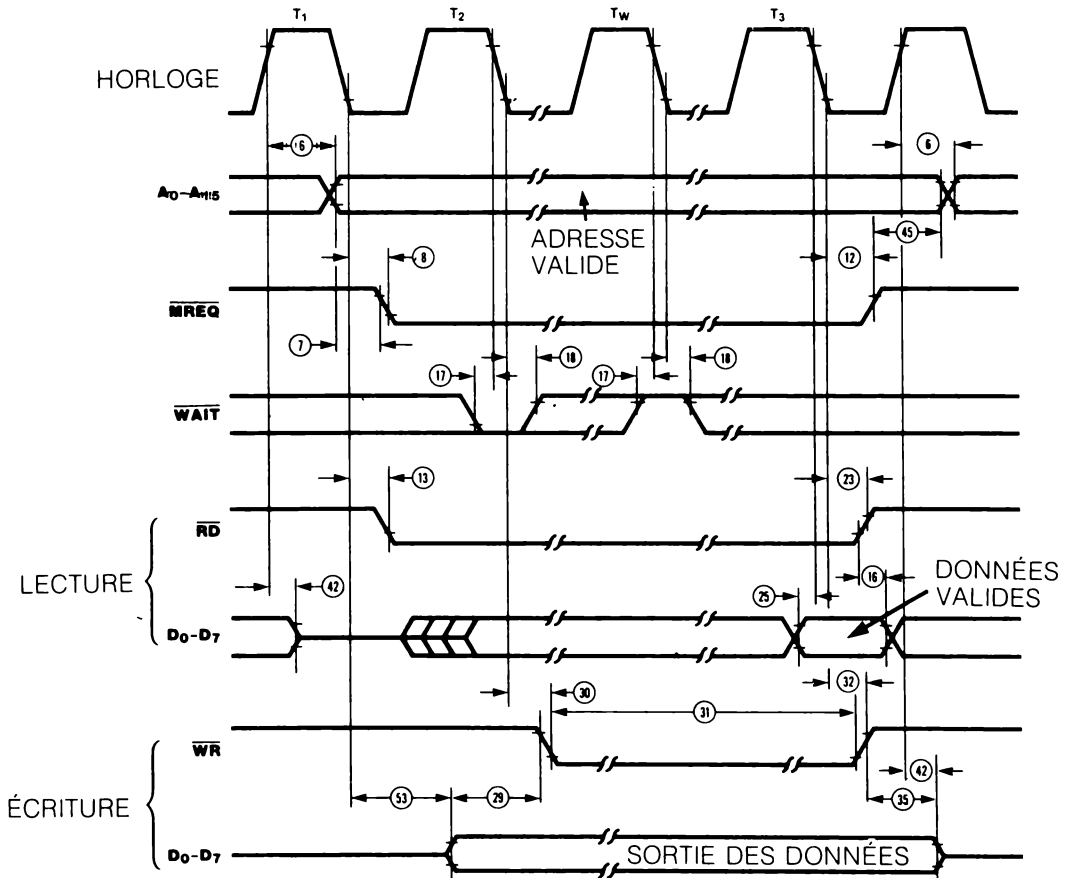
10.5.3 Cycles d'écriture et de lecture du microprocesseur Z80

Le microordinateur Z80 possède

1. Une broche \overline{WR} (*Write*) qui, à tension basse, indique que les données sur le bus des données sont valides. Elle autorise donc les données d'accéder à une mémoire externe ou à une entrée/sortie.
2. Une broche \overline{RD} (*Read*) qui, à tension basse, indique que le CPU demande une donnée à une mémoire extérieure ou à une entrée/sortie.
3. Une broche \overline{MREQ} (*Memory Request*) qui, à tension basse, indique que l'adresse est valide et que les opérations de lecture et d'écriture peuvent s'effectuer.

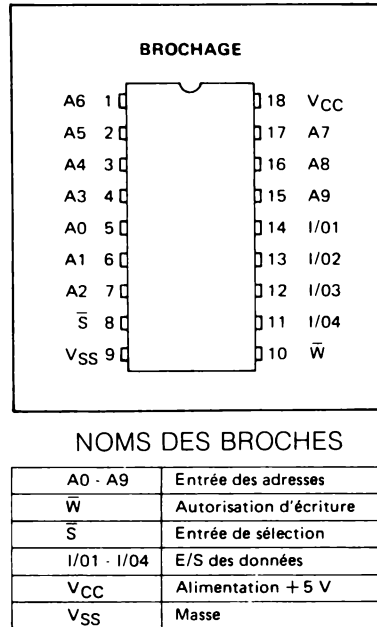
\overline{MREQ} peut servir à une mémoire externe de signal d'autorisation d'accès au boîtier.

\overline{WR} peut servir d'impulsion d'écriture pour presque tous les types de mémoires à semiconducteurs. $\overline{WR} = 0$ lorsque les données sont stables sur le bus.



Zilog

Figure 10.22 Cycles d'écriture et de lecture d'un Z80.



© Motorola Inc.,
Reproduit avec permission

Figure 10.23 Brochage d'une mémoire 2114.114.

Dans ce type de microprocesseur, un décodeur/démultiplexeur du type 74LS138, 74139, 74154 ou 74155 décode les adresses. Les lignes de commande, par exemple WE et CS de la mémoire 2114 (1024 x 4 bits) RAM statique, sont reliées respectivement aux lignes de commande WR et MREQ.

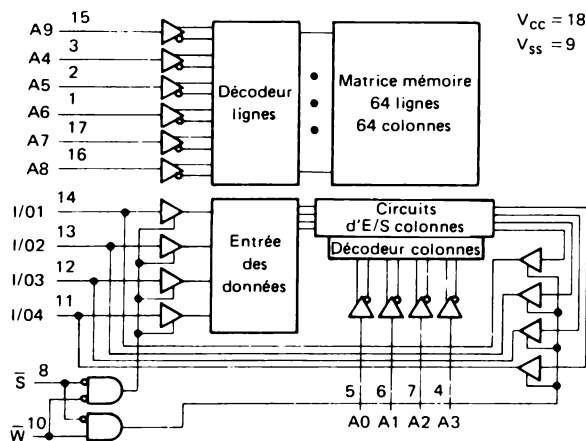
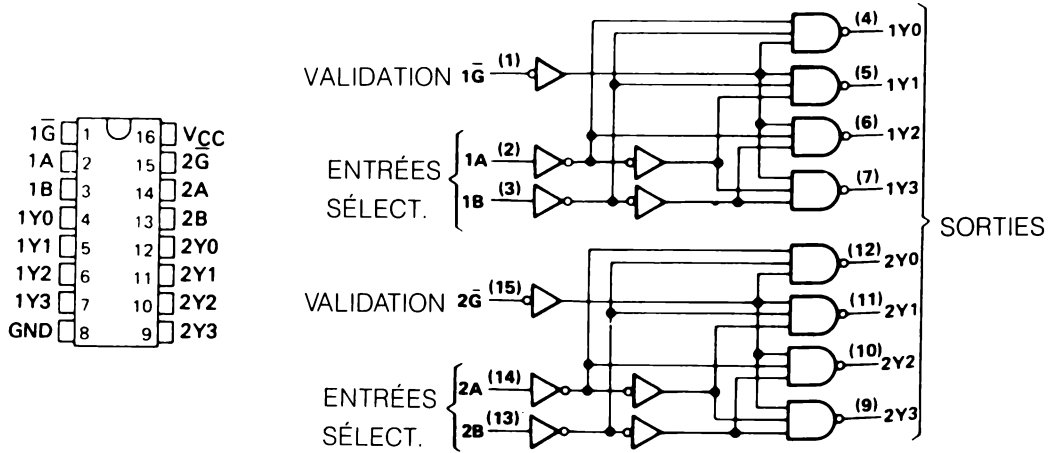
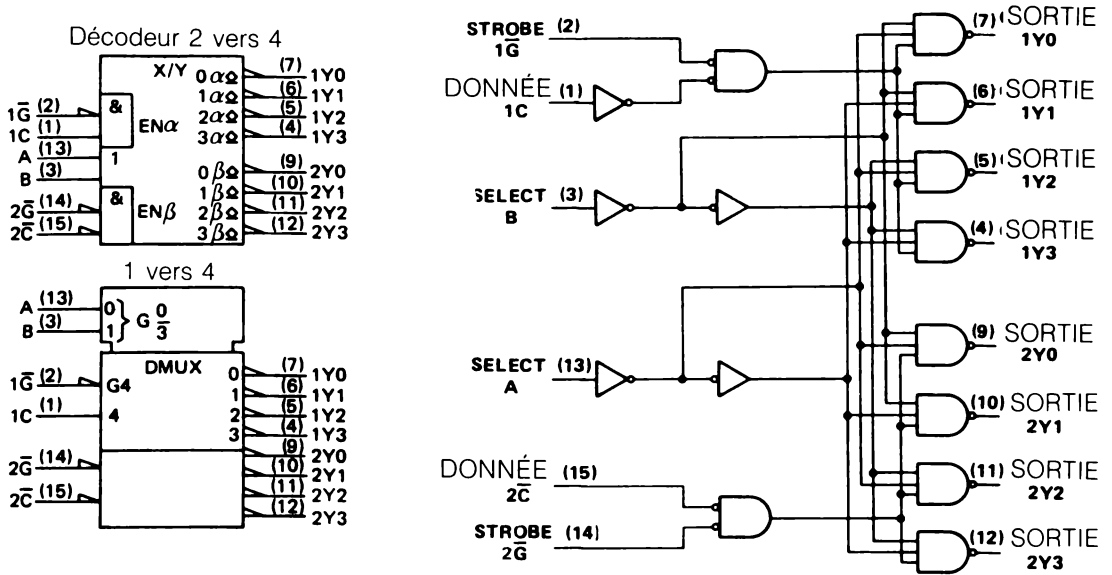


Figure 10.24 Représentation logique d'une mémoire 2114 (1024 x 4 bits).



Reproduit avec la permission de Texas Instruments Inc.

Figure 10.25 Brochage et diagramme fonctionnel d'un circuit intégré 74139.



Reproduit avec la permission de Texas Instruments Inc.

Figure 10.26 Brochage et diagramme fonctionnel d'un circuit intégré 74155.

Après cette brève introduction aux mémoires parsemée de définitions, nous étudierons dans les trois prochains chapitres les technologies particulières aux grandes familles de mémoires.

366 CIRCUITS NUMÉRIQUES

10. Tracez le schéma d'un décodeur d'adresses, à partir du bus d'adresses, destiné à activer des adaptateurs de périphériques qui nécessitent quatre adresses à partir de l'adresse \$8000 hexadécimal. Utilisez un microprocesseur 6800.
11. Tracez le schéma d'un décodeur d'adresses pour activer deux mémoires mortes ROM aux adresses \$8000 et \$A000 en hexadécimal. Chaque ROM contient 8 K × 8 bits. Utilisez un microprocesseur MC6800.
12. Tracez le schéma de l'interface d'une mémoire de 32 K à partir de l'adresse 0000, à l'aide de mémoires statiques 8 K × 8 bits. Utilisez un microprocesseur Z 80.

10.6 Expérience de laboratoire

Décodeur 74LS138 — Guide à voyants clignotants

Soit le montage de principe représenté à la figure 10.27.

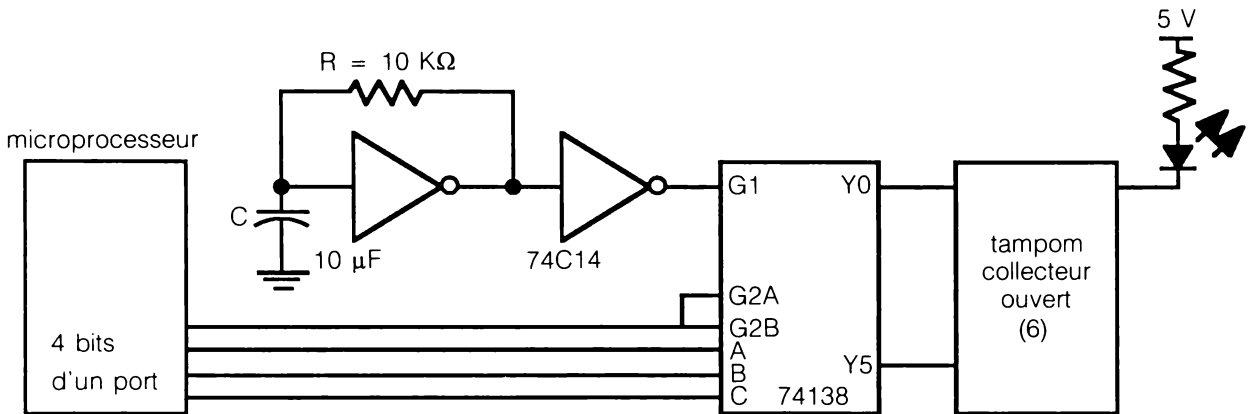


Figure 10.27 Pour l'expérience de laboratoire.

Par son port d'accès, le microprocesseur autorise ou interdit le clignotement à travers G2A et G2B ; A, B et C adressent le voyant clignotant. Effectuez le montage et concevez un programme pour cet affichage. Les voyants seront rouge, vert, ambre, etc.

10.7 Problèmes

Tracez le schéma de principe de mémoire de microordinateur de :

1. 1 K × 8 bits à l'aide de boîtiers de mémoire 512 × 8 bits.
2. 16 K × 8 bits à l'aide de boîtiers de mémoire 2 K × 8 bits.
3. 2 K × 8 bits à l'aide de boîtiers de mémoire 512 × 8 bits.
4. 16 K × 8 bits à l'aide de boîtiers de mémoire 4 K × 8 bits.
5. 1 K × 8 bits à l'aide de boîtiers de mémoire 1 K × 1 bit.
6. 32 K × 8 bits à l'aide de boîtiers de mémoire 8 K × 8 bits.
7. 4 K × 8 bits à l'aide de boîtiers de mémoire 256 × 4 bits.
8. 16 K × 8 bits à l'aide de boîtiers de mémoire 4 K × 1 bit.
9. 2 K × 8 bits à l'aide de boîtiers de mémoire 1 K × 4 bits.

Mémoires mortes (ROM)

11

11.1 Objectifs

Après étude de ce chapitre, l'étudiant devra savoir

1. Décrire le principe de fonctionnement des différentes mémoires mortes.
2. Tracer les schémas d'interconnexion pour utiliser ces mémoires.
3. Écrire un programme d'écriture en mémoire EPROM et donc savoir élaborer un algorithme de programmation.
4. Énumérer des applications de mémoires mortes préprogrammées.

11.2 Survol du sujet

Naturellement, l'information que l'on stocke dans les mémoires ROM, ou dispositifs à lecture seule, est permanente. Le processus de placement de cette information dans le circuit s'appelle la programmation. La programmation des ROM s'effectue durant la fabrication à l'aide d'un masque. Elle s'effectue par entrée électrique des données dans le cas des PROM, EPROM, EEPROM, etc. Ces mémoires conservent leurs informations lorsque l'alimentation disparaît. Elles servent de génératrices de configurations pour l'affichage de caractères sur écran de visualisation. Elles contiennent souvent les programmes élémentaires de démarrage des microordinateurs équipés de disque souple. Elles contiennent des programmes de jeux ou des versions élémentaires des langages BASIC, FORTH, LOGO, etc., des microordinateurs « grand public ».

Nous allons passer en revue les différentes technologies des divers types de mémoires, puis nous donnerons quelques applications commerciales des ROM. Nous étudierons ensuite les méthodes de programmation des ROM programmables, puis nous donnerons quelques applications.

11.3 Architecture d'une ROM

11.3.1 Introduction

Une mémoire morte a la même structure qu'un transcodeur. Une combinaison binaire aux entrées (l'adresse) donne aux sorties une autre combinaison binaire (les données) constante dans le temps. Les lignes de commande autorisent l'accès et l'acheminement des données sur le bus du système. La figure 11.1 donne le schéma fonctionnel d'une mémoire ROM. Le bus de données est unidirectionnel, car on ne fait que lire les cellules de la mémoire.

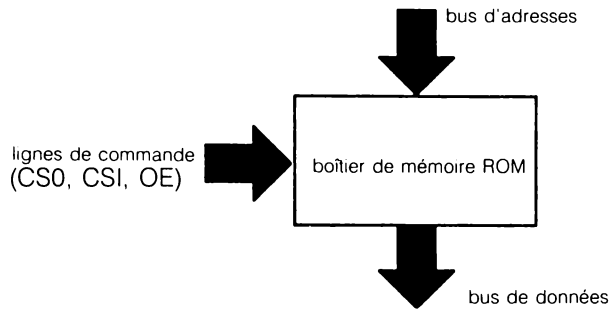


Figure 11.1 Diagramme fonctionnel d'une mémoire morte.

Les données sont en général de 4 ou 8 bits. Le nombre de lignes du bus d'adresses varie avec la capacité de la mémoire qui va de 1 K bits (256 mots de 4 bits) à 1 mégabit, ce qui empiète sur la chasse gardée des disquettes. Les données stockées dans une mémoire morte ROM s'appellent un programme. Chaque mot (en général de 4 ou 8 bits) du programme correspond à une adresse. Pour des raisons de facilité de lecture et d'interprétation, on écrit les adresses et les données en hexadécimal.

La figure 11.2 donne un exemple de programme de transcodage du code binaire vers le code Gray.

Mots	adresses				données			
	A3	A2	A1	A0	D3	D2	D1	D0
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	0	1	1
3	0	0	1	1	0	0	1	0
4	0	1	0	0	0	1	1	0
5	0	1	0	1	0	1	1	1
6	0	1	1	0	0	1	0	1
7	0	1	1	1	0	1	0	0
8	1	0	0	0	1	1	0	0
9	1	0	0	1	1	1	0	1
10	1	0	1	0	1	1	1	1
11	1	0	1	1	1	1	1	0
12	1	1	0	0	1	0	1	0
13	1	1	0	1	1	0	1	1
14	1	1	1	0	1	0	0	1
15	1	1	1	1	1	0	0	0

Figure 11.2 Exemple de programme d'une mémoire ROM de transcodage du code binaire vers le code Gray.

Les sorties d'une mémoire ROM sont en général à collecteur ouvert ou « trois états ».

11.3.2 Architecture interne d'une ROM

La structure interne d'une mémoire ROM s'appelle son architecture. Le schéma fonctionnel de la figure 11.3 met en relief six parties fondamentales : le tampon d'adresses, le décodeur de rangées, le décodeur de colonnes, les amplificateurs de lecture, le tampon de sorties et le codeur à structure matricielle. Nous allons examiner chacune de ces six parties.

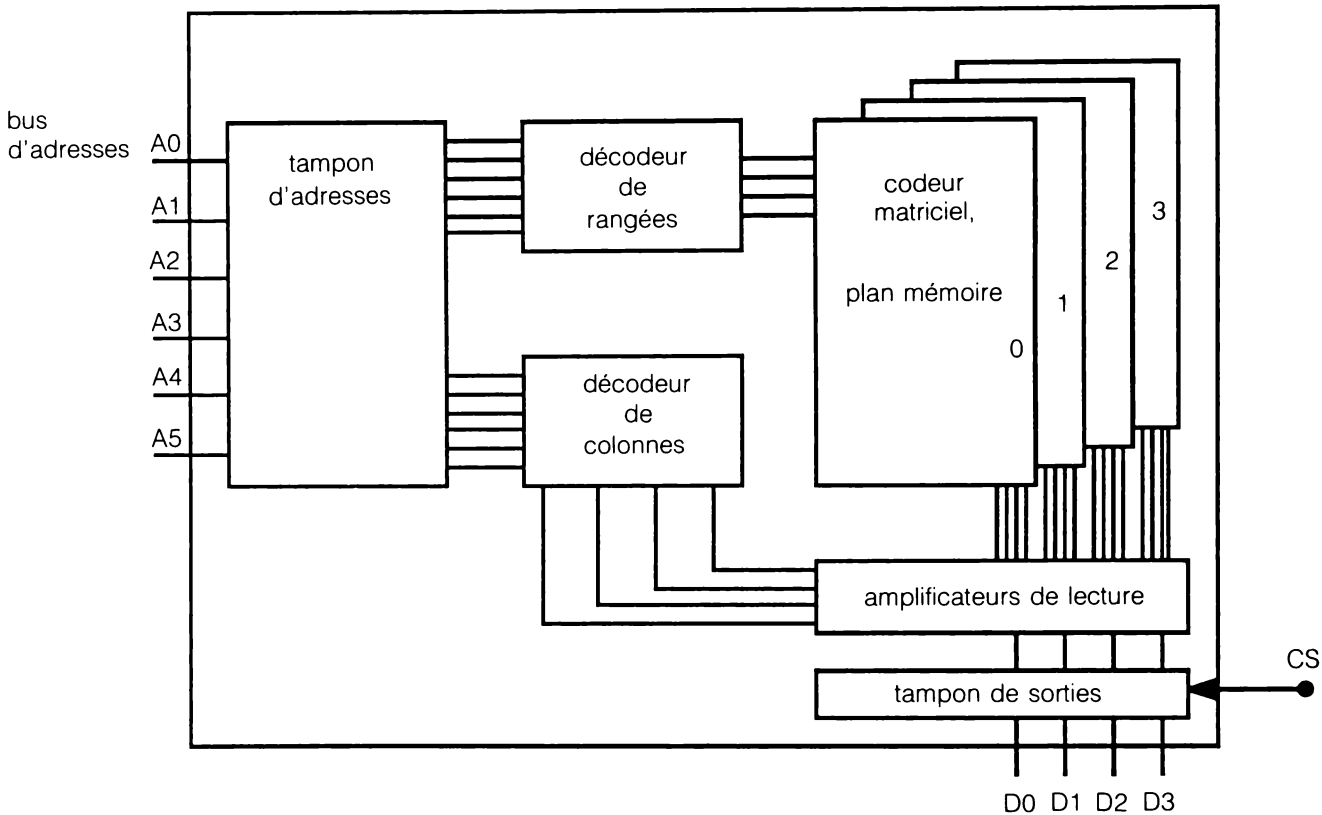


Figure 11.3 Architecture d'une ROM.

11.3.2.1 Tampon d'adresses

La fonction du tampon d'adresses est de minimiser la charge sur le bus d'adresses et de commander les décodeurs d'adresses. La figure 11.4 donne la représentation fonctionnelle d'un tampon d'adresses.

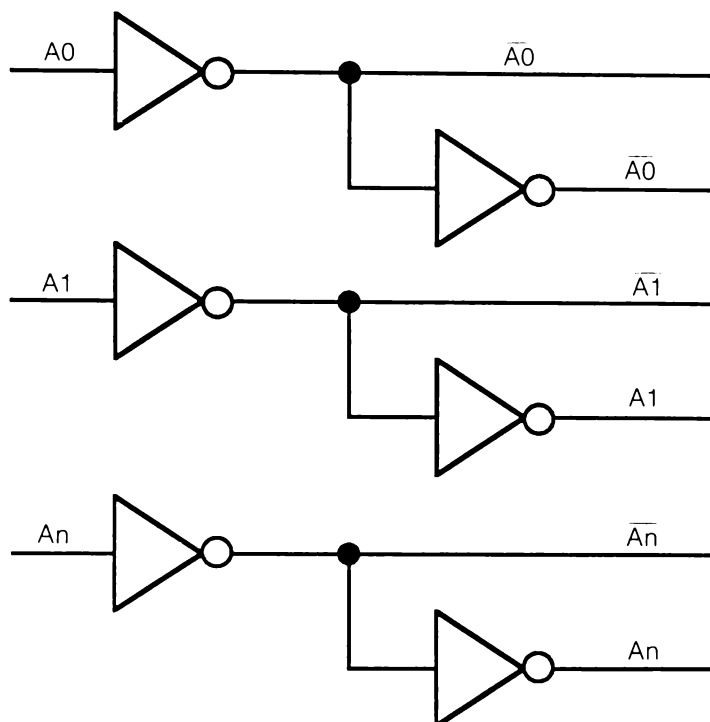


Figure 11.4 Schéma fonctionnel d'un tampon d'adresses.

La variable et son complément sont générés pour le décodeur. Le tampon d'entrées sert parfois à adapter les niveaux de tension logique du bus d'adresses aux niveaux de tension requis dans la mémoire morte. Il sert aussi à adapter les circuits TTL aux circuits MOS.

11.3.2.2 Décodeur de rangées ou lignes

Ce décodeur est analogue aux 74138 du chapitre précédent. Il est chargé, à partir des adresses et donc des états fournis par le tampon d'entrées, de décoder une rangée ou ligne de la matrice du plan mémoire. On l'appelle parfois décodeur X.

Le schéma de la figure 11.5 rappelle le principe des décodeurs.

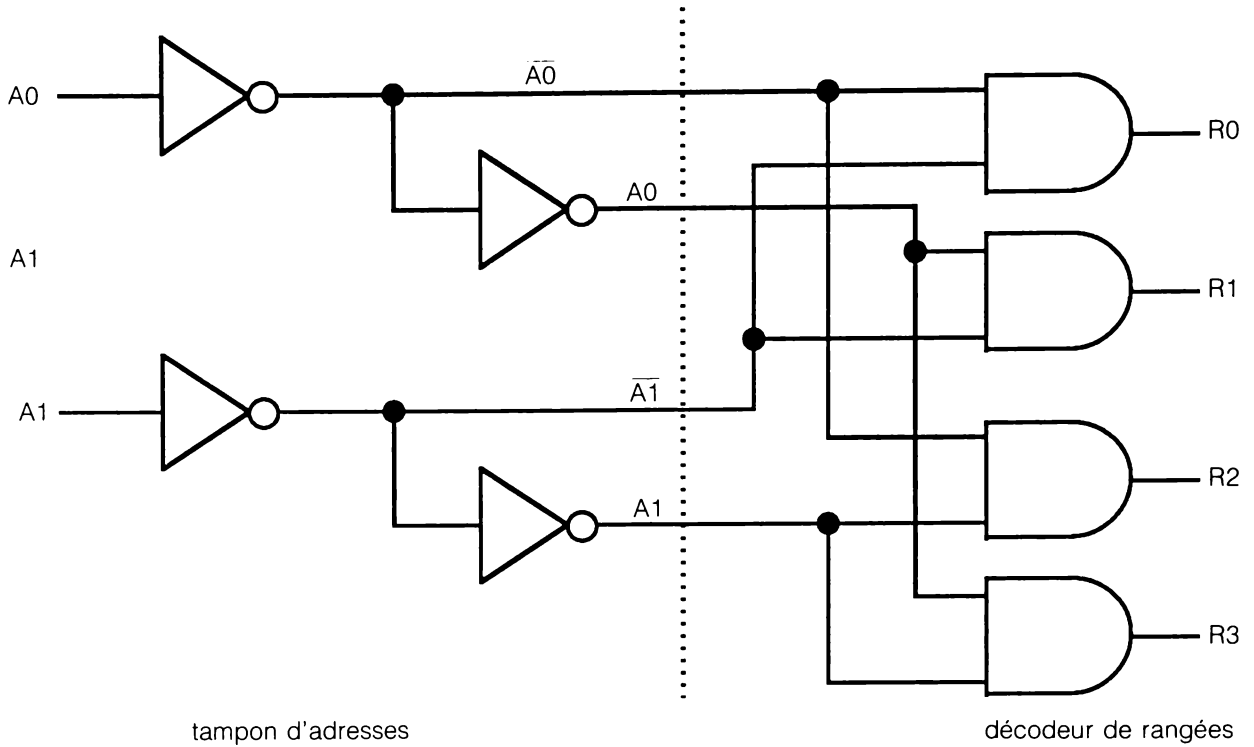


Figure 11.5 Schéma de principe d'un décodeur de rangées ou lignes.

11.3.2.3 Décodeur de colonnes

Le décodeur de colonnes fonctionne de la même façon que le décodeur de rangées ou lignes. On l'appelle parfois décodeur Y. Le décodeur Y agit sur les amplificateurs de lecture pour sélectionner un bit de la mémoire ROM.

11.3.2.4 Amplificateurs de lecture et tampon de sorties

Les courants ou les tensions de sorties sur la rangée sélectionnée sont souvent très bas. Il faut les amplifier pour avoir des signaux compatibles avec les niveaux exigés sur le tampon du bus de données (en général des niveaux TTL). Dans les ROM à technologie bipolaire, on remplace les amplificateurs par des portes logiques à rétroaction positive. La figure 11.6 donne le principe des connexions entre les colonnes de la matrice du plan mémoire, le décodeur de colonnes, l'amplificateur de sorties, le signal de sélection du boîtier (CS) et les amplificateurs de lecture.

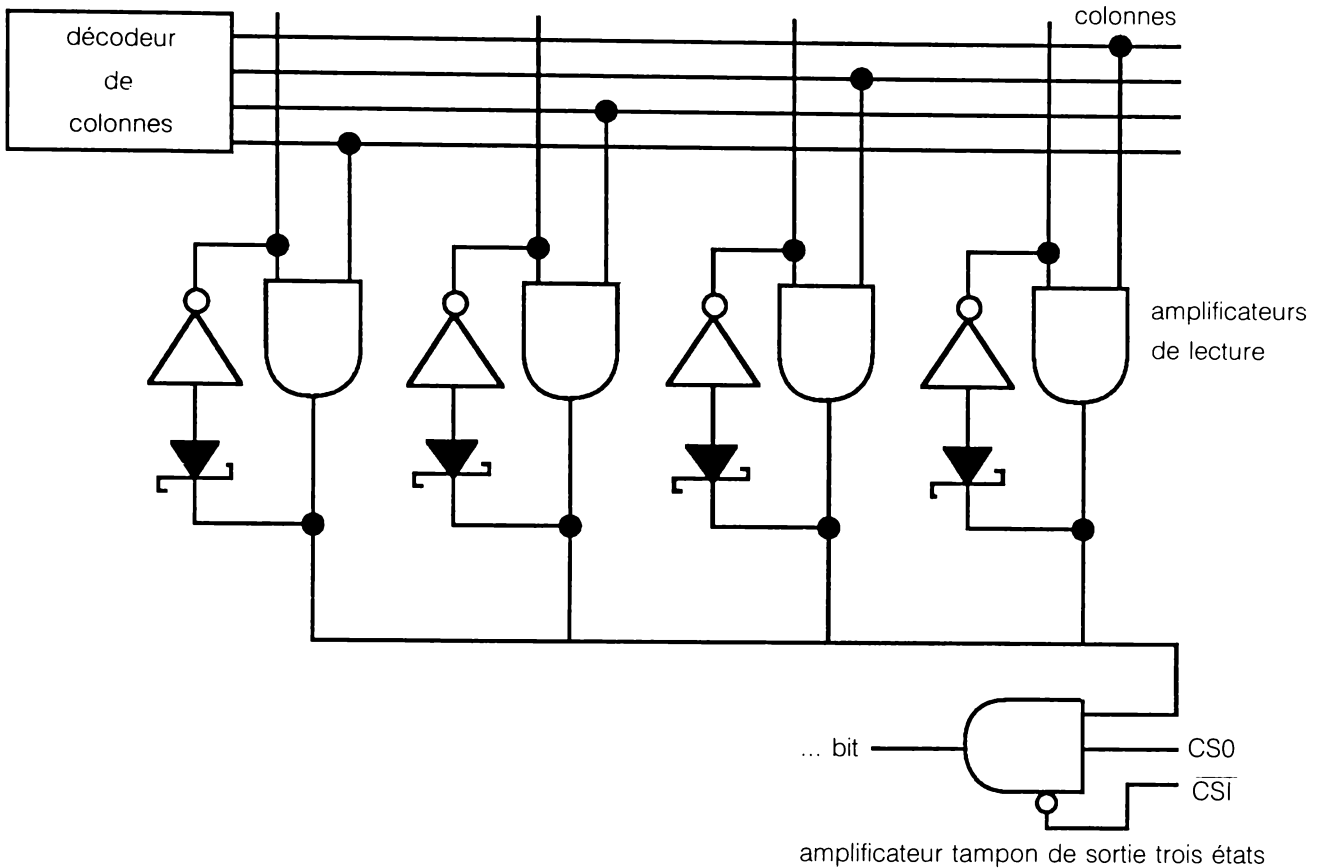


Figure 11.6 Diagramme de principe des sorties d'une mémoire morte. Le tampon de sorties est à l'état haute impédance lorsqu'on ne sélectionne pas le boîtier.

11.3.2.5 Matrice de codage ou codeur matriciel

Ce codeur est constitué de cellules disposées en rangées ou lignes et en colonnes selon une configuration appelée matrice. Selon la technologie de construction de la ROM, la cellule est une diode, un transistor bipolaire ou un transistor MOS de type N, P ou CMOS. La figure 11.7 donne le schéma de principe d'une matrice 4 × 4. Si l'on veut un « 1 » logique, on connecte la diode. Si l'on veut un « 0 » logique, on ouvre sa cathode. On programme la matrice lors de la fabrication du circuit intégré. Un masque, produit suivant les programmes du client, permet d'établir ou de couper les connexions entre la cathode de la diode et la colonne.

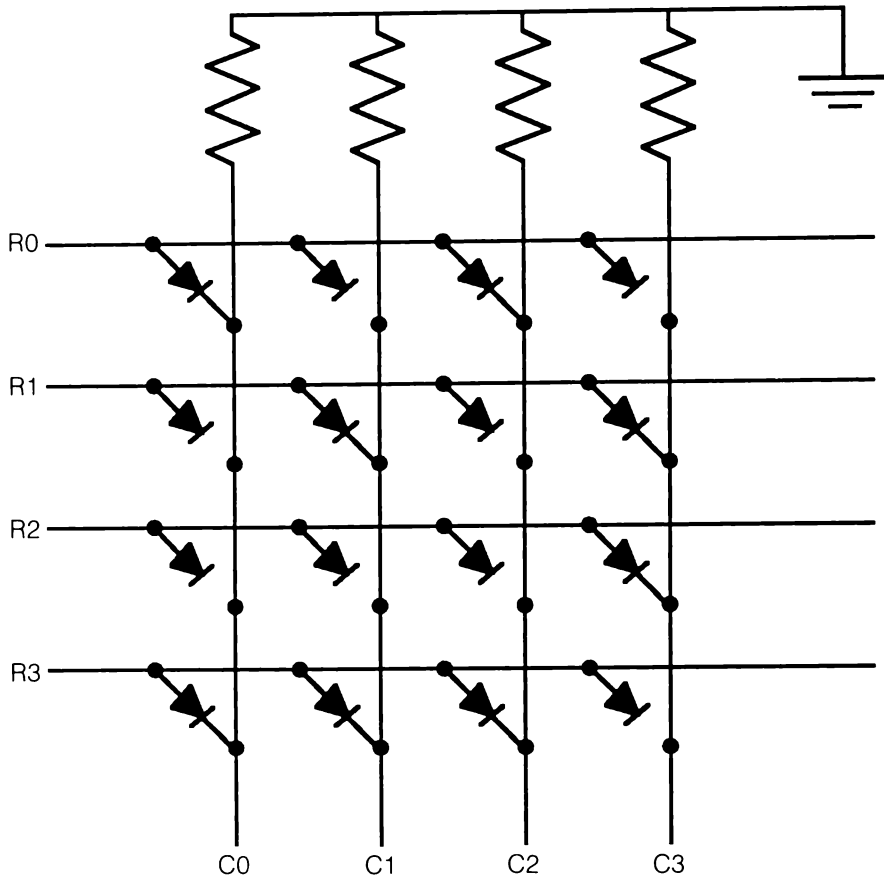


Figure 11.7 Codeur matriciel à diodes.

Si l'on sélectionne la rangée R0, on applique une tension à l'anode de la diode correspondant à 1. Si la diode est reliée à la colonne, celle-ci reçoit un 1, sinon elle reste à la masse. Dans le cas de la figure 11.7, si l'on sélectionne la rangée R0, on obtient $1010 = A_{16}$ sur les colonnes C0C1C2C3 et le mot de sortie est $0101 = 5$ pour C3C2C1C0.

Dans les mémoires bipolaires, on peut remplacer la diode par un transistor. La base du transistor est reliée à la rangée, le collecteur est alimenté par une tension $+V_{CC}$ et l'émetteur est relié ou non à la colonne selon la programmation désirée. Le transistor est du type NPN. La figure 11.8 donne le schéma de principe d'un tel codeur matriciel.

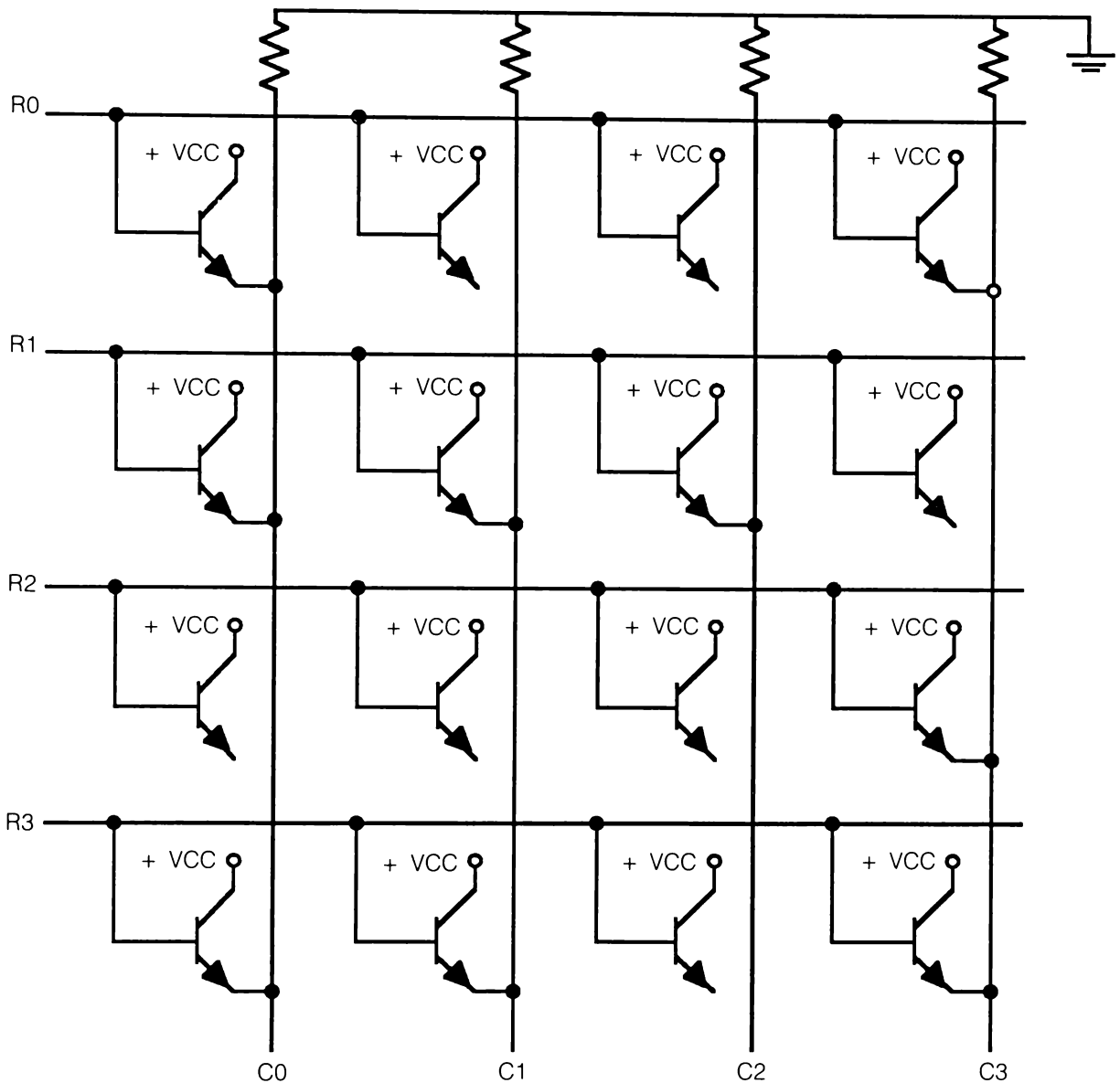


Figure 11.8 Codeur matriciel à transistors bipolaires.

Si on sélectionne la rangée R3, on obtient le mot 1011 sur C3C2C1C0 soit B_{16} . La rangée sélectionnée fait saturer ses transistors et la tension V_{CC} se retrouve sur les colonnes correspondant aux émetteurs connectés.

Les ROM de type MOS ont des cellules à transistors MOSFET du type P, N ou CMOS. La figure 11.9 donne le schéma de principe d'une matrice constituée de FET du type P. La grille est reliée ou non à la rangée selon la programmation désirée, le drain est à la masse et la source est reliée à la colonne.

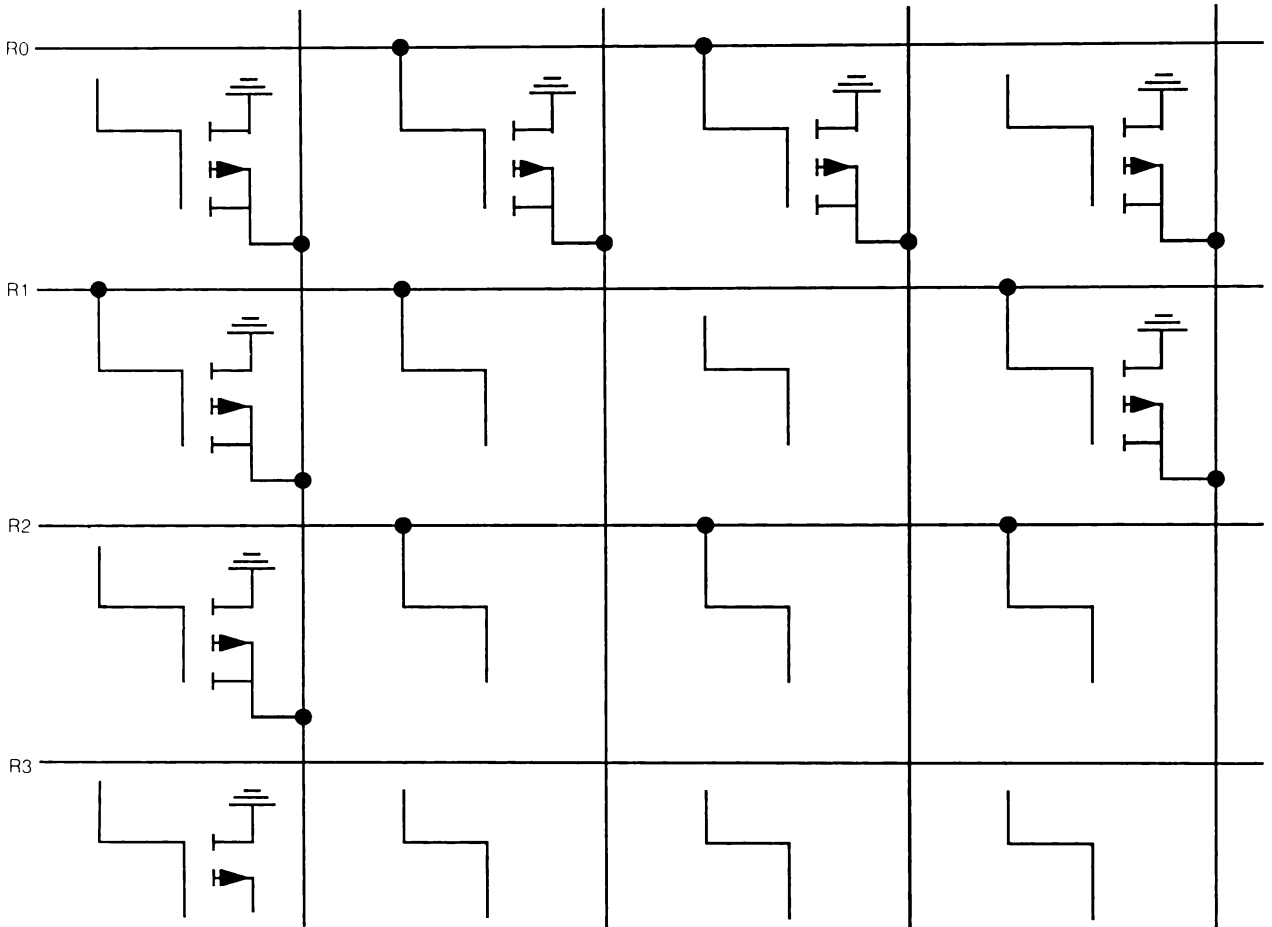
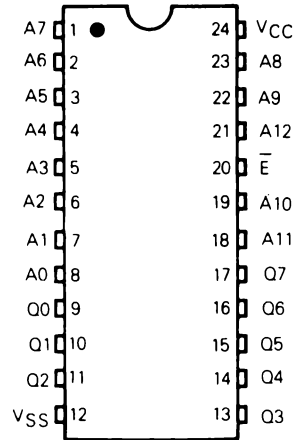
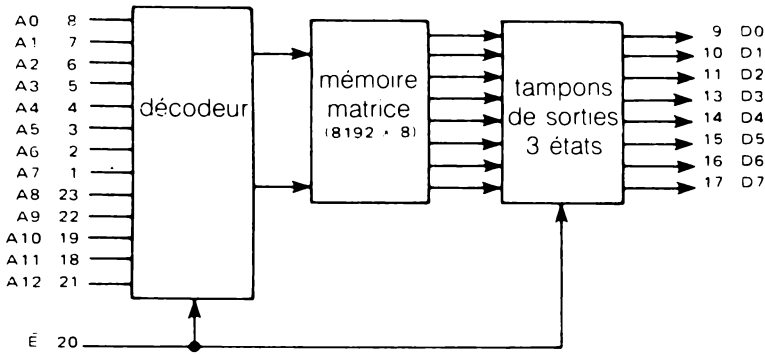


Figure 11.9 Codeur matriciel à MOSFET.

11.4 Exemples de mémoires mortes ROM

11.4.1 MCM68364

Parmi les ROM compatibles avec le système Motorola 6800 citons la mémoire MCM68364. C'est une ROM de 64 K bits organisés en 8192 mots de 8 bits (8192 × 8). Le brochage de cette ROM est compatible avec une mémoire programmable EPROM. On peut donc monter un prototype avec une mémoire EPROM et lorsque le logiciel est au point commander des ROM sans devoir changer les schémas et les montages. La figure 11.10 donne le brochage de cette mémoire.



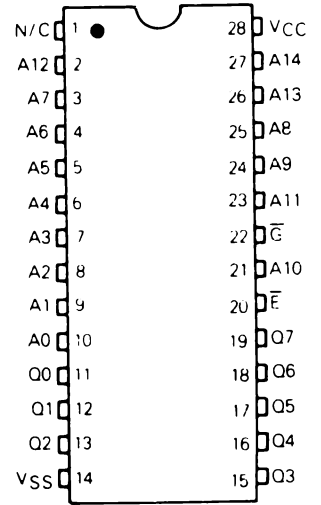
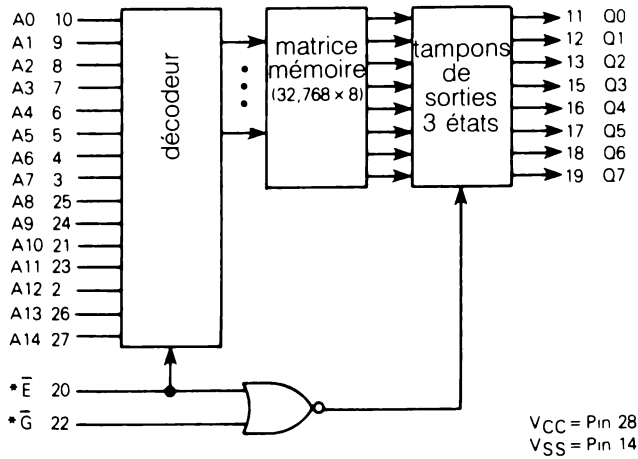
NOMS DES BROCHES	
A0-A12	Adresse
E	Validation du boîtier
Q0-Q7	Validation de la sortie
VCC	Alimentation + 5 V
VSS	Masse, 0 V

© Motorola Inc., Reproduit avec permission

Figure 11.10 Brochage et diagramme fonctionnel d'une mémoire ROM MCM68364.

11.4.2 MCM65256

La ROM MCM65256 est en technologie MOS complémentaire (CMOS). Cette technologie diminue la consommation au repos. Dans ce cas, la mémoire consomme 50 μA , donc 250 μW sous une alimentation de 5 V. On utilise ce type de mémoire dans des appareils portatifs sans alimentation lourde et encombrante. La figure 11.11 donne le brochage et le diagramme fonctionnel de ce type de mémoire. Cette mémoire est organisée en 32 768 mots de 8 bits.



NOMS DES BROCHES	
A0-A14	Adresse
\bar{E}	Validation du boîtier
\bar{G}	Validation de la sortie
Q0-Q7	Données
VCC	Alimentation + 5 V
VSS	Masse, 0 V

© Motorola Inc., Reproduit avec permission

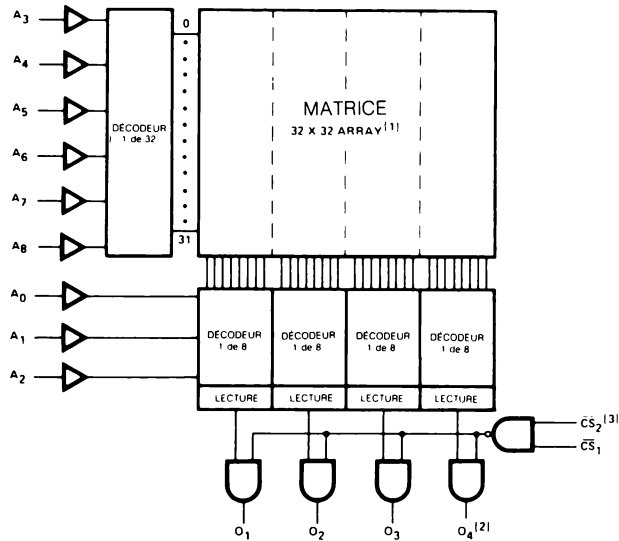
Figure 11.11 Brochage et diagramme fonctionnel d'une mémoire ROM MCM68256.

11.5 Mémoires ROM programmables (PROM)

Les mémoires ROM sont programmées en usine à l'aide d'un masque construit selon les spécifications du programme de l'utilisateur. C'est un processus coûteux, rentable dans le cas d'une grande production seulement. Dans le cas d'un prototype ou de mise en marché d'un matériel hautement évolutif on utilise peu de ROM, mais l'on recourt à des ROM programmables sur place ou PROM.

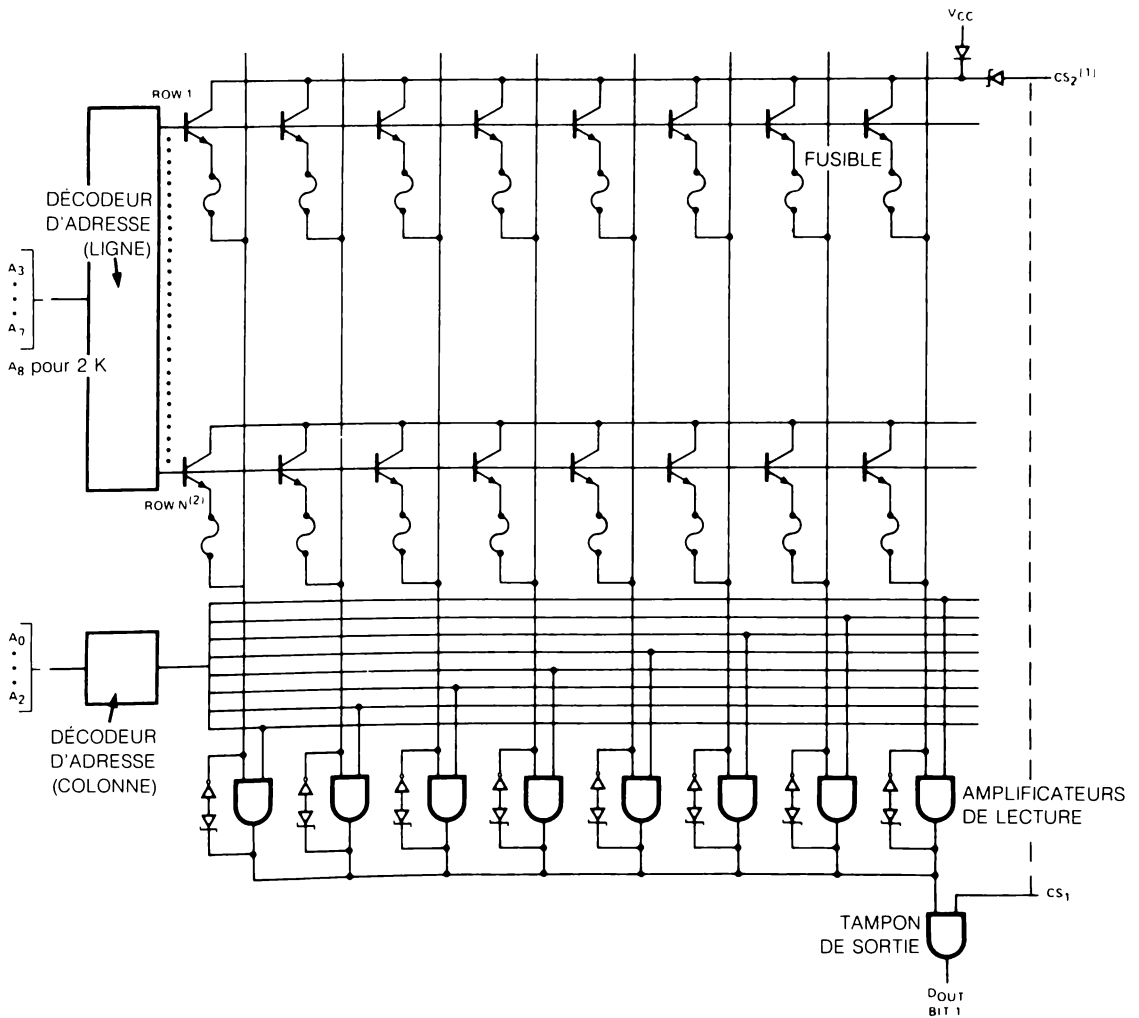
Les concepteurs disposent de programmeurs de PROM qui programment les PROM et vérifient l'exactitude de la programmation. Souvent, ces programmeurs sont des périphériques de petits ordinateurs personnels, ce qui réduit le prix car on se sert des capacités logiques des microordinateurs.

L'architecture des PROM est très proche de celle des ROM. Une liaison de chaque cellule de la mémoire passe par un fusible. Pour programmer une PROM, on fait circuler un courant assez fort (20 à 30 mA) pour faire fondre certains fusibles. Selon la figure 11.13 la PROM a la même architecture que la ROM, mais un fusible relie l'émetteur de chaque transistor à la colonne correspondante.



© Intel Corporation 1986

Figure 11.12 Diagramme fonctionnel simplifié d'une PROM.



© Intel Corporation 1986

Figure 11.13 Architecture d'une PROM.

Les PROM comportent différents types de fusibles : au nichrome, au silicium polycristallin ou en un alliage de tungstène et titane.

Après fusion, les fusibles au nichrome se reforment et rétablissent la liaison. Les fusibles au silicium polycristallin sont les plus utilisés. Sous l'influence d'un courant le fusible au silicium polycristallin s'oxyde et devient isolant. Ce fusible a une résistivité très faible et il ne présente pas de phénomène de dopage.

Autre méthode de programmation : par avalanche entre la base et l'émetteur d'un transistor. Le court-circuit qui en résulte programme la cellule de façon permanente.

11.6 Mémoires mortes programmables électriquement et effaçables par rayonnement ultraviolet (EPROM)

11.6.1 Principe de fonctionnement

L'inconvénient d'une PROM est sa programmation définitive. Son seul avantage sur la ROM est sa programmation sur le lieu d'utilisation et non en usine. La mémoire ROM programmable la plus répandue de la famille MOS est l'EPROM, une ROM programmable électriquement. La cellule de base de ce type de mémoire est un transistor particulier : le FAMOS (*Floating gate Avalanche injection MOS*) inventé par la compagnie INTEL en 1971. Ce transistor est fabriqué sur un substrat de type P faiblement dopé qui présente donc une résistance assez grande. Sur ce substrat on dépose une couche d'oxyde de silicium très mince dans laquelle on piège une armature de silicium (la grille flottante). On dit que cette grille est flottante, car elle n'est reliée à aucune électrode. Par deux ouvertures de cette couche d'oxyde de silicium on diffuse des impuretés pour doper fortement deux zones de type +. C'est le drain et la source. On construit une grille de commande au-dessus pour la commande de lecture de la mémoire.

Pour écrire ou stocker des informations, on piège des électrons dans la grille flottante en appliquant une tension élevée (environ 25 V) simultanément sur la grille supérieure et sur le drain de type N et l'on maintient le substrat et la source à la masse. Il s'ensuit un champ électrique intense dans le canal. Ce champ accélère les électrons qui atteignent une vitesse considérable. La grille flottante piège les quelques-uns qui traversent la couche isolante d'oxyde de silicium.

L'oxyde de silicium étant un excellent isolant, la grille flottante reste chargée durant des années. Pour effacer une information, c'est-à-dire décharger la grille flottante, on expose toute la mémoire à un rayonnement ultra-violet. Par apport d'énergie, ce rayonnement rend l'oxyde de silicium partiellement conducteur, ce qui décharge la grille flottante. En raison de la taille minuscule des cellules, on ne peut pas les effacer sélectivement. On efface donc toute la mémoire et on écrit de nouvelles informations par programmation. Durant la lecture, la charge reste sur la grille et il en est de même si l'on coupe l'alimentation. Le prix de revient de cette mémoire permanente, fiable et très répandue est bas.

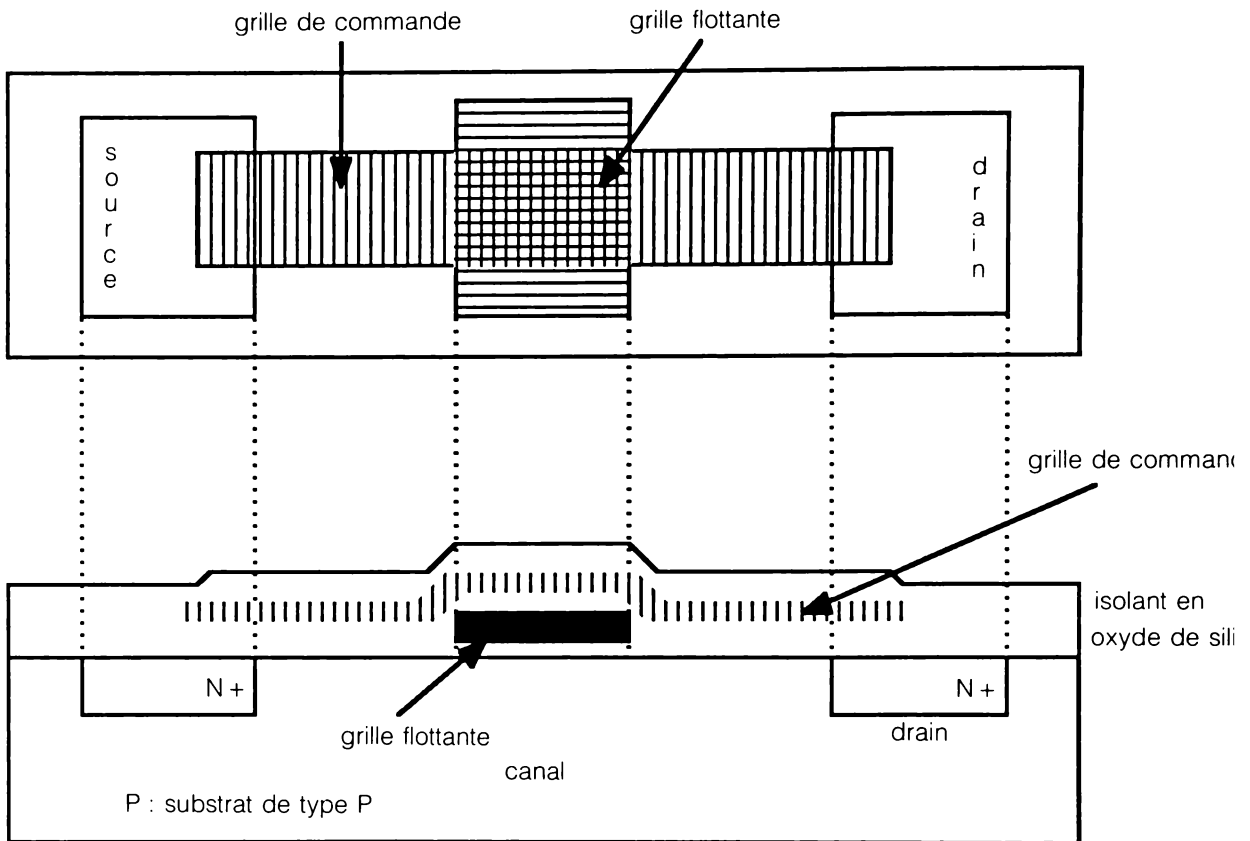


Figure 11.14 Structure d'une cellule de mémoire ROM programmable électriquement (EPROM).

11.6.2 Programmation d'une EPROM

La figure 11.15 donne le brochage d'une mémoire EPROM très répandue, la 2716 de 16 K bits organisés en 2 K × 8 bits soit 2 K octets.

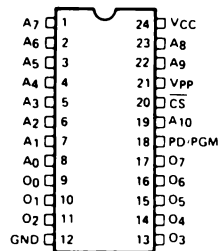
La figure 11.16 donne le chronogramme de programmation de la 2716 effectuée par le fabricant. Avant de programmer une EPROM, on l'efface et on vérifie si elle est bien effacée en constatant par lecture que tous les bits sont à 1. Puis on met en mémoire vive le programme à transférer et la mémoire EPROM en mode programmation en appliquant +5 V à V_{CC} , +25 V à V_{PP} et +5 V à l'entrée \overline{CS} (état haut, boîtier non sélectionné).

On présente les données à programmer aux sorties O0 à O7 sous forme d'octets et on positionne l'adresse sur son bus A0 – A10.

On donne l'ordre de programmer en appliquant une impulsion de 50 ms sur la broche PD/PGM (*Power down/Program*).

On vérifie ensuite par une lecture si le mot a été bien programmé.

Quand tout le programme a été transféré, on coupe la tension de 25 V et la mémoire EPROM est prête pour utilisation dans un circuit.



NOMS DES BROCHES

A0–A10	ADRESSES
PD/PGM	PROGRAM
CS	SÉLECTION
O0–O7	SORTIES

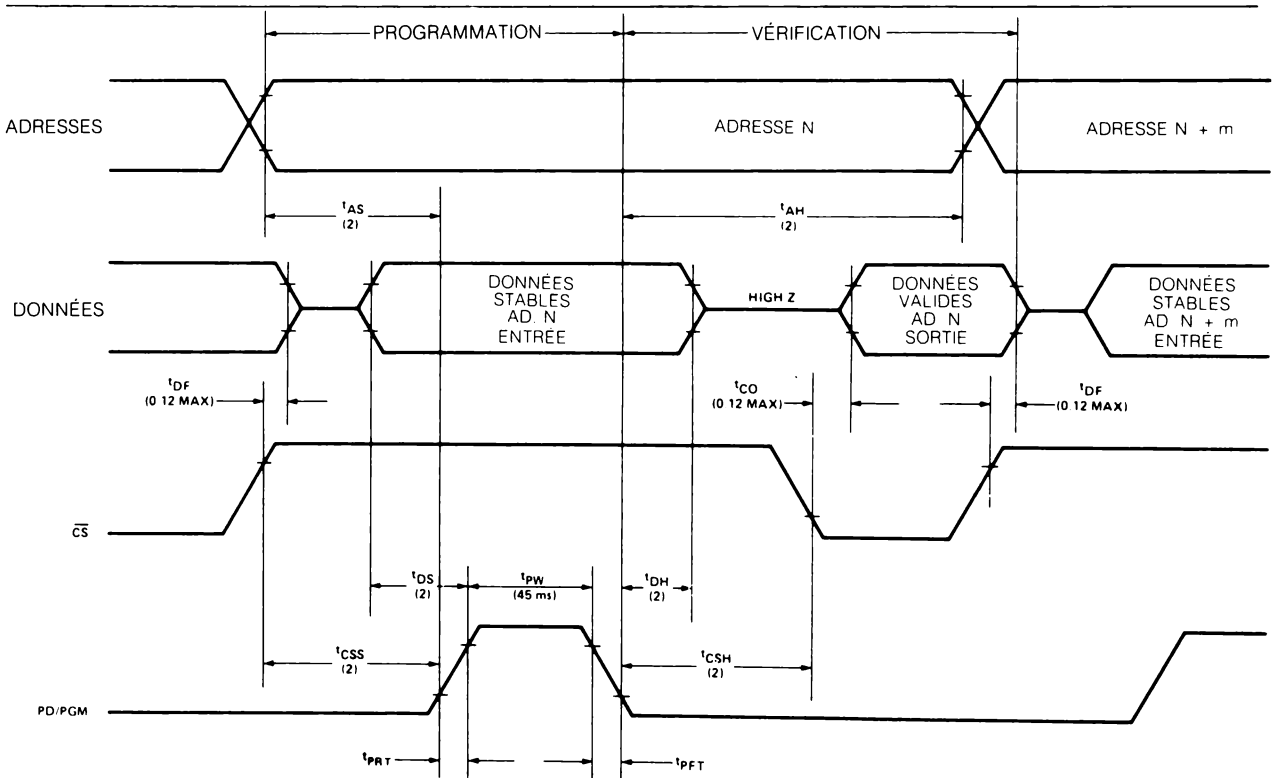
© Intel Corporation 1986

Figure 11.15 Brochage d'une mémoire EPROM 2716.

$T_A = 25^\circ\text{C} \pm 5^\circ\text{C}$, $V_{CC}^{(2)} = 5\text{V} \pm 5\%$, $V_{pp}^{(2,3)} = 25\text{V} \pm 1\text{V}$

Symbol	Parameter	Min.	Typ.	Max.	Units	Test Conditions
I_{LI}	Input Current (for Any Input)			10	μA	$V_{IN} = 5.25\text{V}/0.45$
I_{PP1}	V_{pp} Supply Current			5	mA	$\text{PD}/\text{PGM} = V_{IL}$
I_{PP2}	V_{pp} Supply Current During Programming Pulse			30	mA	$\text{PD}/\text{PGM} = V_{IH}$
I_{CC}	V_{CC} Supply Current			100	mA	
V_{IL}	Input Low Level	-0.1		0.8	V	
V_{IH}	Input High Level	2.2		$V_{CC}+1$	V	

- NOTES: 1. Intel's standard product warranty applies only to devices programmed to specifications described herein.
 2. V_{CC} must be applied simultaneously or before V_{pp} and removed simultaneously or after V_{pp} . The 2716 must not be inserted into or removed from a board with V_{pp} at $25 \pm 1\text{V}$ to prevent damage to the device.
 3. The maximum allowable voltage which may be applied to the V_{pp} pin during programming is +26V. Care must be taken when switching the V_{pp} supply to prevent overshoot exceeding this 26V maximum specification.



$V_{pp} = 25\text{V} \pm 1\text{V}$, $V_{CC} = 5\text{V} \pm 5\%$

© Intel Corporation 1986

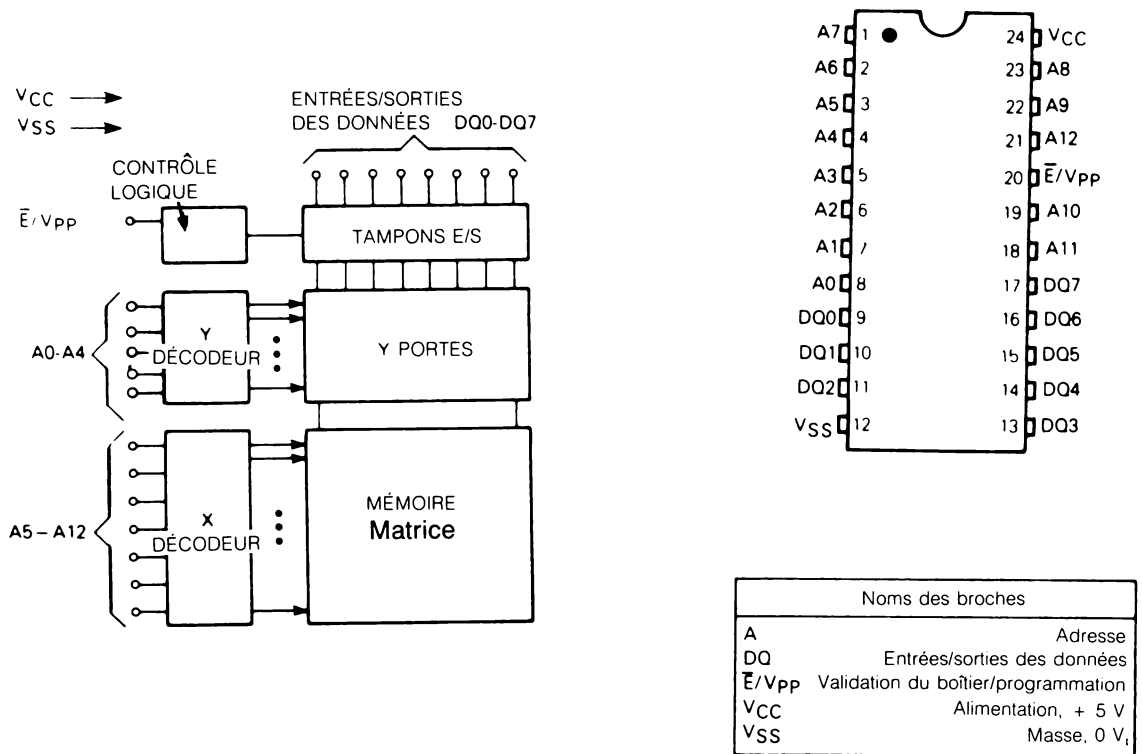
Figure 11.16 Chronogramme de programmation d'une mémoire EPROM 2716.

Le programmeur d'une EPROM 2716 est un circuit relativement simple qu'on peut monter avec un microordinateur et un port de sortie genre PIA 6821, PPI 8255 ou VIA 6522.

11.6.3 Exemples de mémoires EPROM

11.6.3.1 EPROM MCM68764

Cette EPROM a une capacité de 64 K bits organisés en 8192 mots de 8 bits. Son brochage et son diagramme fonctionnel apparaissent à la figure 11.17.

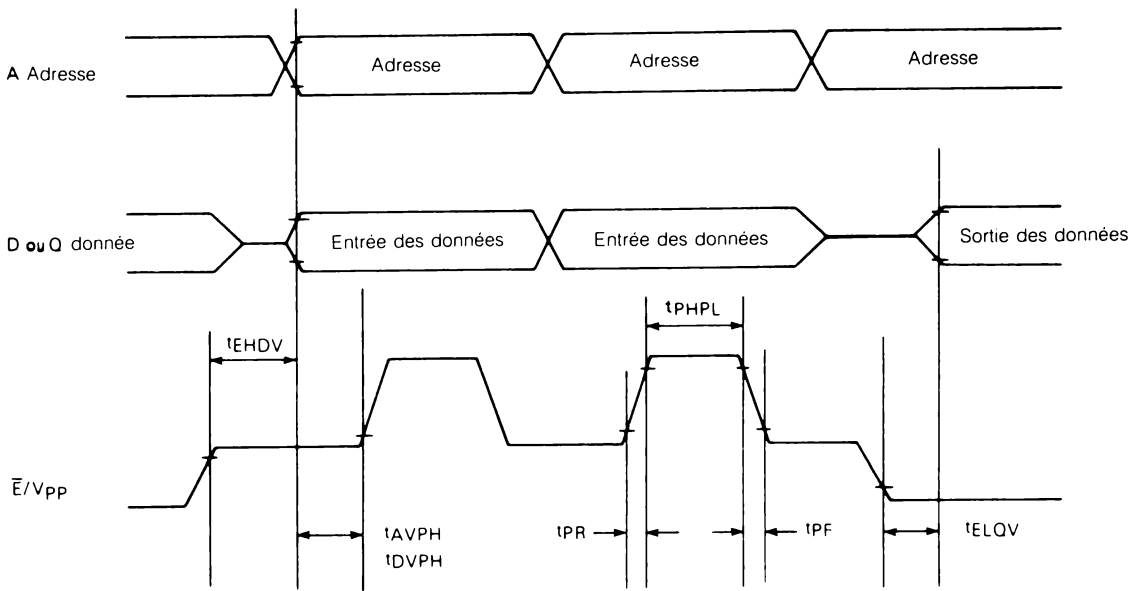


Noms des broches	
A	Adresse
DQ	Entrées/sorties des données
E/Vpp	Validation du boîtier/programmation
VCC	Alimentation, + 5 V
VSS	Masse, 0 V _i

© Motorola Inc., Reproduit avec permission

Figure 11.17 Brochage et diagramme fonctionnel d'une EPROM MCM68764.

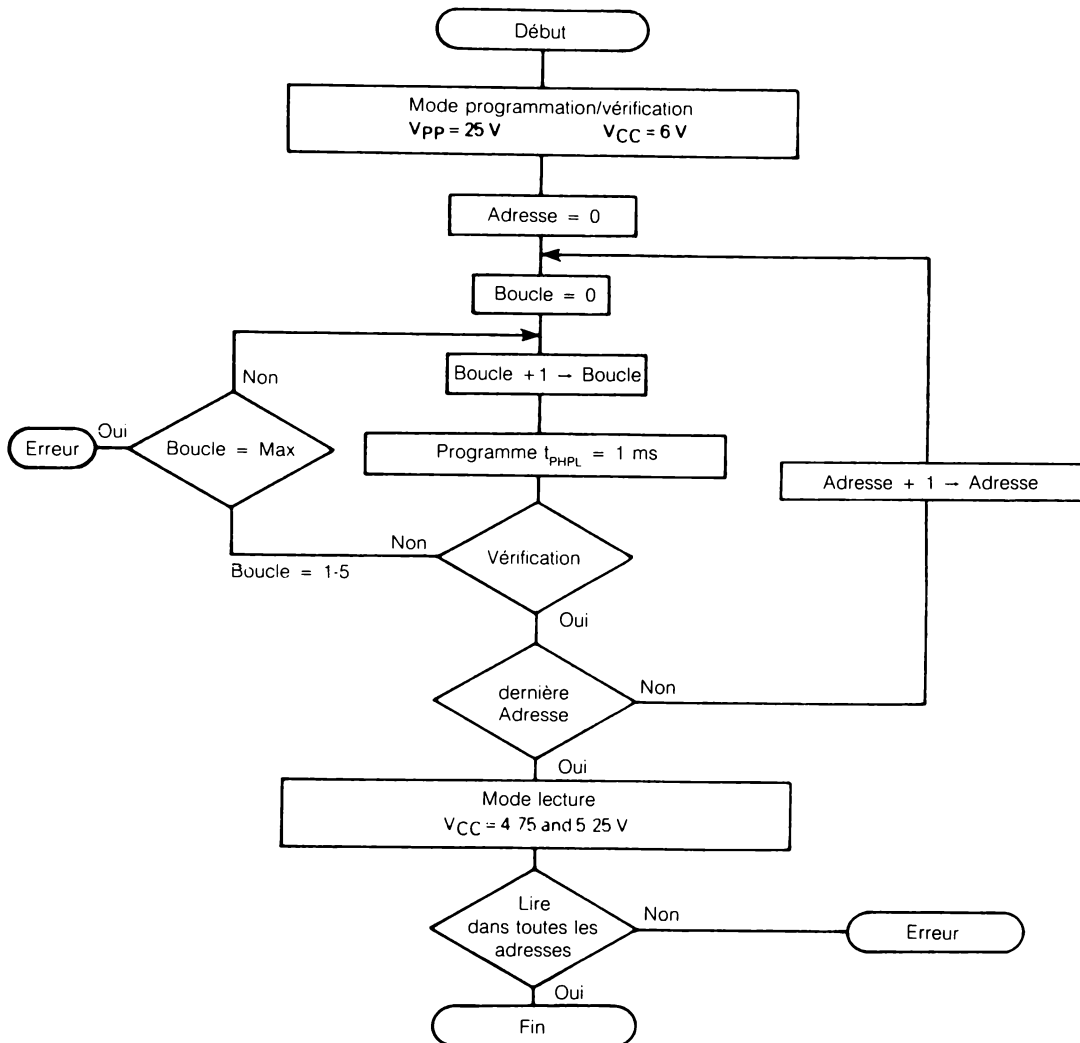
La figure 11.18 donne le chronogramme de programmation de cette mémoire. Appliquer d'abord à la broche \bar{E}/V_{pp} une tension comprise entre 2 et 6 V (5 V normalement). Cela met les sorties à haute impédance et autorise le transfert des données au moment de la programmation. La tension de l'impulsion de programmation est de (25 ± 1) V et sa durée est de $(2 \pm 0,1)$ ms.



© Motorola Inc., Reproduit avec permission

Figure 11.18 Chronogramme de programmation d'une mémoire MCM68764.

Les temps de propagation augmentent avec la capacité des mémoires EPROM. On a tenté de les diminuer à l'aide d'un algorithme de programmation rapide qui complique le programme. La figure 11.19 donne l'ordinogramme de cet algorithme. Les impulsions de programmation durent 1 ms et on vérifie si le mot désiré a été programmé. Si oui, on programme l'adresse suivante, sinon on recommence avec une autre impulsion de 1 ms. Si le nombre maximal d'impulsions de programmation est atteint, on déclare la mémoire hors service. Après programmation de toutes les adresses, on vérifie une dernière fois le programme avant de déclarer la mémoire programmée bonne pour le service.



© Motorola Inc., Reproduit avec permission

Figure 11.19 Ordinoigramme d'un algorithme de programmation rapide d'une mémoire EPROM MCM68764.

11.6.3.2 EPROM Am27C1024

Parmi les EPROM les plus perfectionnées en 1987, au moment de la rédaction de ce livre, citons la Am27C1024 à capacité de mémoire d'un mégabit organisée en 65 536 mots de 16 bits ou 64 K × 16 bits.

La figure 11.20 donne le brochage de cette mémoire qui peut remplacer une disquette et le système d'exploitation. Une telle capacité laisse entrevoir l'utilisation de cette mémoire dans les imprimantes pour stocker les différentes fontes et en synthèse de la parole pour stocker les mots codés d'un vocabulaire.

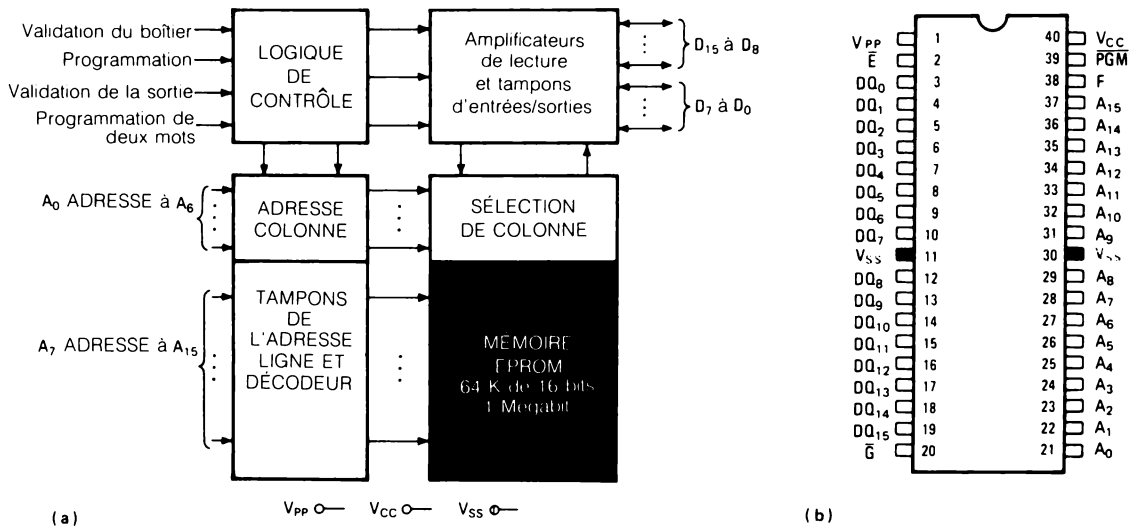


Figure 11.20 Brochage et diagramme fonctionnel d'une EPROM Am27C1024 de 1 mégabit.

Le boîtier de 40 broches est symétrique. Les données sont d'un côté et les adresses de l'autre. Deux masses minimisent les crêtes de courant lorsque 16 lignes de données sont actives. L'algorithme de programmation a été optimisé. La figure 11.21 en donne l'ordinogramme. Parmi les améliorations technologiques de cette mémoire, citons l'amplitude de l'impulsion de programmation de 10,5 V au lieu de 25 V. La durée de l'impulsion de programmation est de 0,5 ms au lieu de 1 ms et l'impulsion de surprogrammation passe de 2 ms à 1,5 ms.

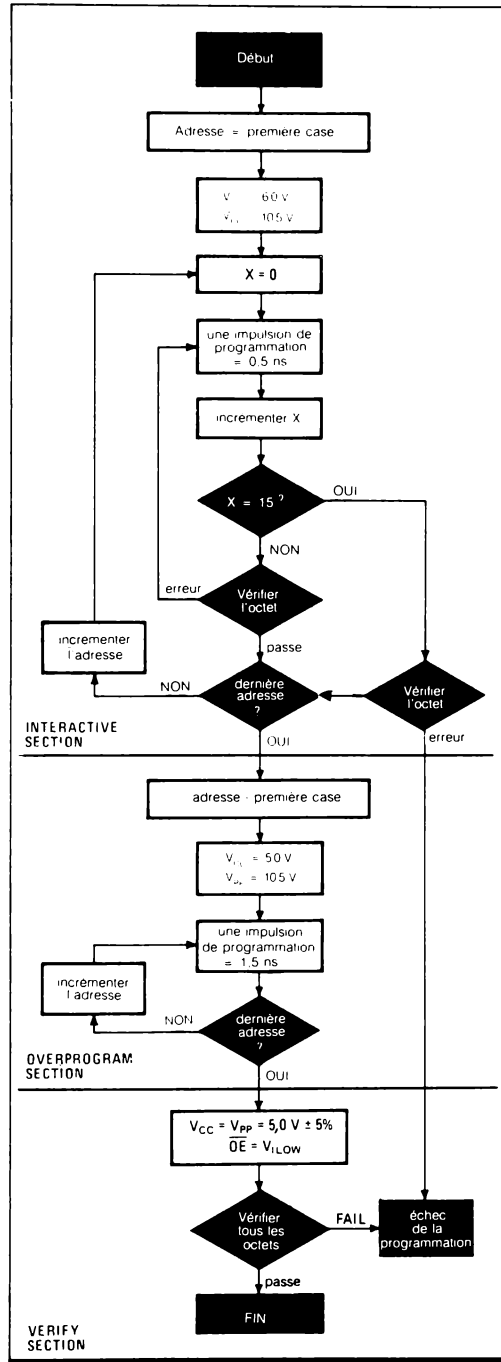


Figure 11.21 Ordinoigramme d'algorithme de programmation rapide d'une mémoire EPROM Am27C1024.

11.7 Mémoires mortes programmables effaçables électriquement (EEPROM)

11.7.1 Principe de fonctionnement

On a conservé le FAMOS qui a fait la réussite des EPROM pour les EEPROM mais en le modifiant. Il fallait trouver un moyen de décharger l'EPROM sans l'enlever pour exposer sa fenêtre au rayonnement ultra-violet. La nouvelle structure FLOTOX de cellule de mémoire répond à cet impératif. La figure 11.22 donne la structure de chacune de ces cellules.

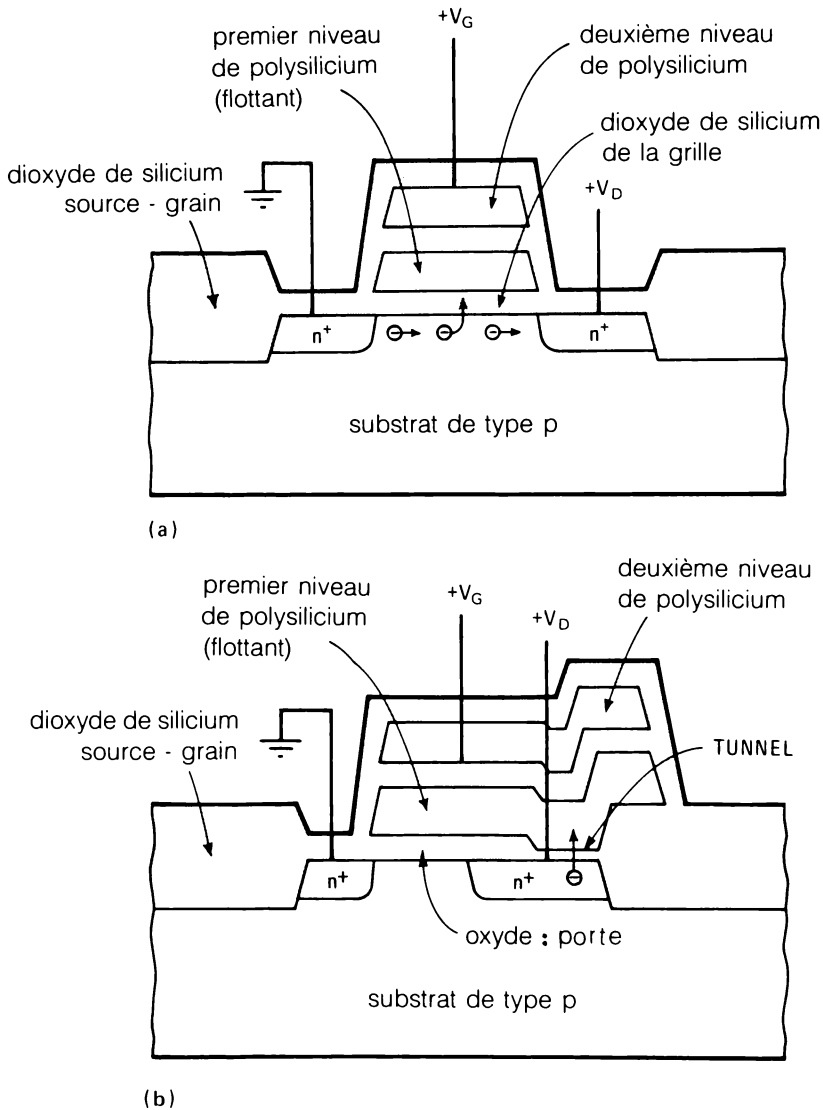


Figure 11.22 a) La mémoire EPROM à cellule FAMOS stocke sa charge par effet d'avalanche.
 b) La mémoire EEPROM à cellule FLOTOX utilise l'effet de tunnel pour charger et décharger la grille flottante à travers la fine couche d'oxyde.

La cellule FLOTOX ressemble à la cellule FAMOS sauf pour la région au-dessus du drain, qui contient un oxyde pour obtenir l'effet de tunnel. La figure 11.23 résume l'effet de tunnel.

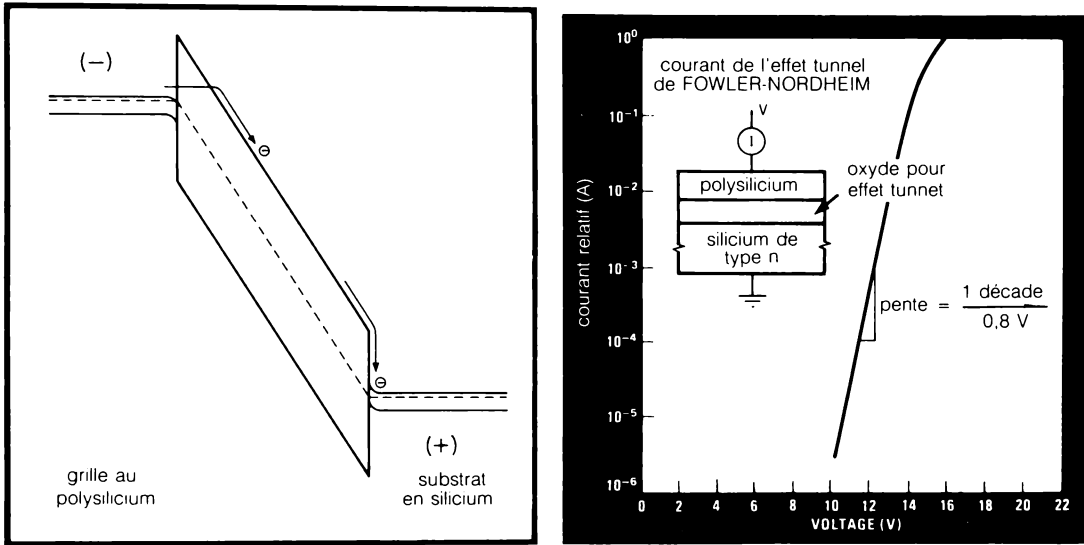


Figure 11.23 Effet de tunnel : lorsque le champ électrique à travers un oxyde isolant est assez grand (de l'ordre de 10^7 V/cm), un certain nombre d'électrons acquièrent assez d'énergie pour sauter la barrière et passer de la grille au substrat où ils s'écoulent normalement.

Lorsqu'on applique une tension V_G sur la grille du sommet et si on met à la masse le drain ($V_D = 0$ V), la grille flottante qui se trouve entre ces deux tensions est capacitivement couplée à un potentiel positif. La grille se charge d'électrons attirés par effet de tunnel. Inversement, si l'on applique une tension positive sur le drain et une tension de 0 V à la grille du sommet, la grille flottante se décharge. La figure 11.24 illustre ces deux cycles d'écriture et d'effacement.

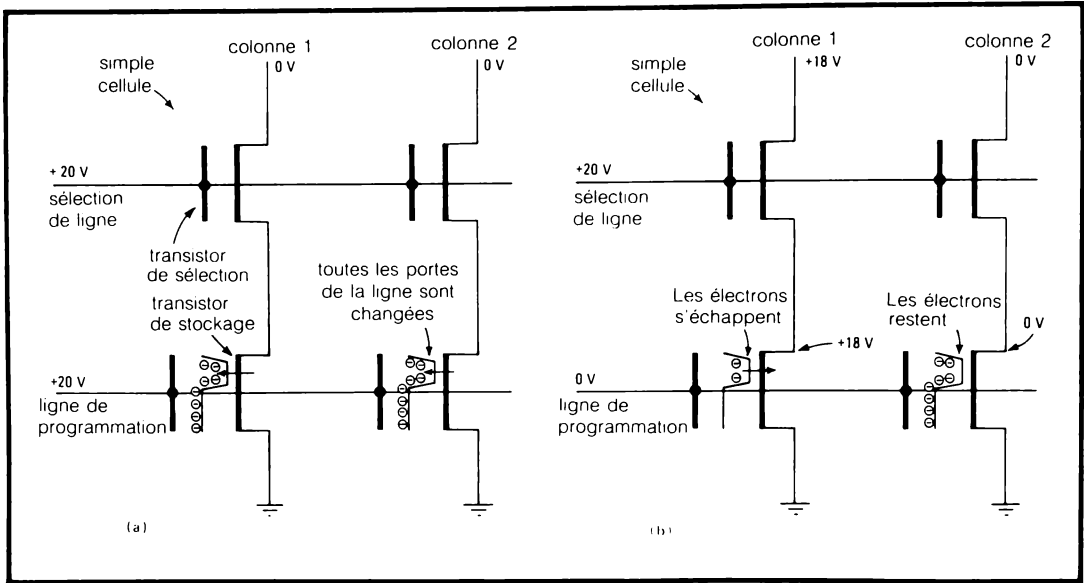
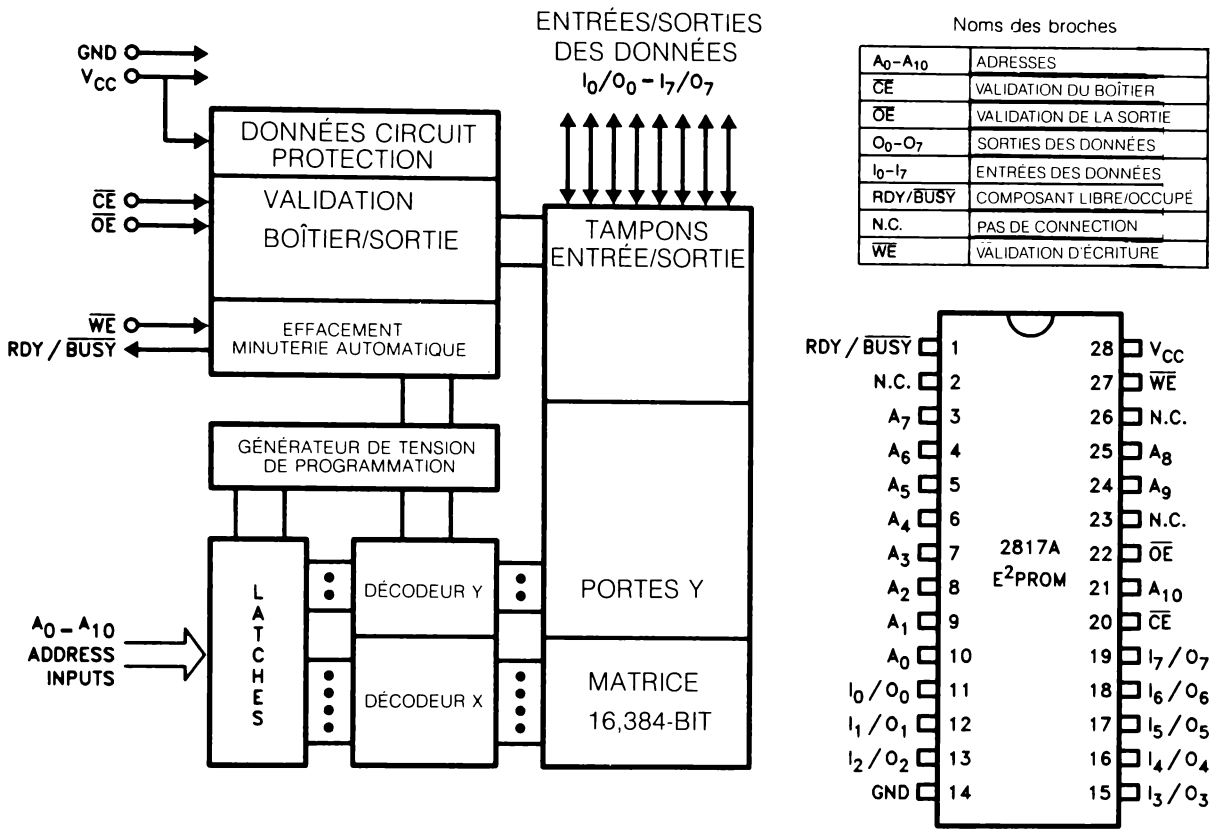


Figure 11.24 Écriture et effacement d'une mémoire EEPROM.

a) Pour effacer une cellule FLOTOX, on applique une tension de 20 V aux lignes de programmation et de sélection et une tension de 0 V à la colonne. b) Pour écrire un octet, on met la ligne de programmation à la masse et on applique ou non une tension aux colonnes de l'octet sélectionné (ligne de sélection à 20 V) selon que l'on veut écrire le bit 0 ou le bit 1.

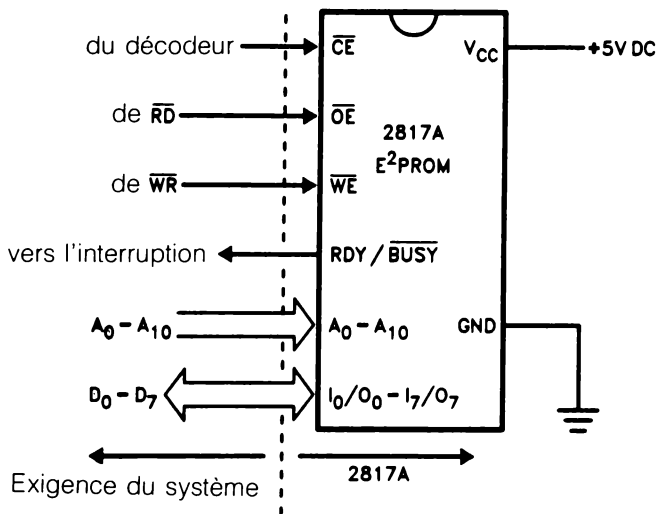
11.7.2 Exemple de mémoire EEPROM: la 2817A d'Intel

La figure 11.25 donne le diagramme fonctionnel et le brochage de la mémoire EEPROM 2817A d'Intel. C'est une mémoire 16 K organisée en (2 K × 8) mots. Elle fonctionne sous 5 V seulement. Les tensions de programmation sont générées de façon interne. La mémoire s'efface automatiquement avant l'écriture. L'interface avec un microordinateur est très simple. Les figures 11.26 et 11.27 donnent respectivement les besoins pour interfacer une mémoire 2817A et le schéma de principe d'une interface avec un système à microprocesseur 8088.



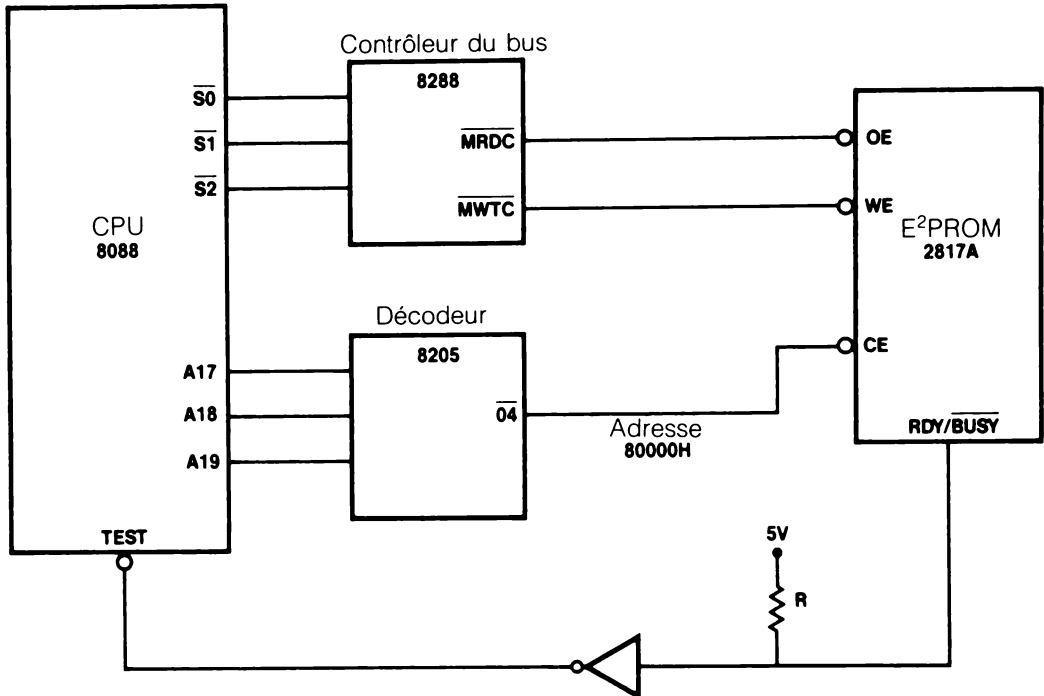
© Intel Corporation 1986

Figure 11.25 Brochage et diagramme fonctionnel d'une mémoire 2817A.



© Intel Corporation 1986

Figure 11.26 Signaux d'interface d'une mémoire EEPROM 2817A.



© Intel Corporation 1986

Figure 11.27 Schéma de principe de l'interface d'une mémoire EEPROM 2817A d'Intel avec un microprocesseur 8088.

Tableau 11.1 Modes de fonctionnement d'une mémoire 2817A d'Intel. L = tension basse, H = tension haute, X = tension indifférente.

broche	mode	\overline{CE}	\overline{OE}	\overline{WE}	I/O/D0	I7/O7	BDY// \overline{BUSY}
lecture	L	L	H	X	D_{OUT}	H_Z	H_Z
repos	H	X	X	X	H_Z	H_Z	H_Z
écriture	L	H	L	X	D_{IN}	L	L

La programmation de cette mémoire se fait par initialisation d'un cycle d'écriture avec les signaux donnés par le tableau 11.1. L'impulsion \overline{WE} initialise le cycle d'écriture et pendant tout le cycle $\overline{RDY/BUSY}$ est à une tension basse. Pendant tout ce cycle qui dure 30 ms au maximum, la mémoire ne se sert pas des bus et le microprocesseur peut faire autre chose.

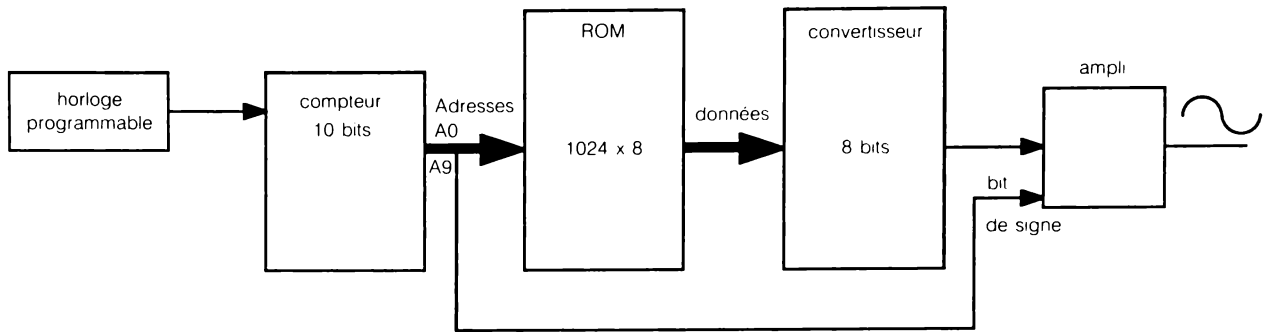


Figure 11.28 Générateur de sinusoïde.

L'horloge est programmable, c'est-à-dire que la vitesse de lecture de la ROM est variable ainsi donc que la fréquence de la sinusoïde de sortie. On pourra, par exemple, générer deux fréquences pour une transmission FSK (*Frequency Shift Keying*). Les 10 bits du compteur servent à générer 1024 valeurs de données soit $256 = 2^8$ par quart d'onde. Le bit de poids fort de l'adresse est le bit de signe qui peut servir à inverser la tension à la sortie pour obtenir la demi-onde négative. Pour contenir la valeur binaire d'une fonction sinusoïdale, il faut programmer la ROM. Dans notre exemple, nous avons une onde complète (360°) avec 1024 points. Chaque point correspond à un incrément de $360^\circ/1024 \approx 0,36^\circ$ sur son précédent. À l'adresse 0 on mettra 0, à l'adresse 1 on mettra la valeur en binaire de $\sin 0,36^\circ$ avec un facteur d'échelle de 255 ($\sin 90^\circ = 1$ est représenté par FFH = 255 en décimal), à l'adresse 2 la valeur de $\sin 0,72^\circ \times 255$, etc.

Ce principe permet aussi de générer deux ondes sinusoïdales déphasées l'une par rapport à l'autre pour contrôler, par exemple, un moteur diphasé. Les deux mémoires générant les sinusoïdes sont lues à la même vitesse mais l'adresse de départ de l'une est décalée par rapport à celle de l'autre de l'angle de déphasage désiré.

11.8.1.2 Convertisseur de code ou transcodeur

Parmi les nombreux codes, citons les codes Gray, DCB, ASCII et EBCDIC. Il est très facile de passer d'un code à l'autre avec une mémoire morte. Le code origine est l'adresse de la mémoire morte et la donnée correspondante est le code de destination. Par exemple, le code ASCII de A (0100 0001) est l'adresse et à cette adresse on place le code EBCDIC de A qui apparaît sur le bus de données lorsque la ligne de commande de lecture est activée. Il est donc très simple de changer de code.

Selon le schéma de principe de la figure 11.27, la broche RDY/ $\overline{\text{BUSY}}$ est reliée à la broche TEST du 8088. Si le signal est à une tension basse sur cette broche, l'instruction WAIT du microprocesseur examine cette broche et se met en attente. Le microprocesseur continue son exécution si la broche passe à une tension haute ou à haute impédance.

11.7.3 Applications des mémoires EEPROM

Ces mémoires servent à stocker et protéger des messages électroniques jusqu'à leur lecture ou leur exploitation. On place dans ces mémoires les codes d'accès à un gros système : on peut donc changer les codes de façon plus sécuritaire. On stocke également dans ces mémoires les révisions et les informations de maintenance de systèmes. La reconfiguration des systèmes est aussi une application intéressante. Au lieu d'avoir des séries d'interrupteurs on peut programmer un système pour le configurer. Par exemple, pour les terminaux de points de vente, on peut reconfigurer la vitesse de transmission en bauds, le mode de communication synchrone ou asynchrone et le clavier pour redéfinir certaines touches qui correspondent à certains produits.

11.8 Applications des mémoires mortes

Voici quelques grands champs d'application des mémoires mortes.

1. Stockage des programmes de commande des microordinateurs.
2. Réalisation de circuits logiques combinatoires comme les tables mathématiques, les convertisseurs de codes, les générateurs de caractères pour imprimantes et unités de visualisation.
3. Circuits logiques séquentiels.

Nous allons étudier quelques applications dans chacun de ces champs en laissant le premier pour un cours sur les microordinateurs.

11.8.1 Réalisation de circuits logiques combinatoires

11.8.1.1 Tables mathématiques

Il y a quelques années (vers 1975), des mémoires mortes permettaient de trouver la valeur de certaines fonctions telles les fonctions trigonométriques sinus ou arc tangente. La mise au point de calculateurs et de coprocesseurs rapides et précis a relégué ces mémoires aux oubliettes, mais leur principe permet de générer des sinusoïdes à différentes fréquences. La figure 11.28 en donne le schéma de principe.

11.8.1.3 Générateurs de caractères pour imprimantes et unités de visualisation à balayage horizontal

Les 7 ou 9 aiguilles en ligne des imprimantes forment un caractère en créant des points noirs dans une matrice de 5×7 ou de 7×9 points. Cette matrice tient la place d'un caractère. Ces imprimantes tracent aussi des graphiques. Voir la figure 11.29. Les unités de visualisation génèrent aussi des caractères avec des points mais cette fois avec un balayage horizontal. La ligne de caractères correspond à un certain nombre de lignes du récepteur vidéo. Voir la figure 11.30.

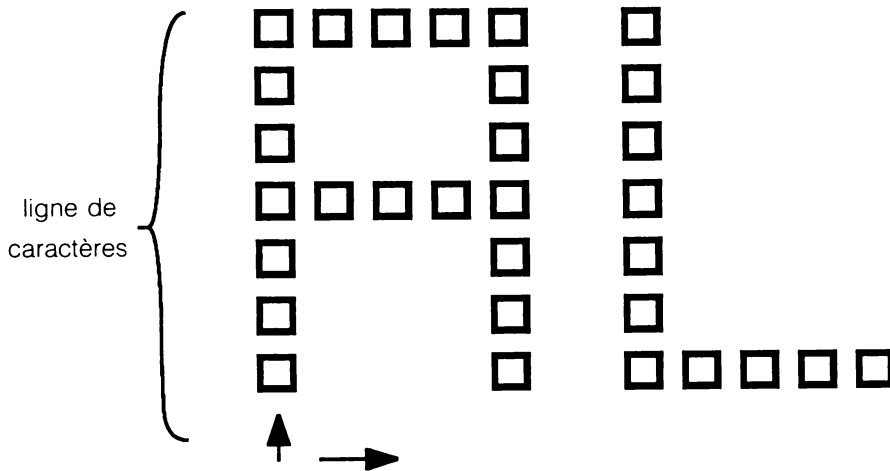


Figure 11.29 Génération d'une ligne de caractères sur imprimante, colonne par colonne.

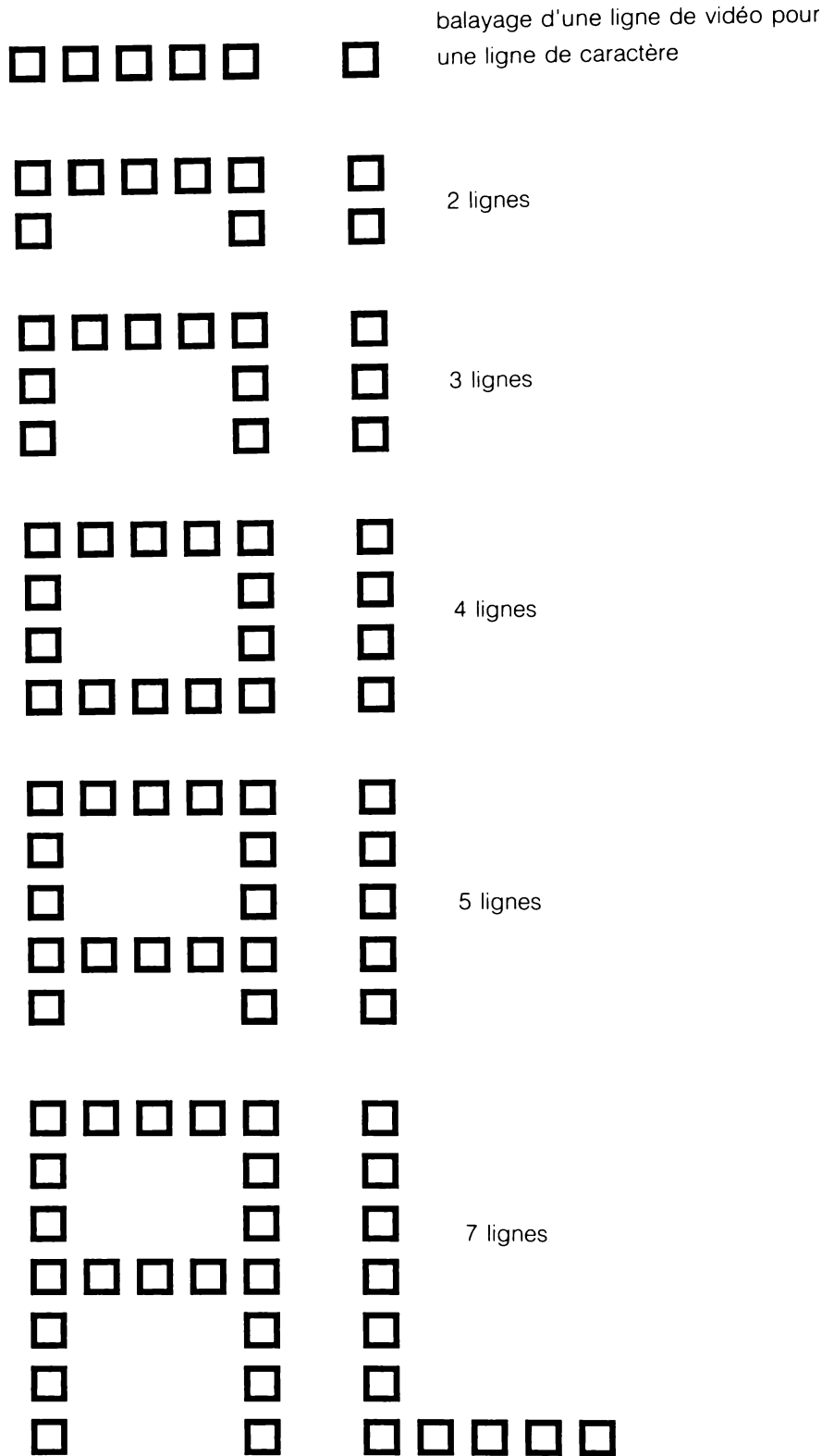
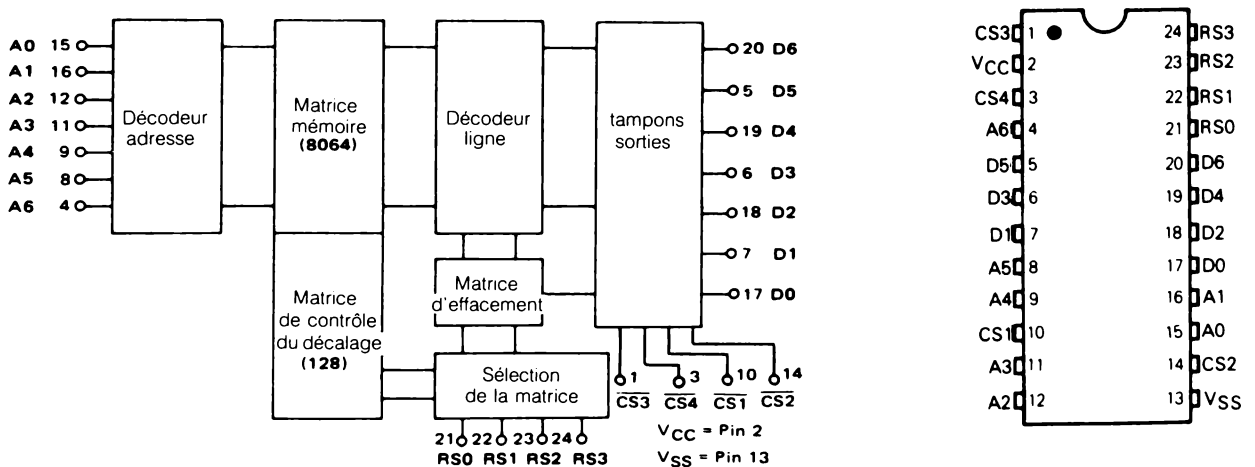


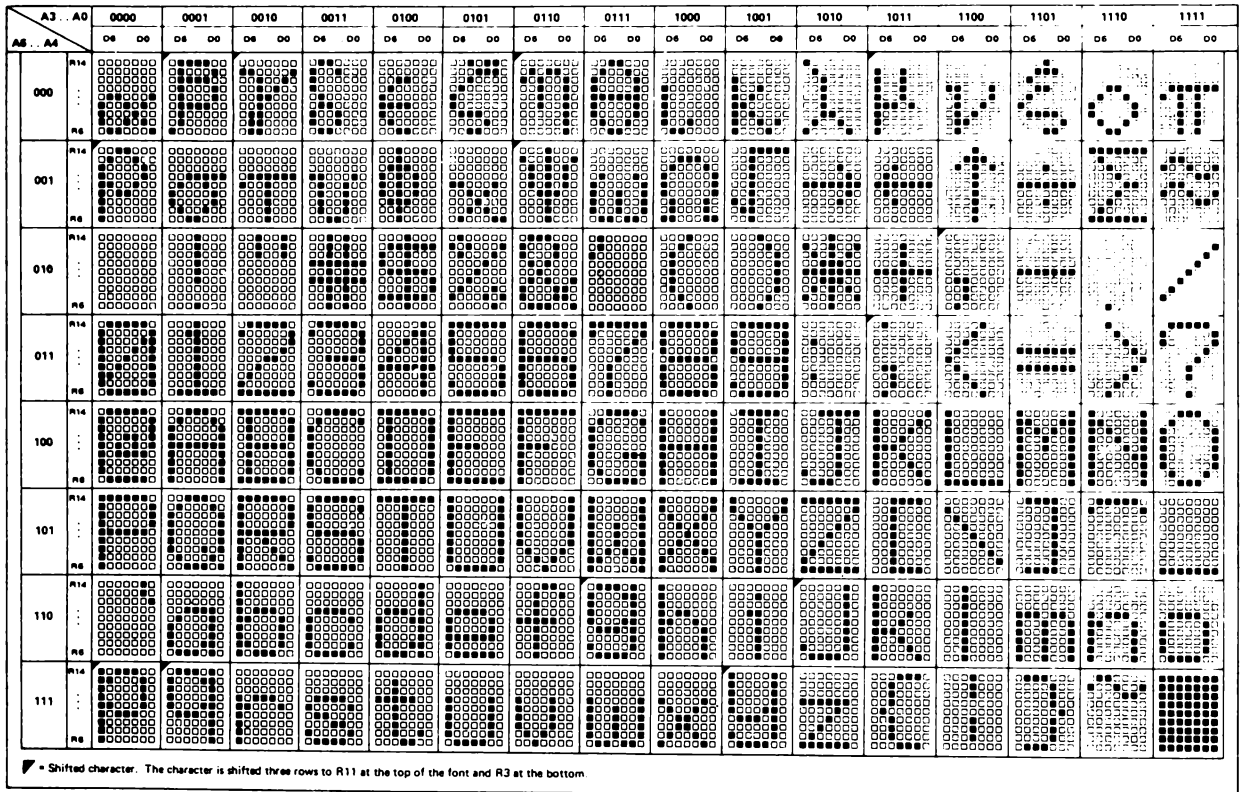
Figure 11.30 Générateur d'une ligne de caractères sur unité de visualisation, balayage ligne par ligne.

Les fabricants offrent souvent des ROM à codes de points normalisés. Citons, par exemple, la mémoire MOTOROLA MCM66700. La figure 11.31 représente pour le diagramme fonctionnel et le brochage et la figure 11.32 la configuration des caractères générés de cette mémoire. Le caractère à générer arrive sous son code (dans ce cas le code ASCII) sur les lignes d'adresses A0-A6. Par exemple, le code ASCII de A est \$41 en hexadécimal. La case 100 0001 de la figure 11.32 contient bien la lettre A. Les lignes RS0 à RS3 (*Row Select*) sélectionnent la ligne de balayage. La configuration de points apparaît en D0-D6 (7 points par caractère). Le nombre de lignes balayées affichées est de 9 (matrice de 9 × 7 pour chaque caractère). Le nombre maximal de lignes balayées est de 16. On peut se servir de ces 16 lignes pour décaler des caractères, comme le montre la figure 11.33. Cette mémoire ROM est particulièrement bien adaptée pour travailler avec le contrôleur Motorola 6845 d'affichage sur écran.



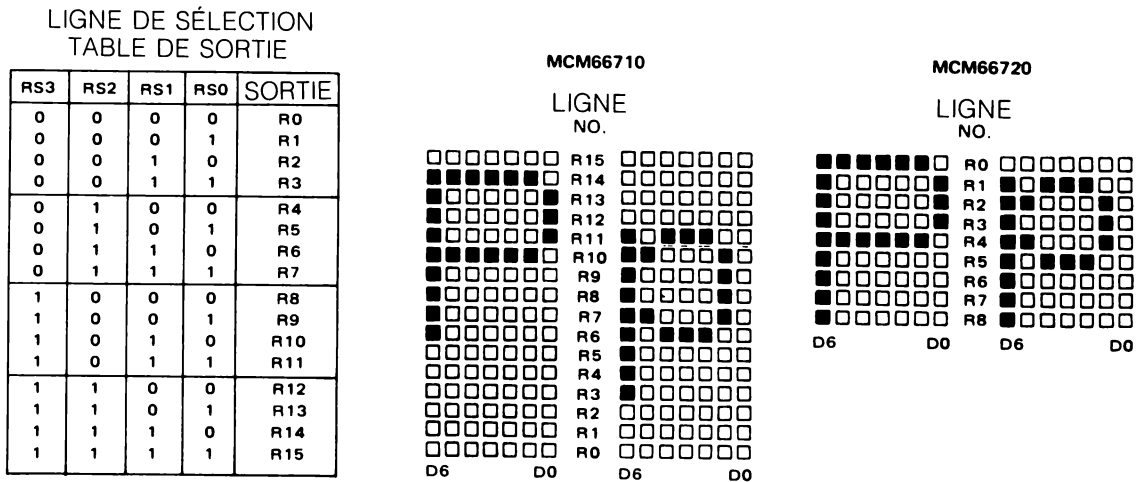
© Motorola Inc., Reproduit avec permission

Figure 11.31 Brochage et diagramme fonctionnel du boîtier MCM66700



© Motorola Inc., Reproduit avec permission

Figure 11.32 Caractères codés dans la mémoire MCM667.

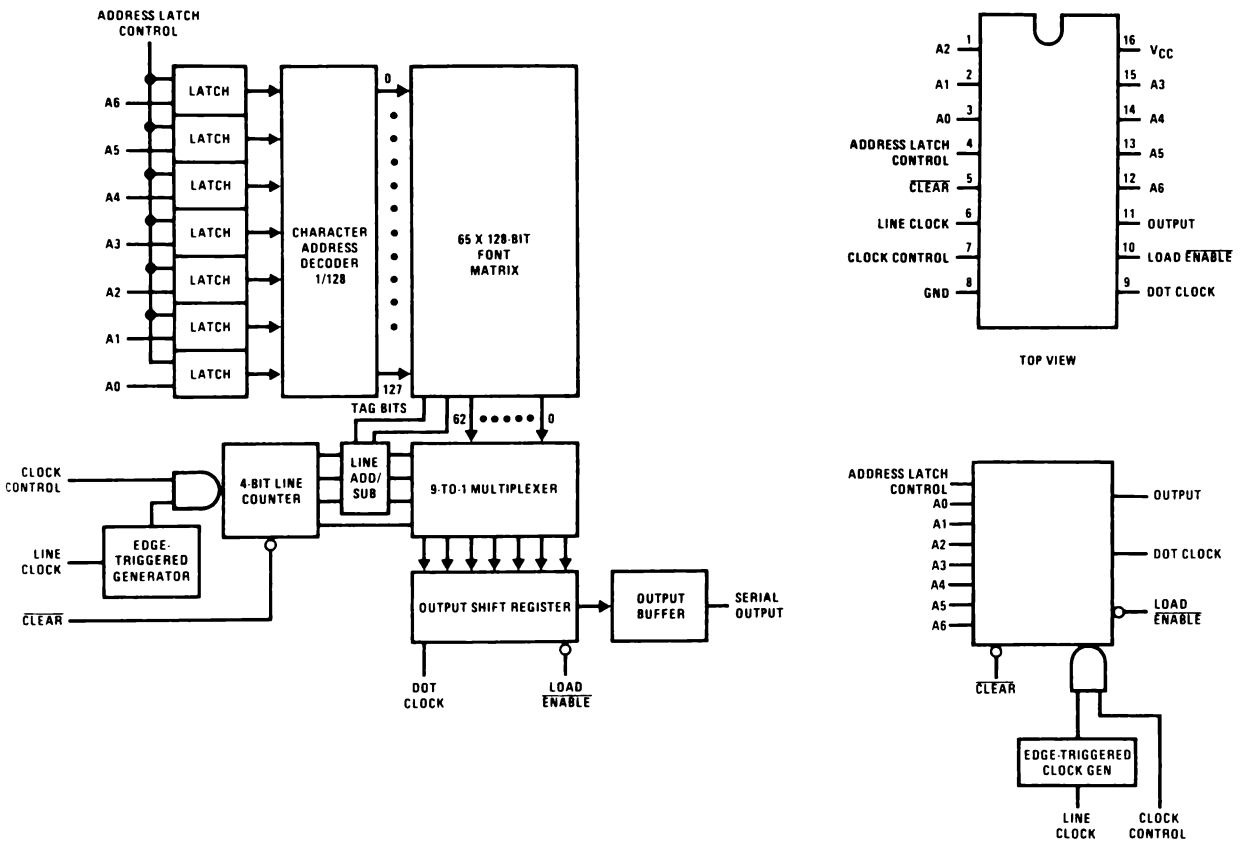


© Motorola Inc., Reproduit avec permission

Figure 11.33 Codes d'entrée de sélection de lignes et exemples de caractères générés.

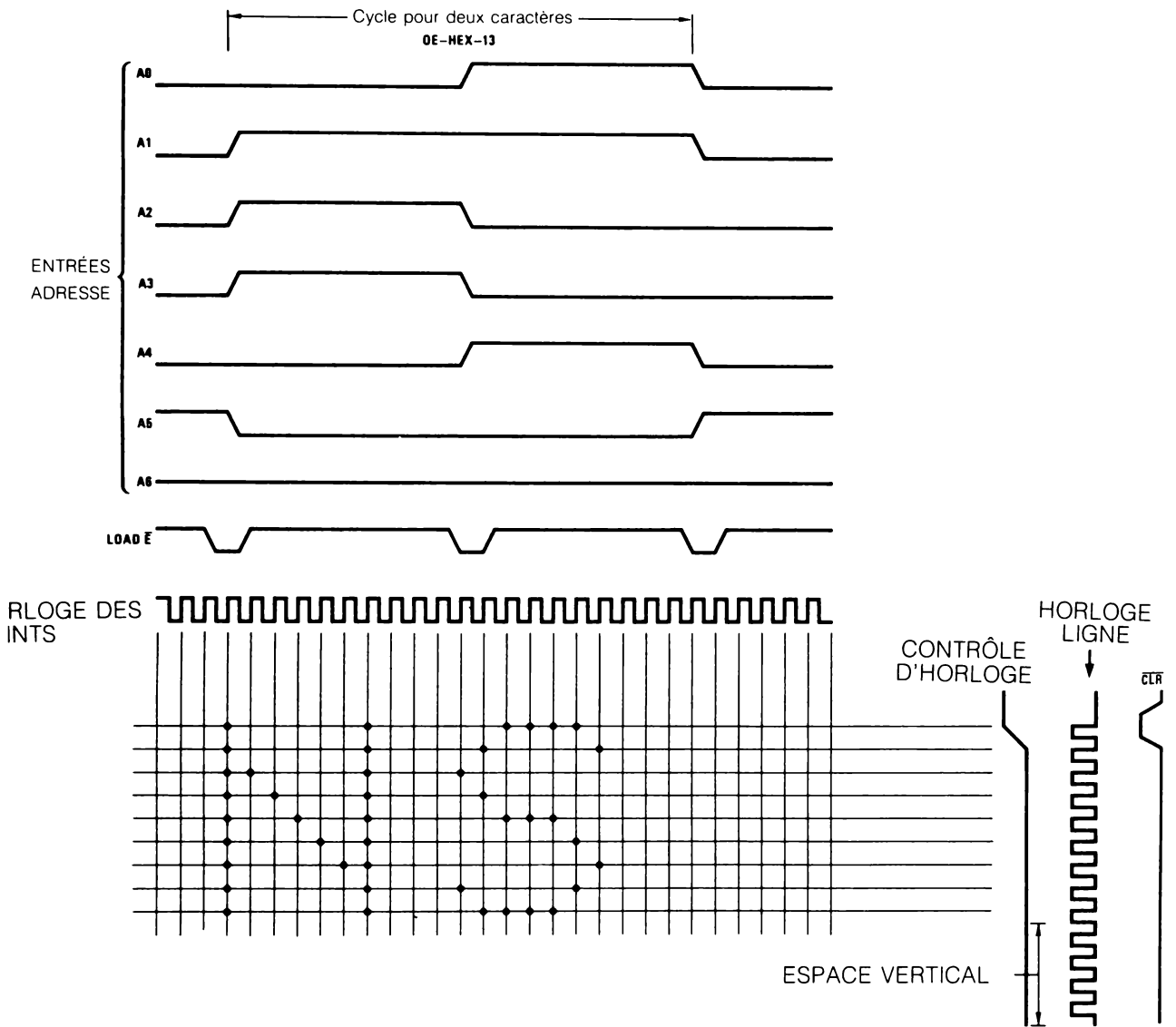
Parmi les mémoires ROM destinées à l'affichage sur écran de visualisation citons la mémoire National Semiconductor DM76S128. La figure 11.34 donne le diagramme fonctionnel et le brochage de cette mémoire. Dans ce cas, la configuration de points

sort en série et est donc directement utilisable par un écran de contrôle (vidéo). La vitesse de transmission des points en série est garantie jusqu'à 35 MHz. La figure 11.35 donne une des configurations générées. Pour générer une ligne de caractères, il faut procéder suivant le principe exposé à la figure 11.36. Le caractère représenté par son code ASCII se présente sur les lignes d'adresses A0-A6. Le code ASCII de N est 100 1110. La configuration de points se présente à la sortie série pour la première ligne de balayage. Ensuite on présente le code ASCII 101 0011 de la lettre S et la configuration de la première ligne de balayage se présente à la sortie, etc., pour la première ligne de caractères. On présente ensuite de nouveau la même configuration de caractères pour la deuxième ligne de balayage. L'horloge de ligne commande le passage d'une ligne de balayage à l'autre. C'est là une autre approche de l'interface unité de visualisation.



National Semiconductor

Figure 11.34 Brochage et diagramme fonctionnel de la mémoire DM76S128.



National Semiconductor

Figure 11.36 Chronogrammes d'affichage de N. et S.

11.8.2 Circuits logiques séquentiels à mémoire morte

En général, une machine séquentielle est dans un certain état. Elle effectue un test pour savoir si une configuration de variables d'entrée apparaît : si oui, elle passe à un autre état E0 ; si non, elle passe à l'état EN, et génère une instruction représentée par un certain nombre de lignes de commande. La figure 11.37 donne le schéma de principe d'une telle machine.

F								
E								
D								
C								
B								
A								
9								
8								
7								
6								
5								
4								
3								
2								
1								
0								
M-A3 M-A6	0	1	2	3	4	5	6	7

National Semiconductor

Figure 11.35 Caractères codés dans la mémoire DM76S128.

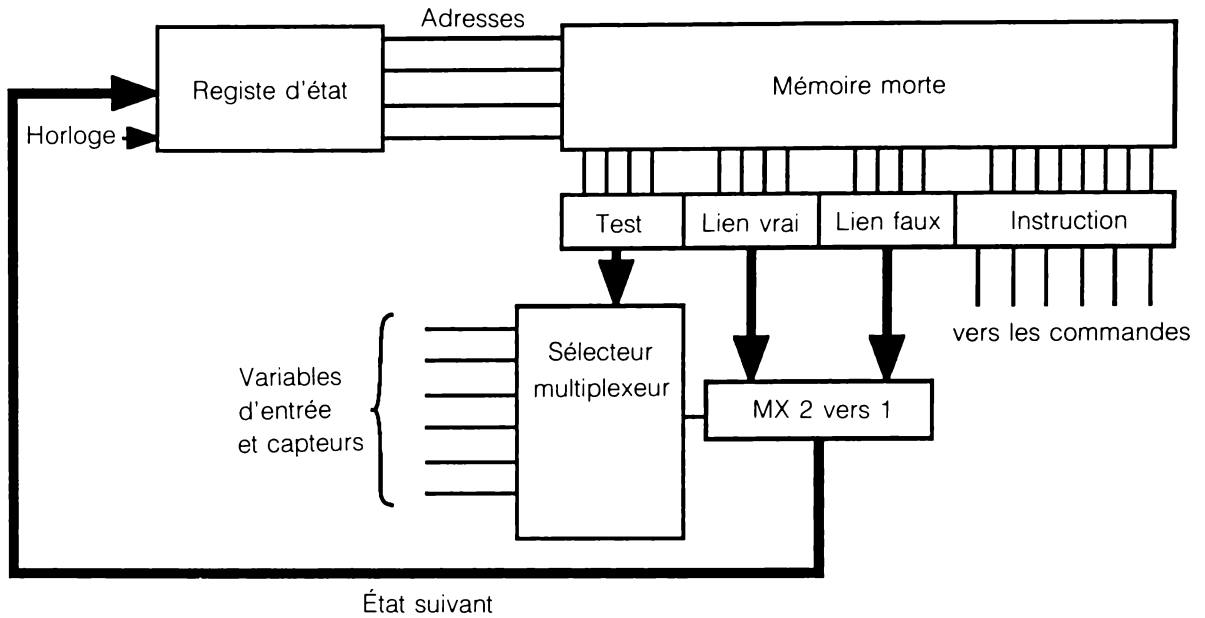


Figure 11.37 Schéma de principe d'une machine séquentielle.

La mémoire morte contient tous les bits de Test de lien vrai ou faux et d'instruction. Bien que les microprocesseurs dans un seul boîtier résolvent aisément de tels problèmes, ce type de machine didactique est utile pour la compréhension du principe du microprocesseur.

Parmi toutes les mémoires mortes passées en revue, la mémoire EPROM, par son prix et sa facilité de programmation, occupe la place la plus importante.

11.9 Expérience de laboratoire

1. Construction d'une machine séquentielle

Concevez et construisez une machine séquentielle avec une mémoire ROM bon marché (2516 ou 2716).

Cette machine a pour variable d'entrée un clavier d'au moins cinq touches (dont une de remise à zéro). Elle doit autoriser l'accès à une porte si on tape le bon code. Elle permet une erreur de frappe et possède un bouton de correction qui l'annule. À la deuxième erreur, elle déclenche une alarme.

11.10 Problèmes

1. Décodeur

Montez un décodeur à mémoire morte EPROM et écrivez le programme pour passer

- a) Du code Gray au code DCB (4 bits);
- b) Du code DCB au code Gray (4 bits).

2. Générateur de sinusoïde

Soit le montage de la figure 11.28.

- a) Quel est le contenu des adresses 30, 40, 60 et 244 ?
- b) À quelle vitesse fonctionne l'horloge pour une onde sinusoïdale de 60 Hz ?
- c) À quelles vitesses faut-il programmer l'horloge pour générer les fréquences de 1070 et 1270 Hz ?

Mémoires à écriture/lecture ou à accès sélectif ou vives ou RAM **12**

12.1 Objectifs

Après étude de ce chapitre, l'étudiant devra savoir

1. Énumérer les différents types de mémoires vives.
2. Décrire l'architecture de ces différents types de mémoires.
3. Lire et interpréter des chronogrammes de lecture et d'écriture.
4. Choisir une mémoire vive en fonction d'une application.

12.2 Survol du sujet

Voici le domaine de l'électronique qui consomme le plus de boîtiers et qui fait parler le plus de lui. Les mémoires vives stockent les données et les résultats des programmes exécutés. On définit la puissance d'un ordinateur par sa vitesse mais aussi par sa capacité de stockage. Plus les programmes sont sophistiqués, plus ils sont gourmands en mémoire.

Nous étudierons d'abord l'architecture et les différentes technologies des mémoires vives, puis nous apprendrons à lire les chronogrammes de lecture/écriture et aborderons les notions de RAM dynamiques et leurs contraintes. Nous terminerons par des mémoires vives spéciales comme les mémoires à deux ports et les mémoires vives rémanentes (NVRAM).

12.3 Architecture d'une mémoire RAM statique

La mémoire vive statique est constituée de cellules de mémoire. Les deux technologies utilisées pour la construction des mémoires vives statiques sont la technologie TTL et la technologie MOS. La figure 12.1 représente le schéma de principe d'une cellule RAM à multiple émetteur (TTL). Si Q_1 conduit, il y a blocage de Q_2 . La tension collecteur de Q_1 baissant, la tension base de Q_2 baisse, ce qui augmente la tension collecteur de Q_2 et donc la tension base de Q_1 . L'état stable est dans ce cas Q_1 saturé et Q_2 bloqué. Si la ligne mot est à une tension basse (0,3 V), il n'y a pas de courant dans les lignes bit. Les amplificateurs de lecture ne détectent aucun courant. Si la ligne mot est à une tension haute (sélection de la ligne), le courant ne passe plus dans la ligne rangée et il est transféré dans la ligne bit. Si Q_1 était saturé, la ligne bit aurait un courant qui serait détecté par l'amplificateur de lecture et transformé en un niveau 1 logique. Dans le cas contraire, c'est la ligne bit qui reçoit le courant et l'amplificateur de lecture transforme ce courant en un 0 logique.

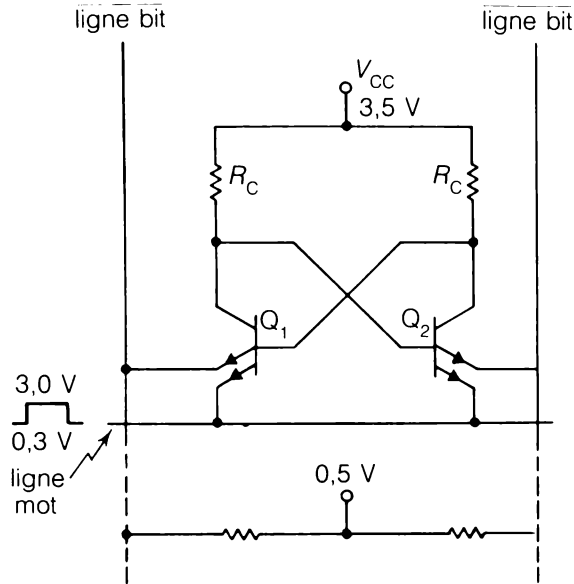


Figure 12.1 Cellule de mémoire vive TTL.

Pour écrire un bit dans une cellule, on sélectionne la ligne rangée avec un 1 logique (5 V). Si on met la ligne bit à 0 et la ligne bit à 1, le transistor Q_2 conduit car il a un émetteur à la masse et il est saturé tandis que Q_1 ayant 5 V sur ses émetteurs est bloqué. Lorsque la ligne rangée repasse à 0, la cellule reste dans le même état, ce qui représente le stockage d'un 0.

La figure 12.2 représente une cellule type d'une RAM MOS statique. Elle est composée de six transistors MOS. Les transistors T_1 et T_2 forment la bascule ; T_3 et T_4 forment les résistances de charge de la bascule. Les transistors T_5 et T_6 isolent ou connectent la ligne bit A et la ligne bit \bar{A} . La ligne de sélection de mot ou ligne de rangée commande la commutation de ces deux derniers transistors.

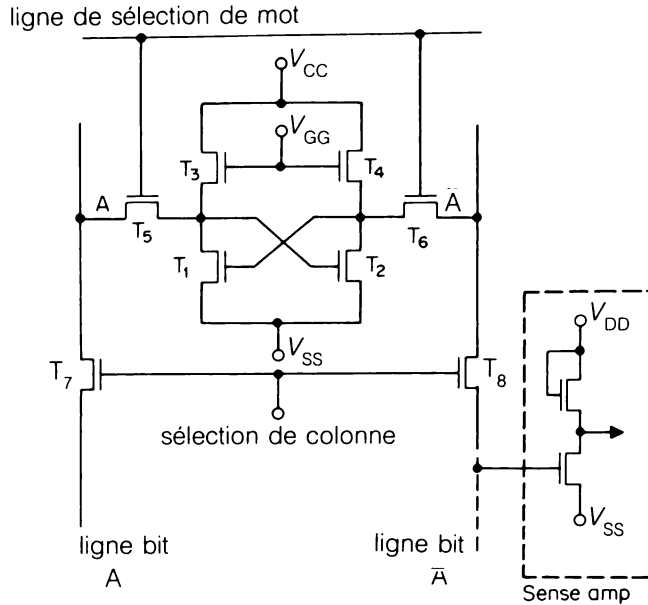


Figure 12.2 Cellule de mémoire vive MOS statique.

Pour écrire dans une cellule, on sélectionne la rangée et la colonne. Les transistors T_5 , T_6 , T_7 et T_8 conduisent. Le drain de T_1 est connecté à la ligne bit A et le drain de T_2 est connecté à la ligne bit \bar{A} . Si $A = 1$ et $B = 0$, T_2 conduit et T_1 est bloqué. Lorsque la sélection de la ligne et de la colonne disparaît, la cellule garde en mémoire l'état commandé.

L'amplificateur de lecture produit un niveau logique à la sortie au moment de la lecture de la cellule.

Une mémoire statique est constituée d'un certain nombre de cellules d'un type parmi celles étudiées ci-dessus et d'une circuiterie périphérique : le circuit de sélection du boîtier, le circuit de décodage de l'adresse binaire d'une rangée, le circuit de commande lecture/écriture et les lignes de données. Un exemple d'architecture de mémoire statique apparaît à la figure 12.3.

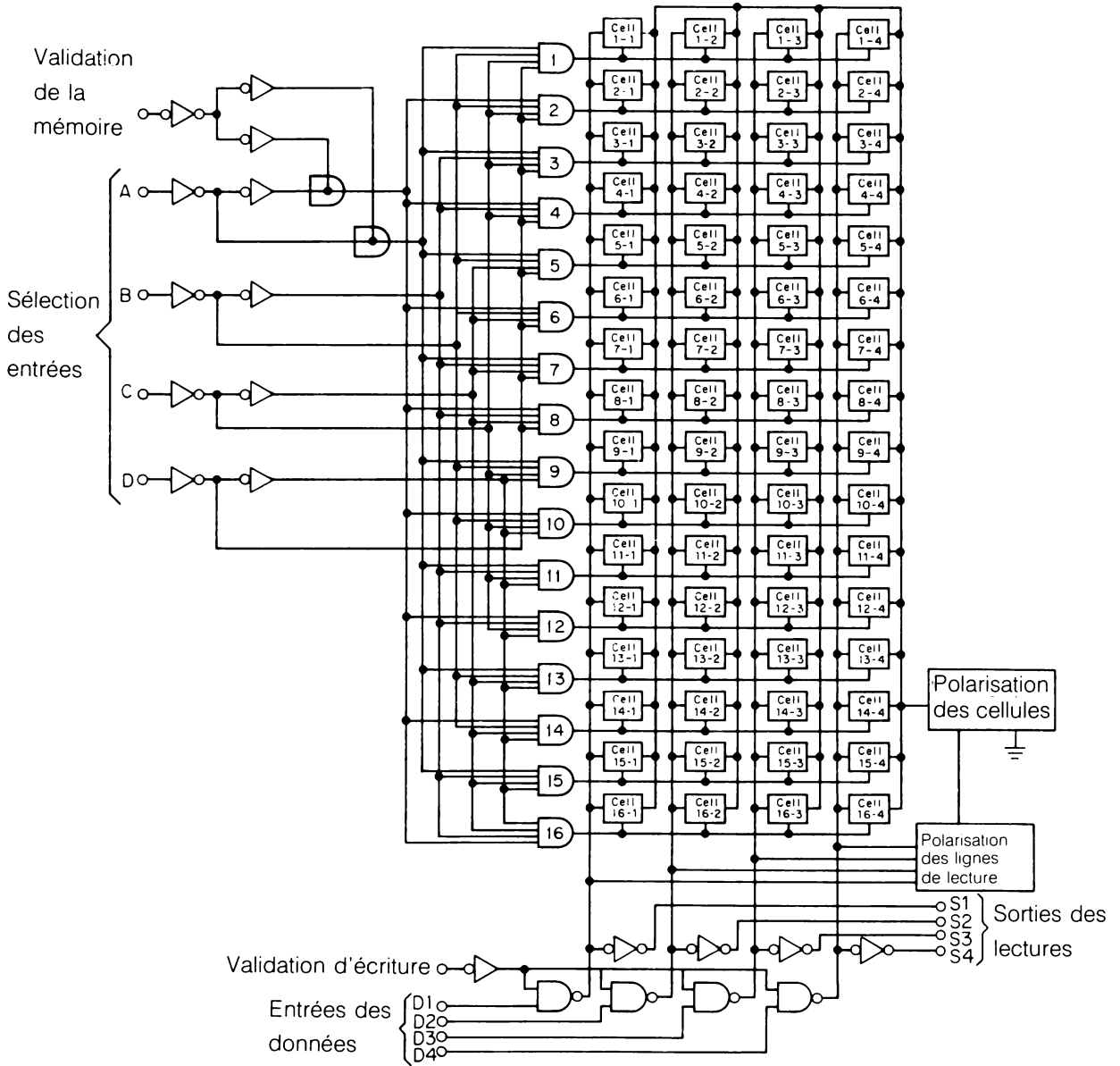
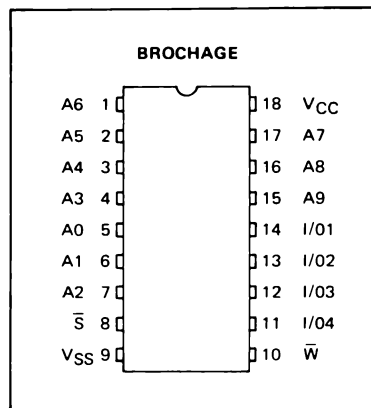


Figure 12.3 Architecture d'une mémoire statique RAM.

12.4 Fonctionnement d'une RAM statique

Nous avons choisi la mémoire vive MCM2114 comme exemple parce qu'elle est très courante. C'est une mémoire MOS de 4 K organisés en 1 K mots de 4 bits (4096 bits organisés en 1024 × 4). Le brochage et le diagramme fonctionnel de cette mémoire apparaissent aux figures 12.4 et 12.5.

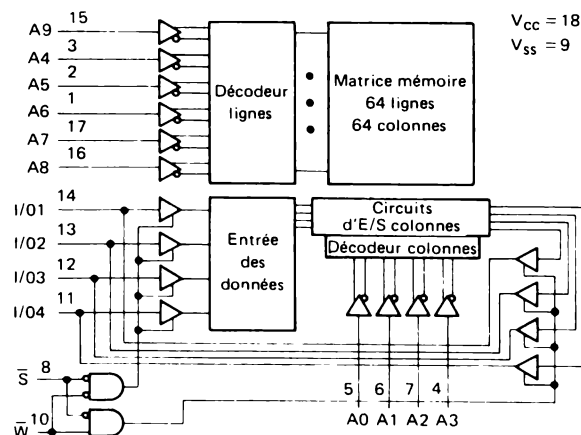


NOMS DES BROCHES

A0 - A9	Entrée des adresses
\bar{W}	Autorisation d'écriture
\bar{S}	Entrée de sélection
I/01 - I/04	E/S des données
VCC	Alimentation + 5 V
VSS	Masse

EFCIS

Figure 12.4 Brochage d'une mémoire vive MCM2114.

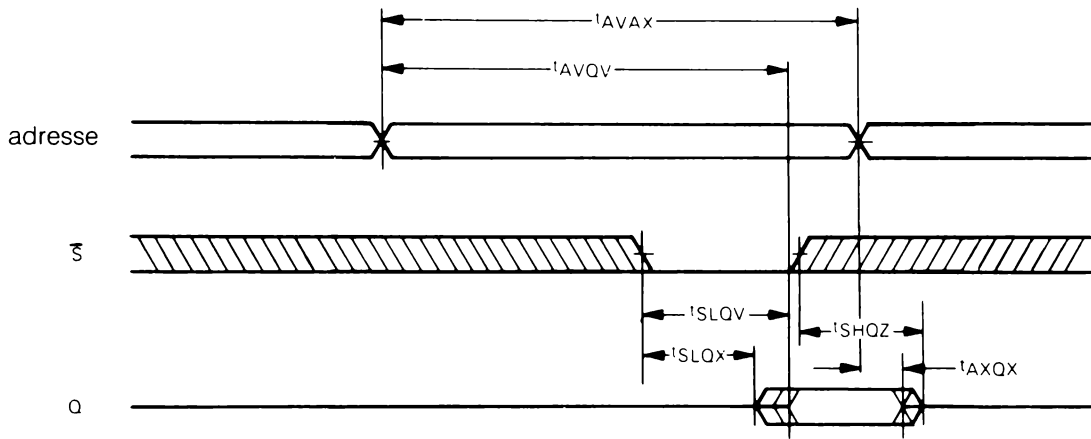


EFCIS

Figure 12.5 Diagramme fonctionnel d'une mémoire vive MCM2114.

Le chronogramme du cycle de lecture apparaît à la figure 12.6. La broche \overline{W} doit être à une tension haute. Si on prend comme exemple une mémoire 2114-20 à temps d'accès maximal de 200 ns, il faut que l'adresse soit maintenue valide pendant au moins 200 ns (t_{AVAX}) et le temps de validité maximal des données après l'adressage est de 200 ns t_{AVQV} . La sélection du boîtier ($\overline{S} = 0$) doit se faire 70 ns (t_{SLQV}) avant que les données soient valides et le temps de passage maximal à la haute impédance après la suppression de la sélection du boîtier est de 60 ns au maximum (t_{SHQZ}).

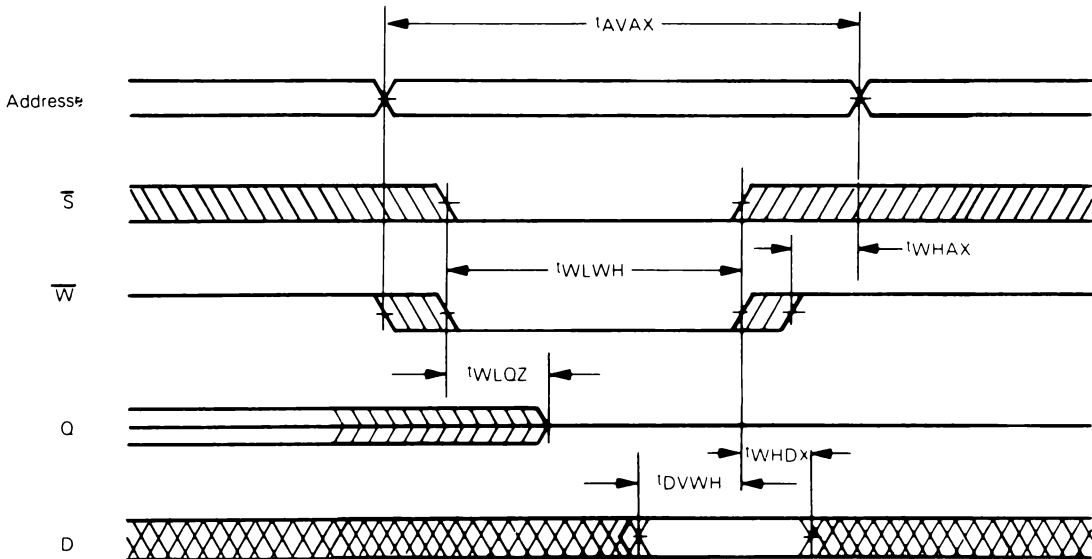
CHRONOGRAMME DU CYCLE DE LECTURE (\overline{W} à 1)



© Motorola Inc., Reproduit avec permission

Figure 12.6 Chronogramme du cycle de lecture d'une mémoire vive MCM2114.

CHRONOGRAMME DU CYCLE D'ÉCRITURE



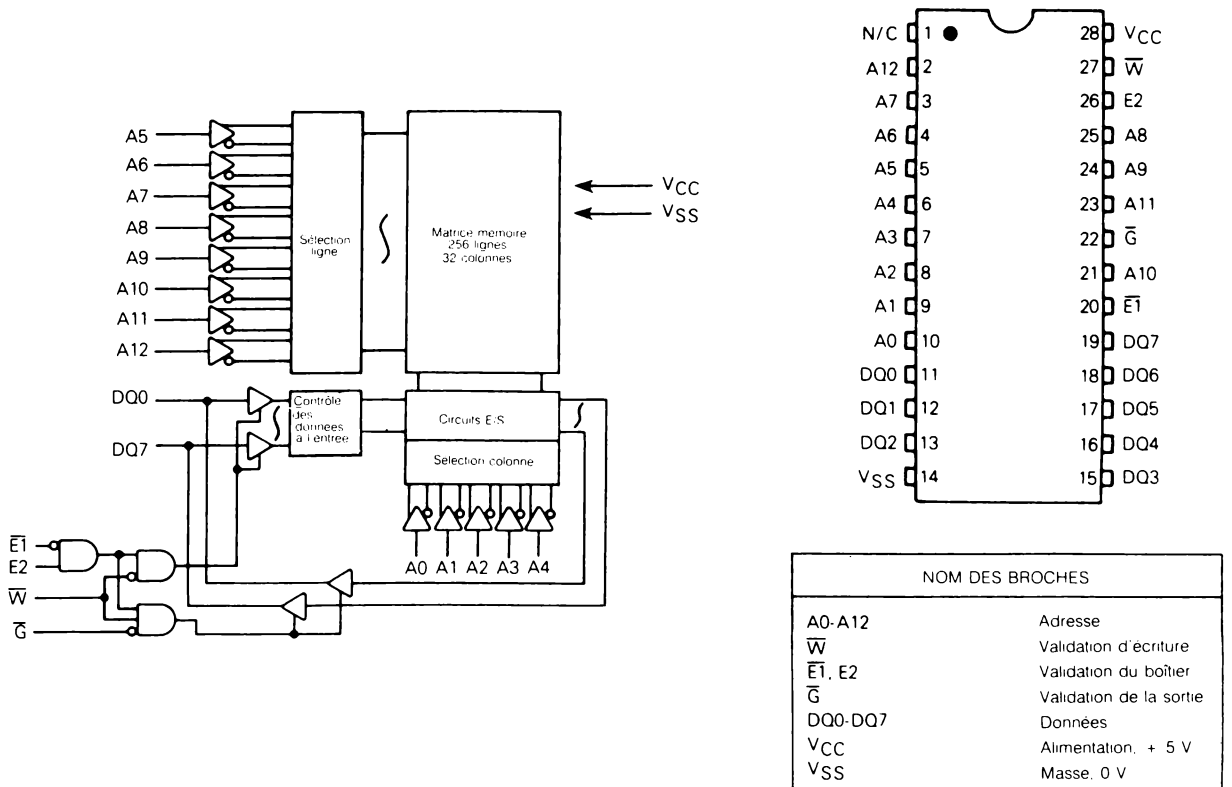
© Motorola Inc., Reproduit avec permission

Figure 12.7 Chronogramme du cycle d'écriture d'une mémoire vive MCM2114.

Le chronogramme du cycle d'écriture apparaît à la figure 12.7. Dans ce cas, pour écrire, il faut que l'adresse soit valide, que le boîtier soit sélectionné ($\overline{S} = 0$) et que $\overline{W} = 0$ pendant au moins 120 ns (t_{WLWH}). Au maximum 60 ns (t_{WLQZ}) après que $\overline{W} = 0$, on ne peut plus lire la mémoire. La sortie est à haute impédance. Les données doivent être prêtes sur le bus au moins 120 ns (t_{DVWH}) avant que $\overline{W} = 1$. Les données sont chargées en mémoire sur la montée de \overline{W} .

Ce type de mémoire (200 ns) convient pour les microprocesseurs qui ont une horloge jusqu'à 5 MHz. Les mémoires TTL sont beaucoup plus rapides (temps d'accès de 35 ns), mais elles consomment beaucoup et chaque boîtier ne peut donc pas contenir beaucoup de bits. La mémoire statique CMOS consomme encore moins.

12.5 Exemple de RAM statique



© Motorola Inc., Reproduit avec permission

Figure 12.8 Brochage et diagramme fonctionnel d'une mémoire vive statique MCM6164H.

La mémoire vive statique 6164H de Motorola utilise la technologie CMOS. C'est une mémoire de 64 K bits organisés en 8 K mots de 8 bits. Lorsque le boîtier n'est pas sélectionné, la mémoire passe au mode repos à faible puissance. Ce genre de mémoire est très utilisé dans les ordinateurs portatifs à piles.

12.6 Architecture d'une RAM dynamique

La configuration d'une cellule de RAM dynamique apparaît à la figure 12.9. La cellule élémentaire comprend un transistor, une ligne d'adresses ou de sélection de rangée et une ligne de données ou de sélection de colonne. La cellule de mémoire comprend essentiellement un transistor en série avec un condensateur. L'information est stockée sous forme d'une charge électrique contenue dans le petit condensateur C_1 de capacité d'environ 50 femtofarads (50×10^{-15} farad). Le transistor sert de commutateur : il dirige les charges vers la ligne de données au moment de la lecture et vers le condensateur C_1 au moment de l'écriture. Cette configuration présente deux problèmes. Premièrement, la capacité répartie C_2 de la ligne de données (colonne) est d'environ 10 fois la capacité de C_1 , car elle est rattachée à un grand nombre de cellules. La capacité C_2 réduit la tension lue V_R selon l'expression $V_R = V_1 \left(\frac{C_1}{C_1 + C_2} \right)$

dans laquelle V_1 est la tension initiale aux bornes de C_1 . La lecture réduit aussi la charge de C_1 . Après une lecture il faut donc régénérer la charge de C_1 par une écriture. La tension lue étant très petite il faut un amplificateur très sensible et une haute immunité au bruit. L'amplificateur est du type à seuil. Si la tension est inférieure à une tension de référence qui provient de cellules témoins, on a 0 à la sortie et si la tension est supérieure au seuil, on a 1 à la sortie. Deuxièmement, le condensateur C_1 a un courant de fuite non négligeable et la charge emmagasinée disparaît en quelques millisecondes environ. Il faut donc régénérer périodiquement la charge du condensateur, toutes les deux millisecondes environ, pour compenser la fuite.

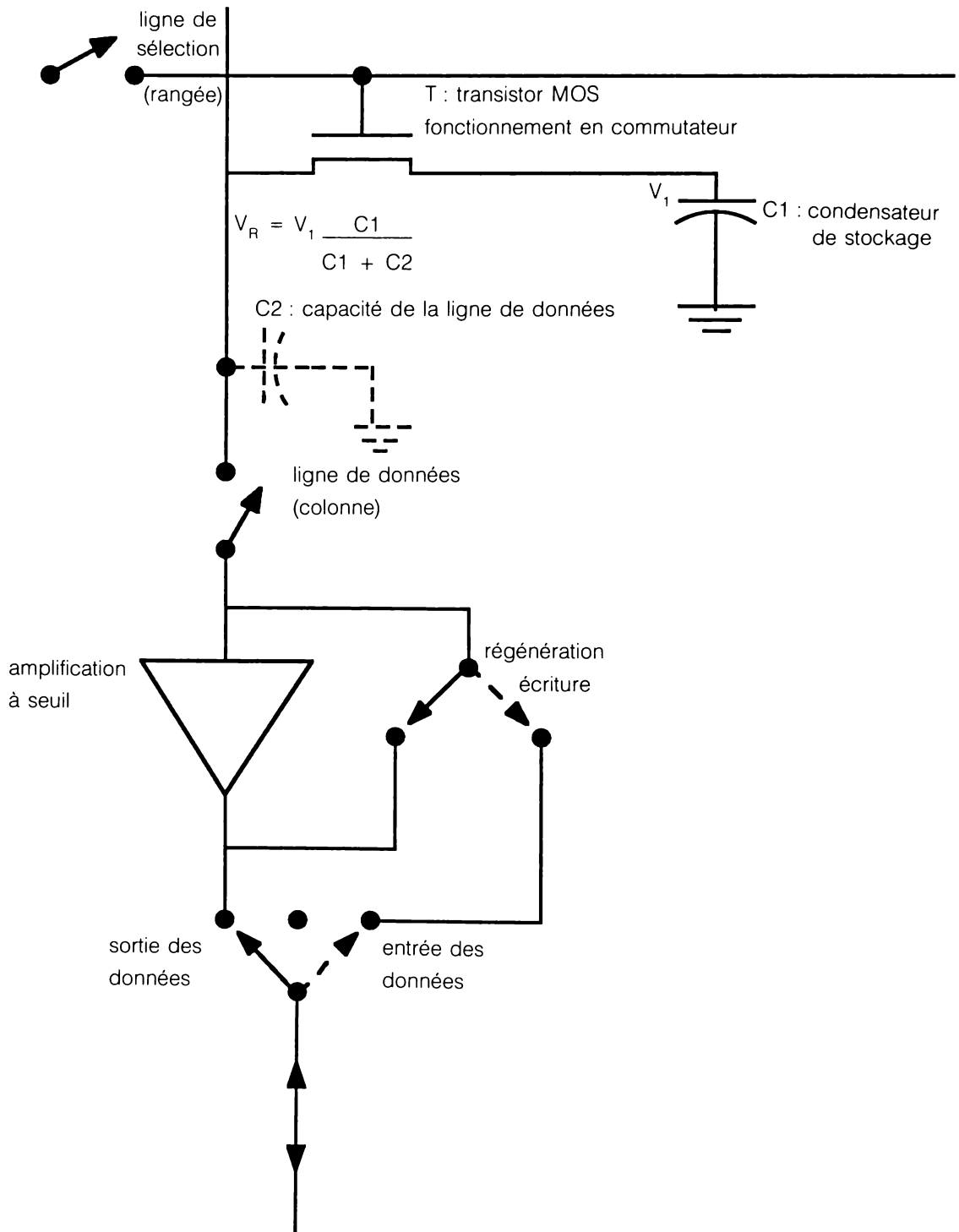
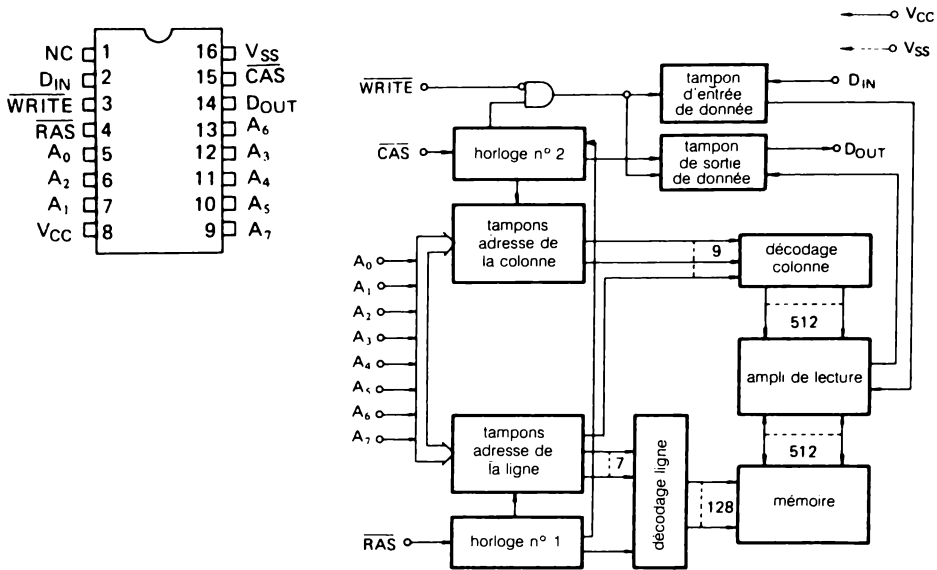


Figure 12.9 Configuration d'une cellule de RAM dynamique.

Les cellules des mémoires dynamiques sont organisées en une matrice de 128×128 ou en deux matrices de 128×64 pour une mémoire 4116 de $16\text{ K} \times 1$ bit ou en une matrice de 256×256 ou en quatre matrices de 128×128 pour une mémoire dynamique 2164 de $64\text{ K} \times 1$ bit. Pour diminuer le nombre de broches du boîtier contenant ces cellules de mémoire, on multiplexe l'adressage. Par exemple, pour une mémoire $64\text{ K} \times 1$ bit, on présente d'abord l'adresse d'une ligne avec 8 bits et on sélectionne cette ligne en stockant cette adresse avec le signal sur $\overline{\text{RAS}}$ (*Row Address Strobe*) passant à une tension basse. On place ensuite sur les mêmes broches les 8 bits sélectionnant la colonne et on met le signal sur $\overline{\text{CAS}}$ (*Column Address Strobe*) à 0. Si le signal $\overline{\text{W}}$ est à une tension haute on a une lecture sur Q et si $\overline{\text{W}}$ est à une tension basse on a une écriture sur D. La figure 12.10 représente le brochage et le diagramme fonctionnel d'une mémoire dynamique TMM4164.

12.7 Fonctionnement d'une RAM dynamique

En adressant une rangée pendant un cycle de mémoire valide comme l'écriture, la lecture ou le rafraîchissement, on rafraîchit toutes les cellules associées à cette rangée décodée. Tous les amplificateurs à seuil sont bouclés pour une régénération lorsque $\overline{\text{RAS}}$ est à une tension basse et $\overline{\text{CAS}}$ à une tension haute. Le rafraîchissement consiste donc à adresser en séquence toutes les rangées avec un compteur externe ou interne dans certaines RAM dynamiques appelées IRAM (*Integrated RAM*) comme la 2186 de INTEL. Certains microprocesseurs, comme le Z80, intègrent le compteur permettant de rafraîchir la mémoire. Le rafraîchissement a lieu en rafale au rythme de 128 cycles de rafraîchissement toutes les 2 ms ou de façon transparente chaque fois que le microprocesseur traite les données après avoir chargé une instruction. Cette deuxième manière est plus complexe à implanter, mais elle a l'avantage de ne pas ralentir le fonctionnement du microprocesseur.



TOSHIBA

Figure 12.10 Brochage et diagramme fonctionnel d'une mémoire dynamique TMM4164.

12.8 Exemple de RAM dynamique

La figure 12.11 représente le brochage et le schéma fonctionnel d'une mémoire dynamique 4116 de Motorola ; c'est une mémoire de 16 384 bits (16 K × 1 bit) avec entrées compatibles TTL et sorties 3 états.

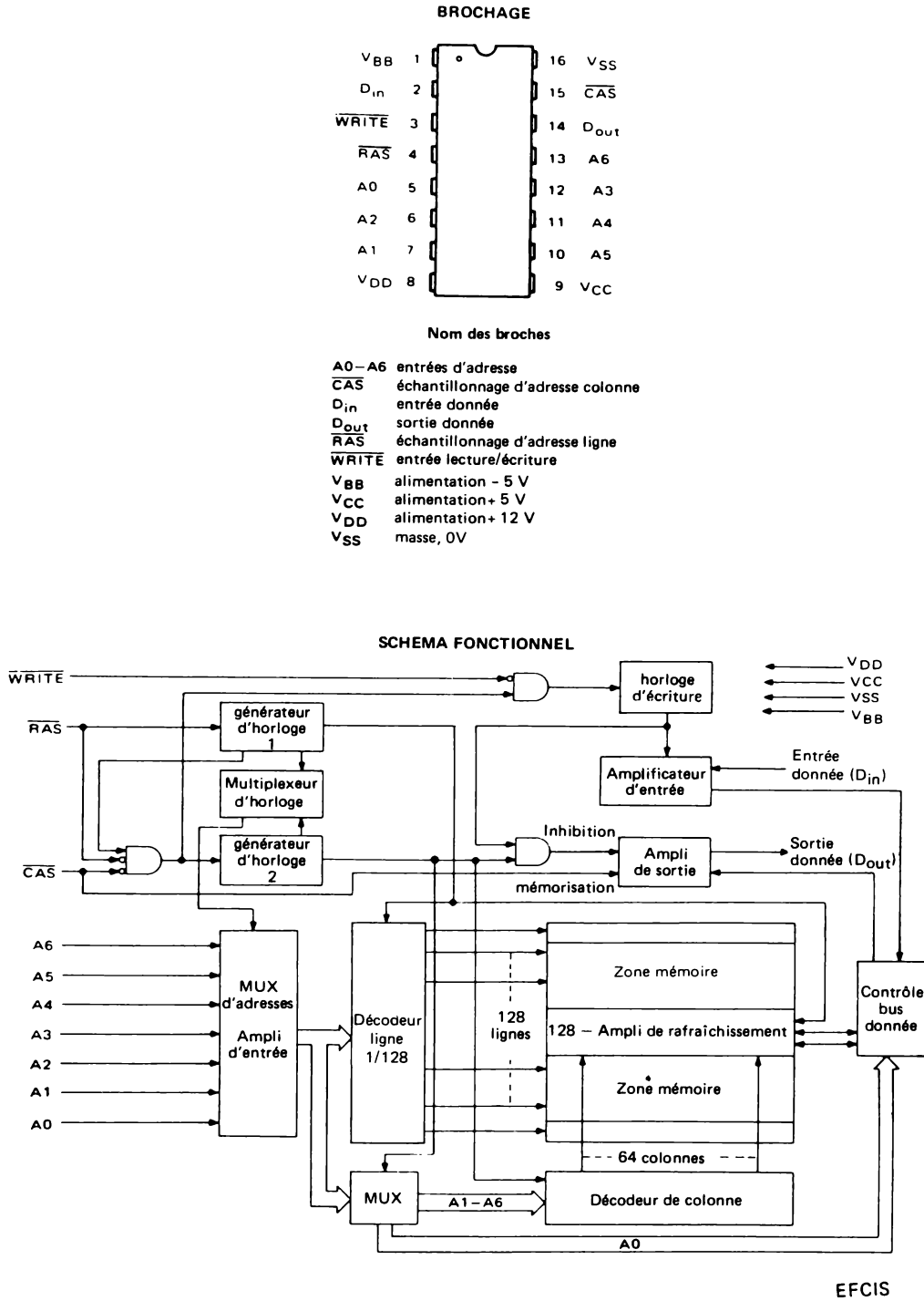


Figure 12.11 Brochage et schéma fonctionnel d'une mémoire 4116.

La figure 12.12 représente le brochage et le schéma fonctionnel d'une mémoire dynamique de 256 K × 1 bit.

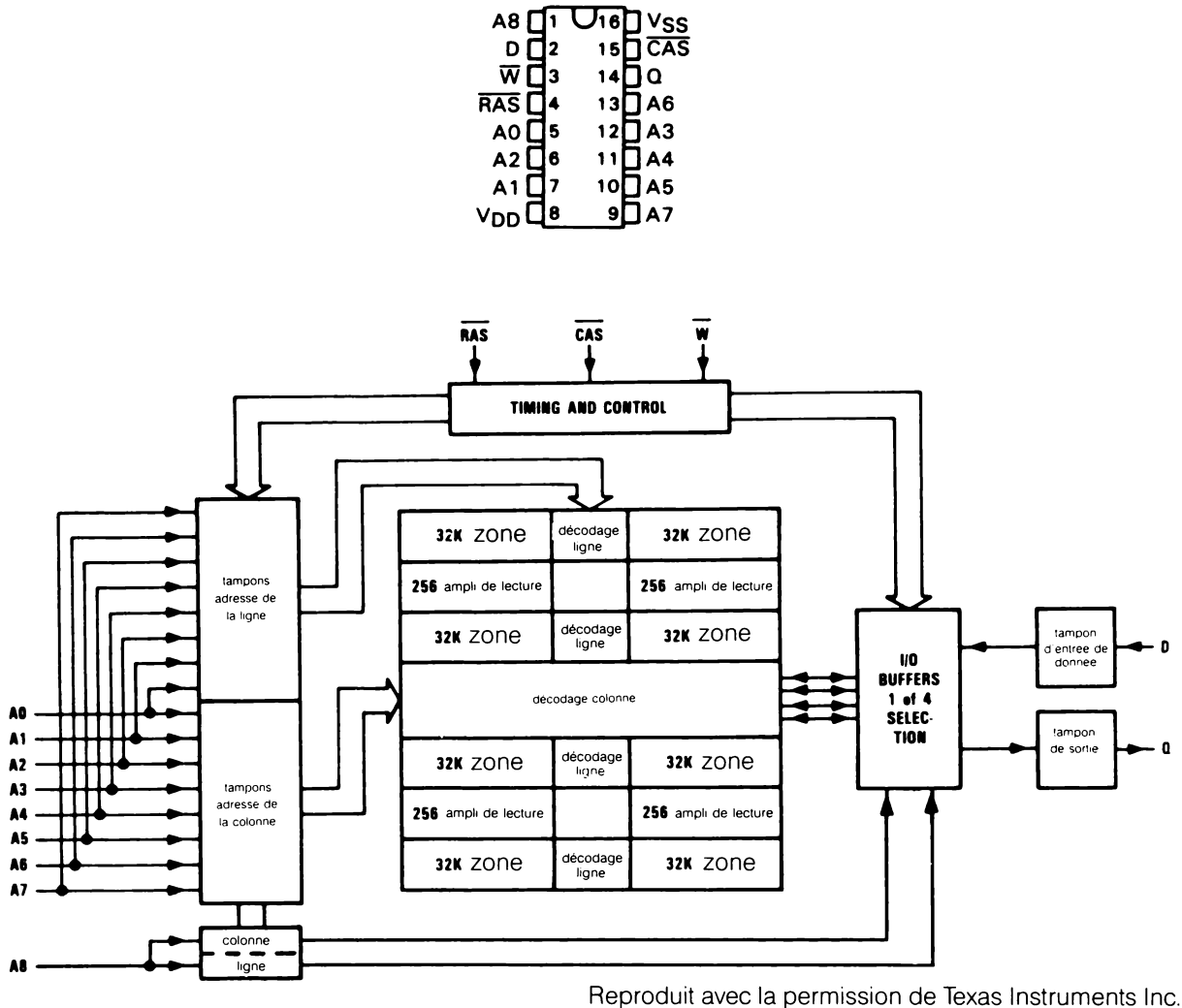
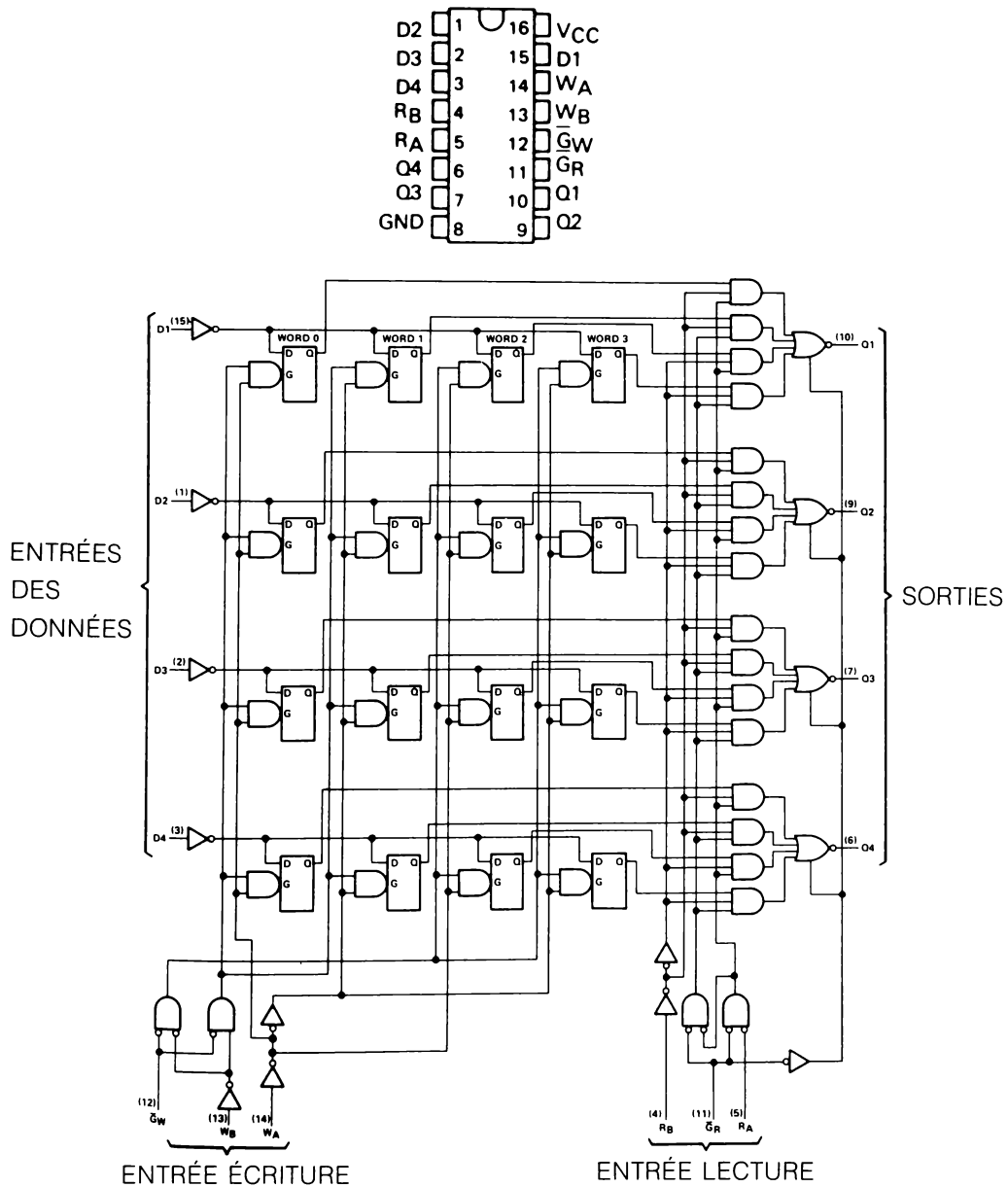


Figure 12.12 Brochage et schéma fonctionnel d'une mémoire dynamique de 256 K TMS4256.

12.9 Mémoires à double accès

Une mémoire à double accès peut être constituée de registres genre 74670 contenant 4 registres de 4 bits que l'on peut lire d'un côté et sur lesquels on peut écrire de l'autre côté. Des lignes séparées commandent la lecture et l'écriture simultanées en mémoire à des adresses différentes, bien sûr. Les sorties 3 états connectent ensemble ces boîtiers sur le même bus. On peut connecter au maximum 128 boîtiers, cela

donne une capacité de 512 mots de 4 bits. En mettant en parallèle ces boîtiers, on obtient des mots de longueurs multiples de 4 bits. On peut donc se monter une mémoire de 512 mots de n bits. On utilise ces mémoires comme tampons entre des processeurs ou comme mémoires temporaires pour contenir, par exemple, les 4 bits d'adresse de poids fort dans un système à 20 bits d'adresse utilisant des boîtiers à 16 bits d'adresse (cas de l'IBM/PC pour les boîtiers d'accès direct en mémoire DMA).



Reproduit avec la permission de Texas Instruments Inc.

Figure 12.13 Boîtier et diagramme fonctionnel du registre 74670.

Autre exemple de mémoire à double accès plus récente: la MCM68HC34 de MOTOROLA. Cette mémoire permet à deux microordinateurs, qui commandent chacun leur bus de données et d'adresses, d'échanger des données sans brouiller les

organes branchés sur chacun des bus. Les deux microprocesseurs sont appelés A et B. La mémoire contient 256 octets. Du côté A le bus d'adresses et de données est multiplexé, ce n'est pas le cas du côté B. Pour que les deux microprocesseurs n'écrivent pas en même temps dans les mêmes cases de mémoire, un registre d'indicateurs ou sémaphore signale les cas conflictuels aux microprocesseurs.

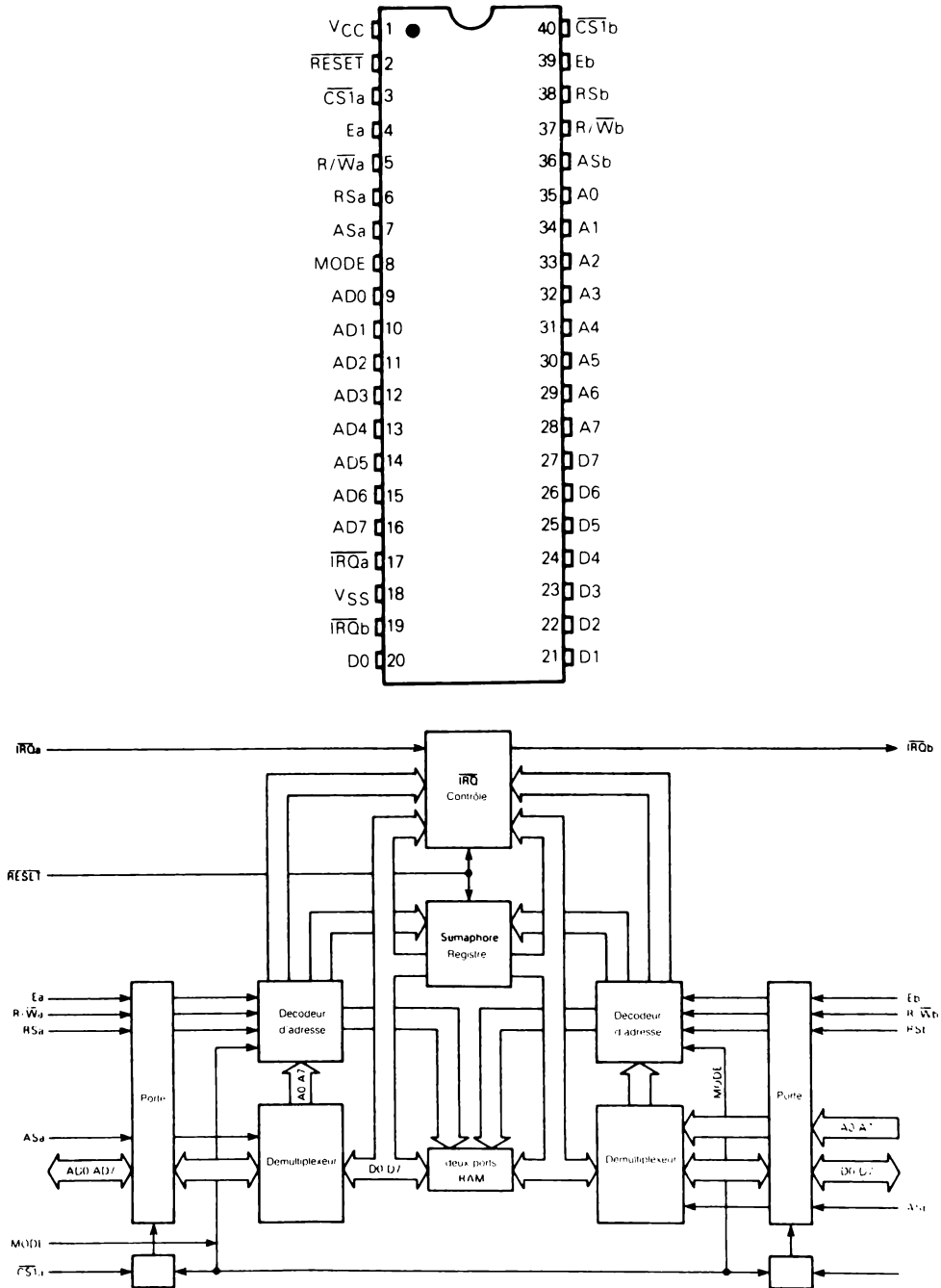
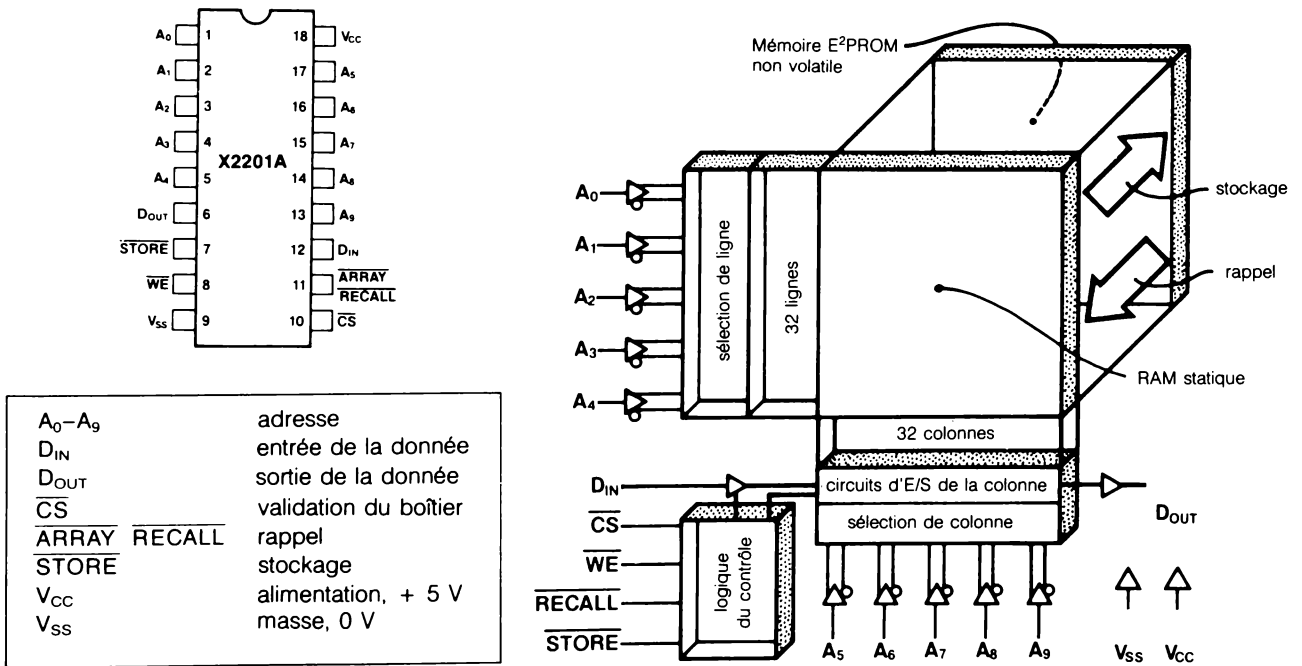


Figure 12.14 Brochage et diagramme fonctionnel de la mémoire à double accès MCM68HC34. © Motorola Inc., Reproduit avec permission

12.10 Mémoire NVRAM = RAM rémanente

Ce type de mémoire combine une mémoire RAM ordinaire capable de stocker des données des microprocesseurs et une mémoire rémanente EEPROM. L'avantage de ce type de mémoire réside dans le stockage automatique des données de la RAM dans la mémoire EEPROM en 10 ms. Ce temps est suffisant pour sauvegarder les variables et l'état du système lors d'une perte d'alimentation. Si l'on détecte la perte d'alimentation à temps, l'énergie stockée dans les condensateurs d'alimentation est suffisante pour maintenir, durant 10 ms, la tension dans les limites pour une écriture en EEPROM. La relecture de la mémoire EEPROM s'effectue en 1 μ s.

Ce type de mémoire sert, par exemple, pour garder la configuration d'un port de sortie. Au lieu d'avoir un ensemble de commutateurs pour configurer la vitesse, la parité, la longueur des mots et le nombre de bits stops d'un port série, par exemple, on place en mémoire la configuration désirée et on la retrouve jusqu'à la prochaine programmation. La figure 12.15 donne le brochage et le diagramme fonctionnel d'une mémoire NVRAM de 1 K (1024 \times 1 bit).



XICOR

Figure 12.15 Brochage et diagramme fonctionnel de la mémoire X2201A de XICOR.

12.11 Expérience de laboratoire

Adressage, lecture et écriture dans une RAM

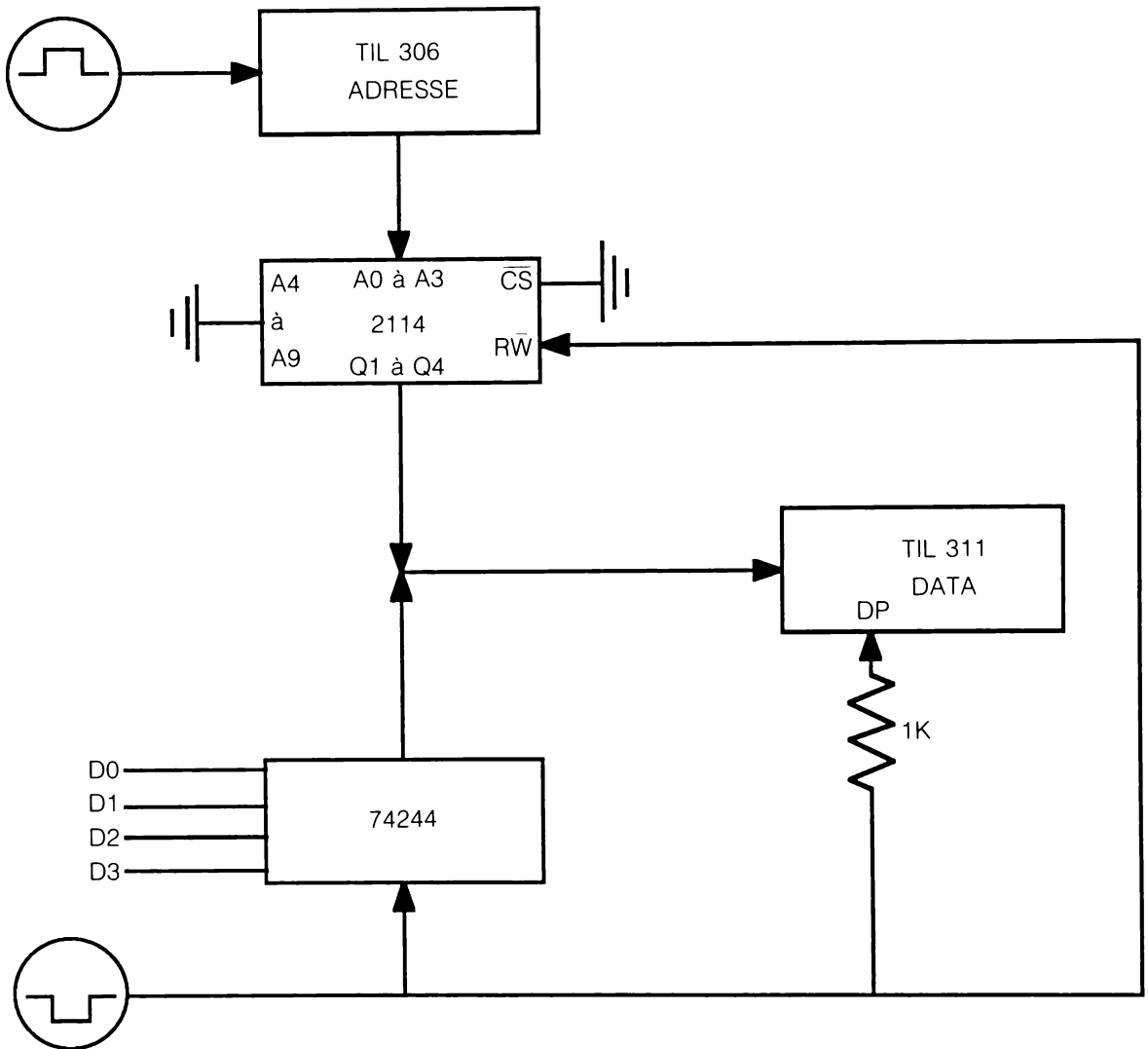


Figure 12.16 Schéma de principe pour l'expérience de laboratoire.

Les figures 12.4 et 12.5 donnent le brochage et le schéma fonctionnel de la mémoire statique RAM 2114. La figure 12.16 donne le schéma de principe d'un montage permettant d'adresser, d'écrire des données dans une mémoire 2114 et de les lire.

- Effectuez le montage du schéma de principe ;
- Tracez le schéma de câblage complet de votre montage ;
- Démontrez que vous écrivez et lisez des données dans la mémoire.

12.12 Questions et problèmes

- 1. Que signifie l'acronyme RAM ?**
- 2. Que signifie l'acronyme NVRAM ?**
- 3. Que signifie l'acronyme IRAM ?**
- 4. Qu'entend-on par mémoire non rémanente ?**
- 5. Quelles sont les deux catégories principales de RAM ?**
- 6. Tracez le schéma de principe d'une cellule de RAM statique.**
- 7. Tracez le schéma de principe d'une cellule de RAM dynamique.**
- 8. Quelles sont les huit parties principales de l'architecture d'une RAM ?**
- 9. Pourquoi rafraîchir une RAM dynamique ?**
- 10. Donnez un exemple d'utilisation de mémoire à double accès.**
- 11. Tracez le diagramme fonctionnel d'une mémoire NVRAM.**
- 12. Donnez un exemple d'utilisation de mémoire NVRAM.**

Mémoires spéciales: Piles, CAM CCD et mémoires à bulles magnétiques

13

13.1 Objectifs

Après étude de ce chapitre, l'étudiant devra savoir

1. Décrire l'architecture d'une pile FIFO.
2. Détailler le fonctionnement en écriture/lecture d'une pile FIFO.
3. Donner deux exemples d'application des piles FIFO.
4. Définir la mémoire associative CAM.
5. Décrire le principe du mode d'adressage de la mémoire ci-dessus.
6. Décrire le principe d'un registre à couplage de charge.
7. Décrire le principe d'une mémoire à bulles magnétiques.
8. Décrire l'architecture d'une mémoire à bulles magnétiques.

13.2 Survol du sujet

Dans les trois chapitres précédents nous avons étudié les mémoires les plus courantes : celles qu'on utilise à grande échelle, surtout dans les systèmes à microprocesseurs. Nous allons maintenant étudier le principe et quelques applications de mémoires moins répandues, optimisées pour des applications particulières ou que l'on n'a pas encore eu l'occasion, comme les mémoires à bulles magnétiques, d'utiliser à grande échelle. Les premières mémoires étudiées, les piles FIFO (*First In First Out*, premier entré, premier sorti car les mots entrés les premiers sortent les premiers) sont utilisées en communication et servent de mémoires tampons pour les claviers.

On devrait commencer à utiliser les mémoires associatives, aussi appelées mémoires adressables par le contenu, CAM (*Content Addressable Memory*) dans les systèmes dits à intelligence artificielle. Les mémoires à couplage de charge CCD (*Charge Coupled Devices*) servent principalement dans les caméras à semi-conducteurs où l'on transfère en série les éléments d'image au système qui exploite celle-ci. Les applications apparaissent en robotique dans un domaine appelé vision et reconnaissance des formes.

Il y a quelques années on avait prédit un grand avenir aux mémoires à bulles magnétiques. Elles devaient remplacer les mémoires à grande capacité comme les disques. Cela ne s'est pas produit car les systèmes à disquettes ont fait des progrès considérables. On utilise les mémoires à bulles dans les applications soumises à des vibrations qui rendent les systèmes mécaniques très mal adaptés et dans les appareils transportables, comme les oscilloscopes numériques, qui peuvent subir des chocs.

13.3 Mémoires à piles FIFO

13.3.1 Architecture d'une pile FIFO

La notion de pile implique que les adresses sont contiguës. On place les mots les uns sur les autres (ou à côté des autres suivant le côté de la machine que l'on regarde), comme on empile des assiettes, dans l'ordre de réception et on les lit dans cet ordre : d'où l'appellation de pile premier arrivé, premier sorti (*First In First Out*).

La figure 13.1 donne le diagramme fonctionnel d'une pile FIFO.

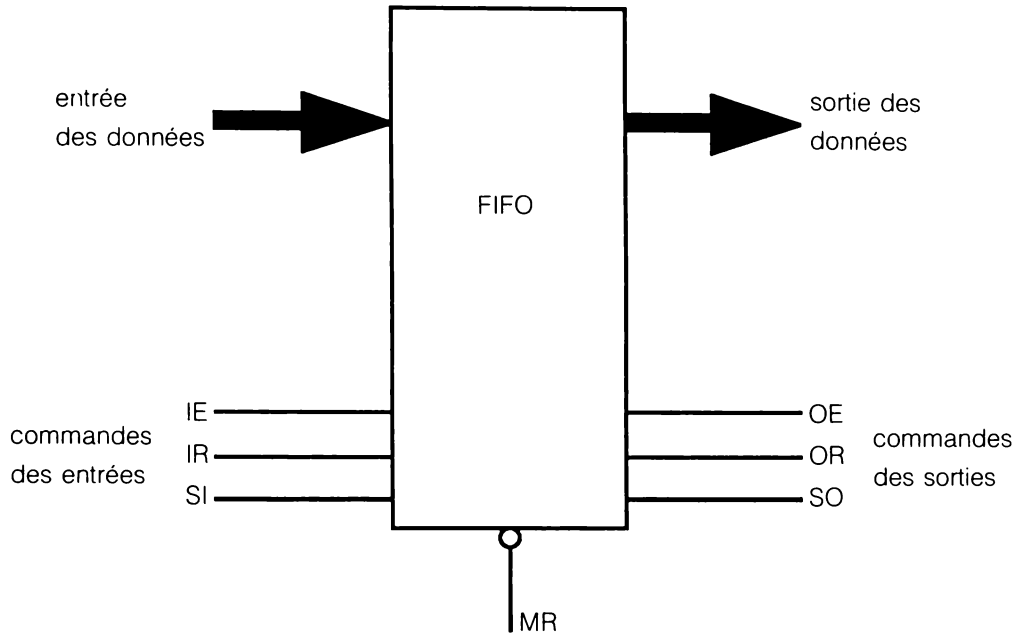


Figure 13.1 Diagramme fonctionnel d'une pile FIFO.

On définit une pile FIFO par le nombre et la longueur des mots qu'elle peut stocker. Une pile courante stocke 64 mots de 9 bits. Les lignes de commande des entrées sont les lignes :

IE (*Input Enable*) d'autorisation d'entrée ou de mise de l'entrée à haute impédance ;

IR (*Input Ready*) qui est une sortie du FIFO qui signale aux circuits périphériques que la pile peut recevoir des données ;

SI (*Shift In*) est une entrée d'horloge externe qui fait entrer les données de façon synchrone.

Les lignes de commande des sorties d'une pile FIFO sont du même type, à savoir :

OE (*Output Enable*) place ou non les lignes à la sortie à l'état haute impédance ;

OR (*Output Ready*) signale qu'on peut lire les données ;

SO (*Shift Out*) place le mot suivant de la pile à la sortie ;

$\overline{\text{MR}}$ (*Master Reset*) remet le registre de commande à zéro au départ du système.

La structure interne de la pile FIFO apparaît à la figure 13.2.

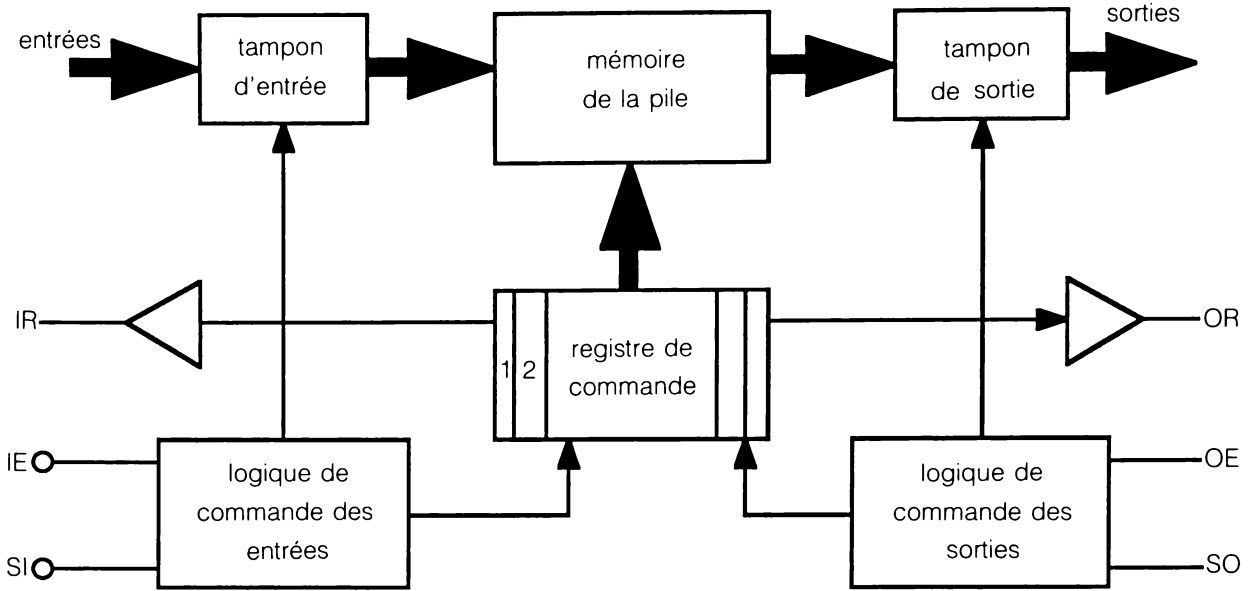


Figure 13.2 Diagramme fonctionnel d'une pile FIFO.

Le tampon d'entrée joue le même rôle dans toutes les mémoires : il adapte les circuits internes aux niveaux normalisés du bus externe et il fournit l'énergie nécessaire pour commander les circuits internes. Le principe du circuit du tampon d'entrée apparaît à la figure 13.3.

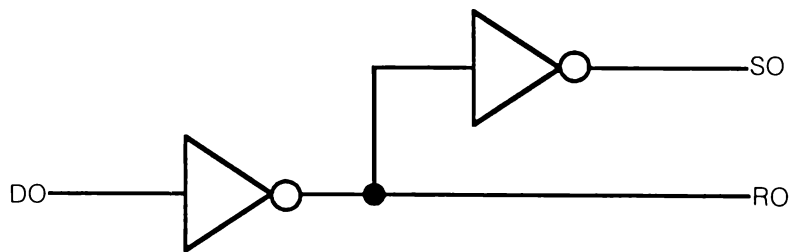


Figure 13.3 Schéma fonctionnel d'un tampon d'entrée pour un bit.

On appelle les sorties de ce tampon S0 et R0 car elles attaquent les entrées S et R des bascules montées en registre à décalage pour chaque bit des données. La figure 13.4 donne le diagramme fonctionnel de la mémoire de la pile.

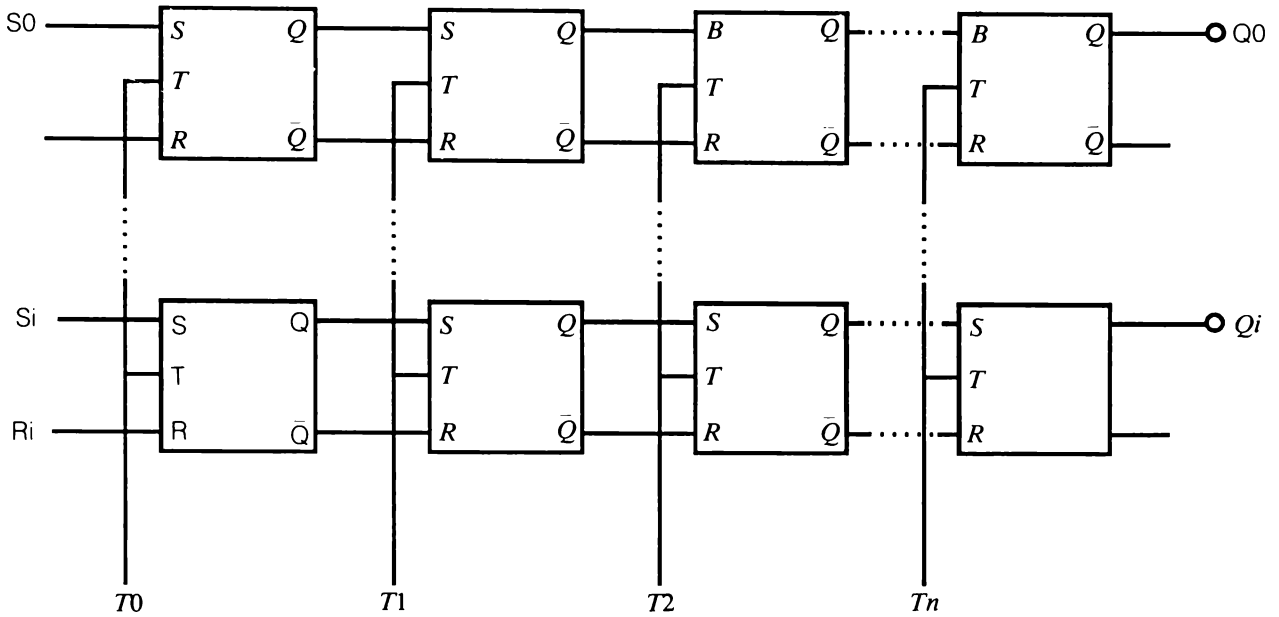


Figure 13.4 Diagramme fonctionnel de la mémoire de la pile.

Les données arrivent à l'entrée via le tampon sur S et R de chaque bascule RST du registre à décalage. L'horloge T qui permet le décalage est reliée au registre de commande. Ce registre actionne en séquence chaque étage des registres à décalage et transfère une donnée du premier étage au dernier. Celui-ci est relié aux tampons de sorties selon une séquence programmée dans le registre de commande et commandée par l'entrée Si (*Shift In*) de l'horloge. Si la mémoire contient déjà des données, le mot à l'entrée est placé dans le premier registre vide à partir de l'extrémité de sortie de la mémoire. Les données restent dans leurs étages respectifs jusqu'à lecture de la dernière à la sortie. À ce moment, le registre de commande actionne en séquence les lignes T_n, T_{n-1}, \dots, T_0 pour décaler toute la pile vers la droite.

Le registre de commande est composé d'une série de bascules, une par étage de la pile FIFO. Chaque bascule tient l'état de l'étage et est à 1 si la donnée à l'intérieur de l'étage est valide et 0 s'il n'y a rien de significatif dans l'étage considéré. La figure 13.5 donne le diagramme fonctionnel d'un tel registre de commande.

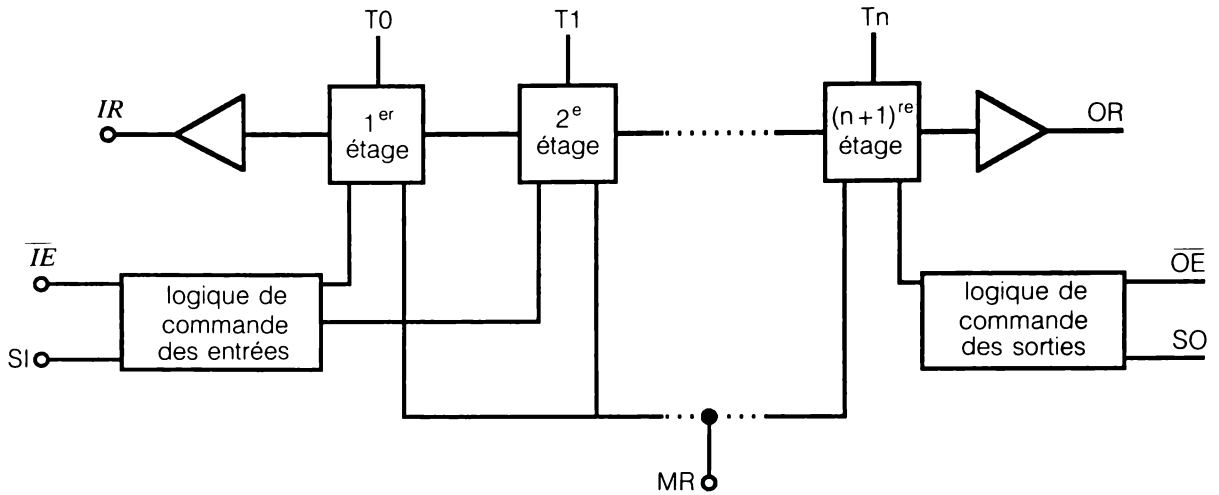


Figure 13.5 Diagramme fonctionnel du registre de commande d'une pile FIFO.

13.3.2 Fonctionnement en écriture/lecture d'une mémoire FIFO

Supposons que les registres de la mémoire FIFO n'ont pas d'information significative. Toutes les bascules du registre de commande sont à 0, cela impose la sortie IR (*Input Ready*) à passer à l'état haut (H sur les schémas). SI est à une tension basse (L sur les schémas) ainsi que SO et OR. Le mot A est présent à l'entrée. La figure 13.6 représente ces conditions.

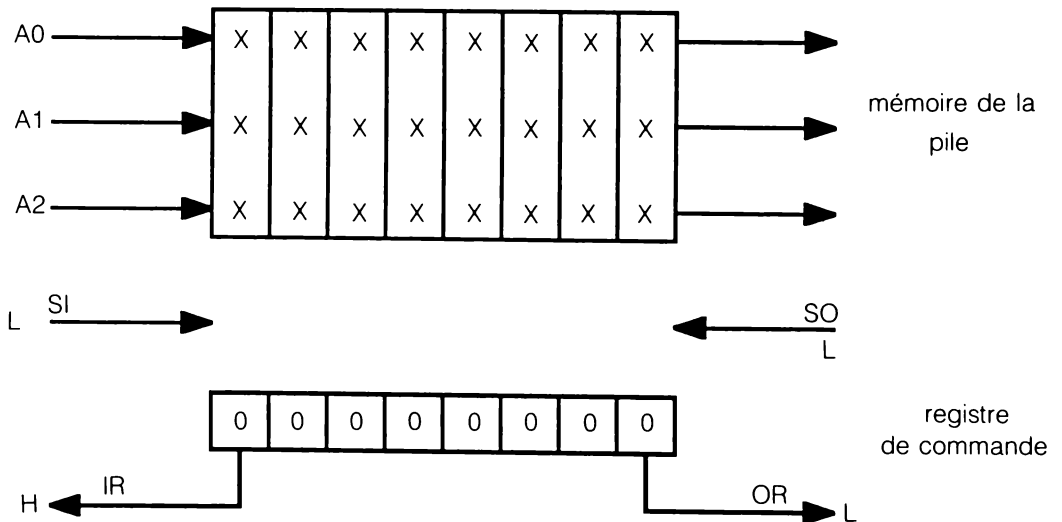


Figure 13.6 État initial : la mémoire FIFO est vide.

On écrit dans la mémoire sur la montée de SI, IR passe à une tension basse pour indiquer qu'une donnée a été acceptée. La première bascule de commande passe à 1 pour indiquer la validité du mot dans la première case (figure 13.7).

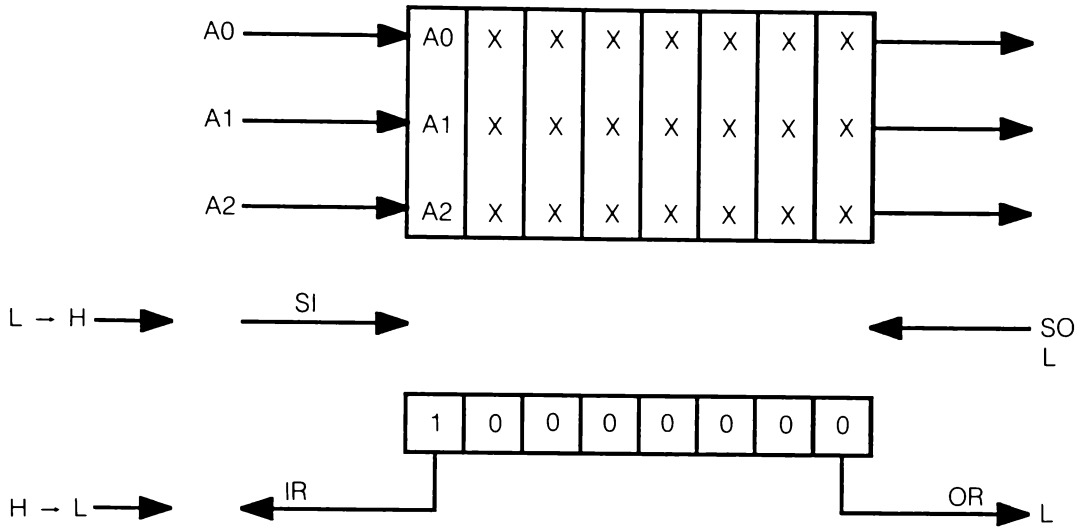


Figure 13.7 Écriture dans le premier étage de la pile FIFO.

Lorsque SI passe au niveau L, la donnée, après un petit retard, passe dans le deuxième étage et IR passe au niveau H pour indiquer au système extérieur qu'une nouvelle donnée peut être chargée (figure 13.8).

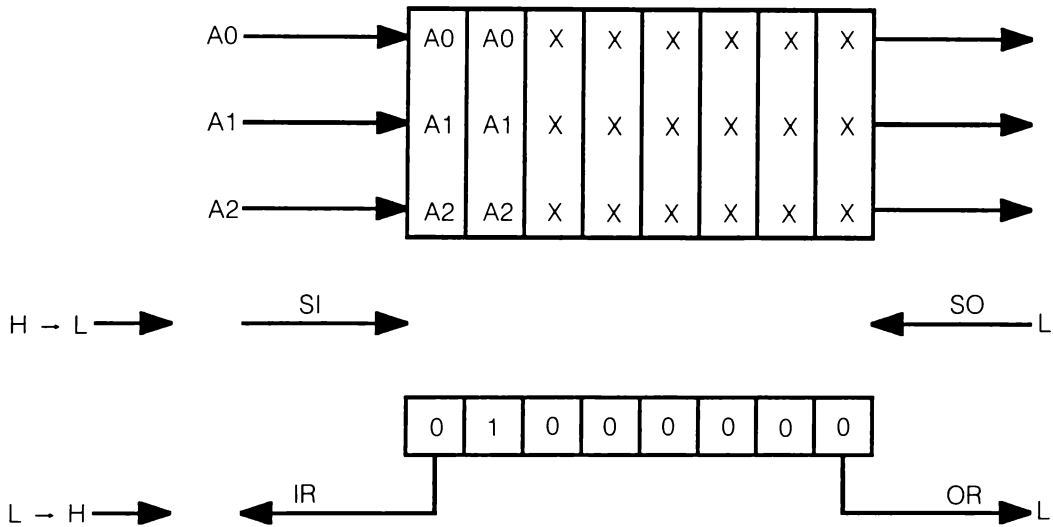


Figure 13.8 Passage au deuxième étage de la pile.

Les données se déplacent spontanément vers le fond de la pile. Au dernier étage, OR passe au niveau H pour indiquer au système qu'il peut lire une donnée. Le temps durant lequel la mémoire n'accepte pas de donnée est nettement inférieur au temps de propagation d'une donnée vers le fond de la pile (figure 13.9).

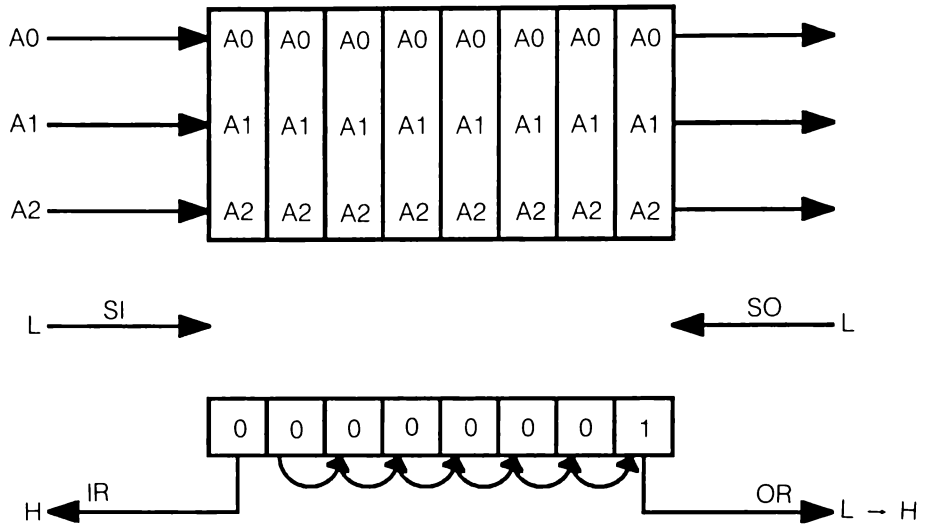


Figure 13.9 Passage au fond de la pile.

Les figures 13.10 et 13.11 illustrent l'écriture dans la pile du mot B.

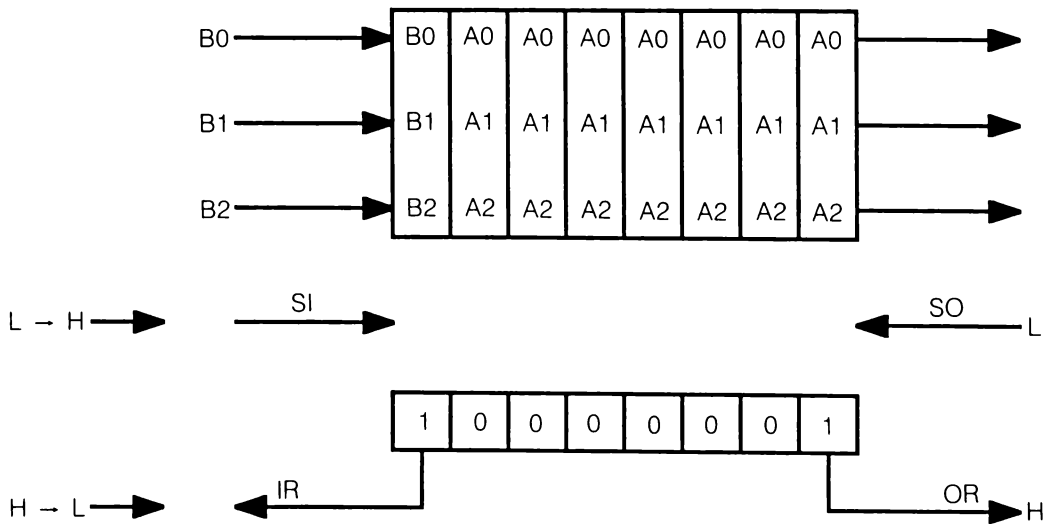


Figure 13.10 Écriture du mot B dans la pile.

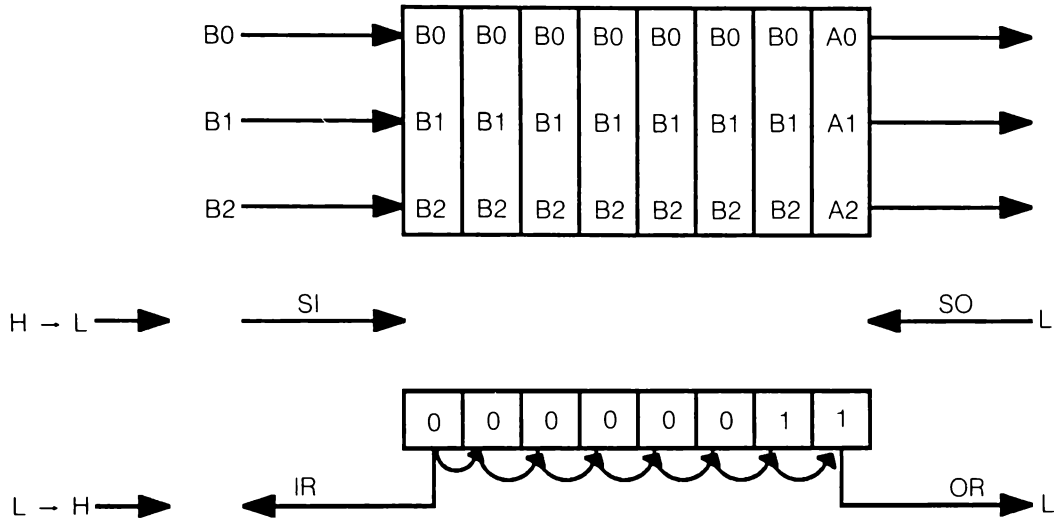


Figure 13.11 Le mot B va occuper la case suivante du fond de la pile.

On écrit le mot C et les suivants de la même façon. Lorsque les registres mémoire sont pleins, le registre de commande ne contient que des 1 et IR reste au niveau L pour avertir le système qu'il ne peut plus envoyer de mots dans la pile (figure 13.12).

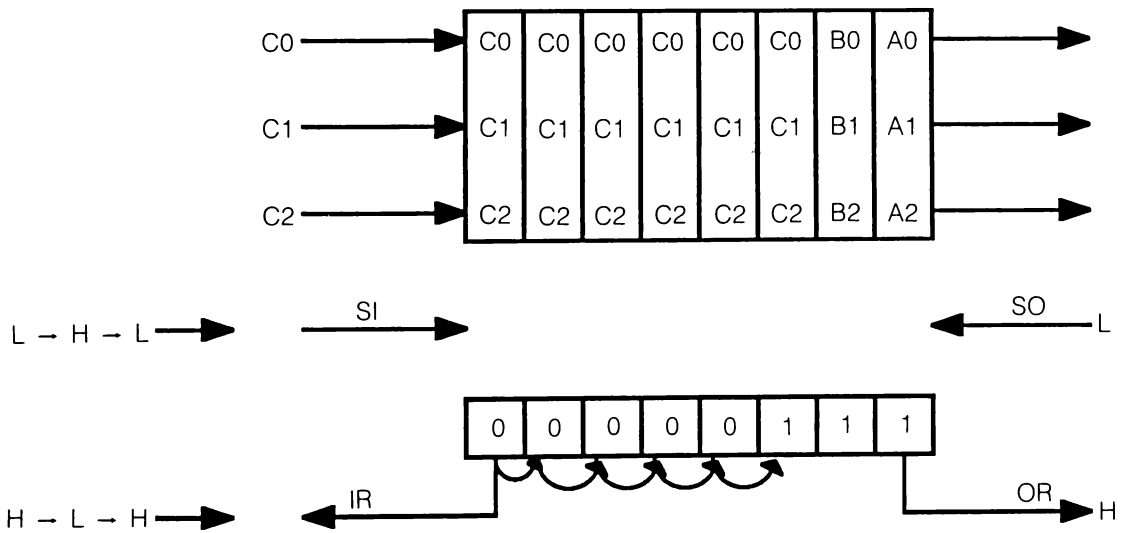


Figure 13.12 Écriture du mot C.

Examinons maintenant ce qui se passe lorsqu'on lit un mot.

OR à l'état H indique qu'un mot est disponible dans la mémoire FIFO. Lorsque SO passe de L à H, la donnée apparaît à la sortie. OR passe à l'état L : la lecture ne peut plus se faire et le dernier bit du registre de commande passe à 0 pour indiquer que la donnée du dernier étage n'est plus valide (figure 13.13).

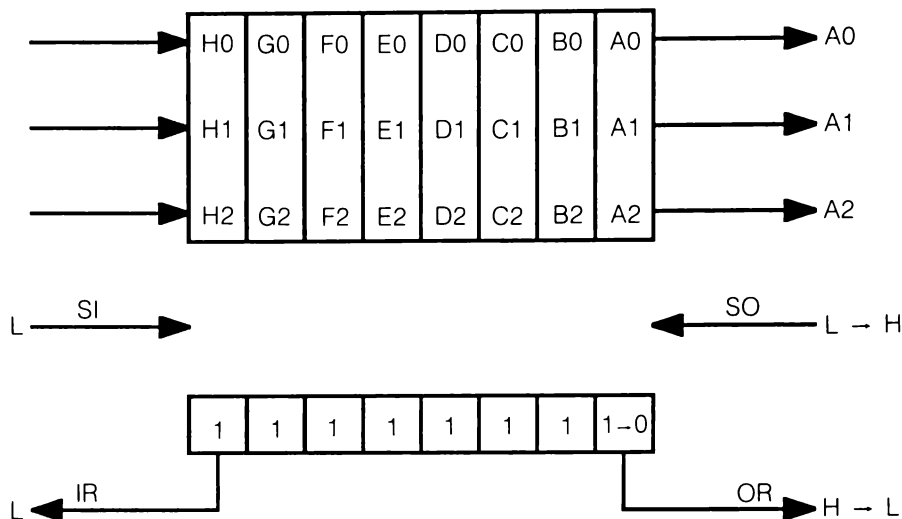


Figure 13.13 Première lecture : la donnée est lue.

Lorsque SO passe à l'état L, le 0 de la dernière bascule du registre de commande remonte dans la pile à mesure que les mots sont décalés vers la sortie. Lorsqu'il atteint le sommet de la mémoire, IR passe à l'état H pour indiquer que la mémoire dispose d'une place pour un mot. Lorsque le deuxième mot arrive à la place du mot lu, OR passe à l'état H pour indiquer qu'on peut lire le mot suivant (figure 13.14).

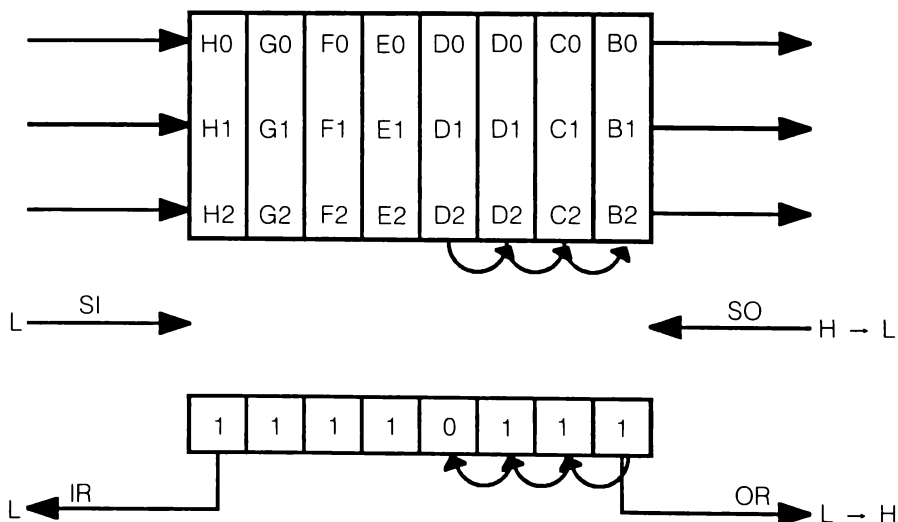


Figure 13.14 Après la lecture, SO passe à l'état L, les mots sont décalés dans la pile et le 0 du registre de commande remonte vers la sortie.

La figure 13.15 résume la lecture du mot B.

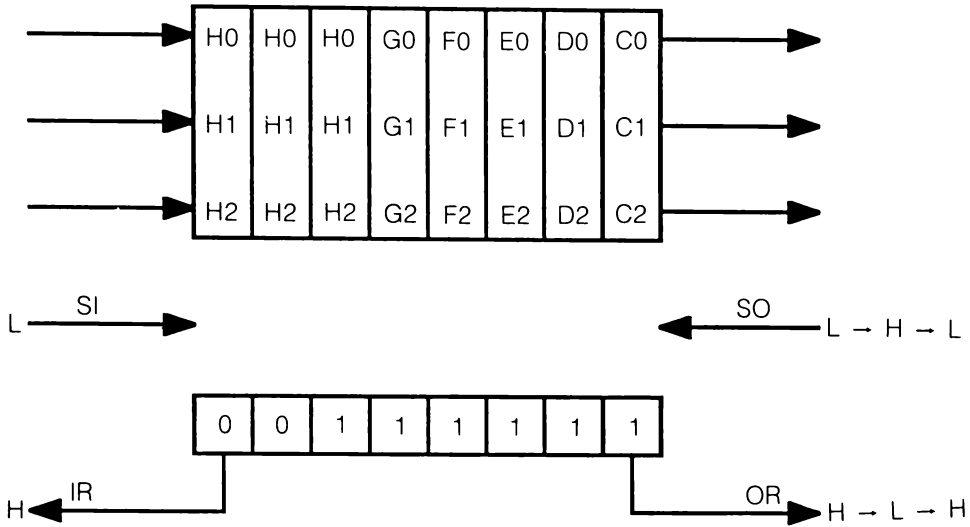


Figure 13.15 Lecture du mot B ; C est prêt à la sortie.

Après la lecture du dernier mot, OR reste à l'état L pour indiquer que la pile est vide et qu'il n'y a pas de mot valide dans la mémoire. Le mot H reste dans la mémoire jusqu'à ce que des nouveaux mots le remplacent à chaque étage (figure 13.16).

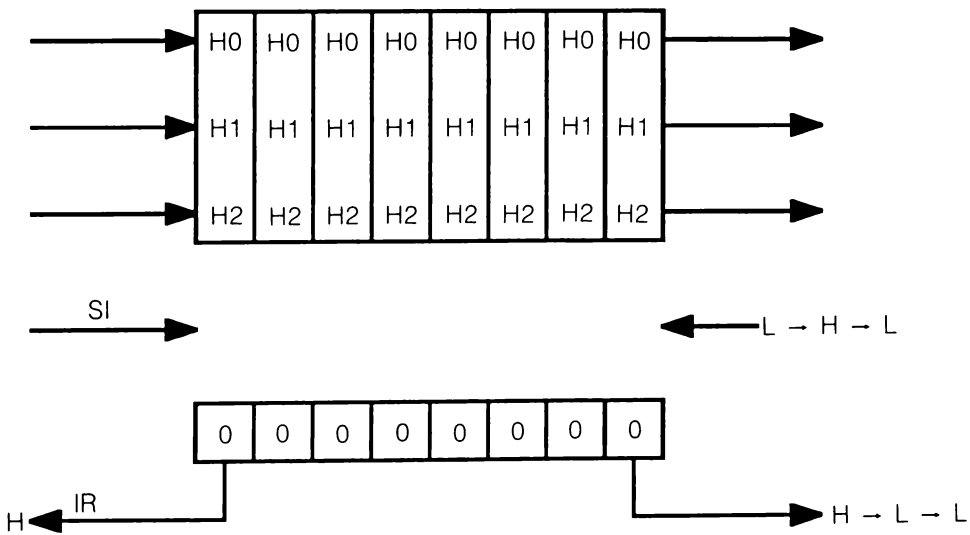


Figure 13.16 Lecture du dernier mot.

Voici maintenant un exemple de mémoire FIFO en circuits intégrés.

13.3.3 Exemple de mémoire FIFO: L'Am2812 d'Advanced Micro Devices

Cette mémoire dont le symbole logique apparaît à la figure 13.17 a une capacité de 32 mots de 9 bits. Particularité de cette mémoire : on peut la charger en série par l'entrée D0 à la cadence donnée par l'horloge SL. Après son chargement, le mot glisse vers la sortie comme les mots chargés en parallèle. Les mots peuvent aussi sortir en série sur la broche Q7 à la cadence donnée par l'horloge SD. Le signal supplémentaire FLAG est un indicateur qui signale par une tension haute que la moitié des registres FIFO sont pleins (il passe à 1 lorsque 15 registres en plus sont chargés). Les signaux de commande PL, IR, PD et OR sont conçus pour qu'une chaîne de circuits puisse constituer une mémoire FIFO de n'importe quelle profondeur.

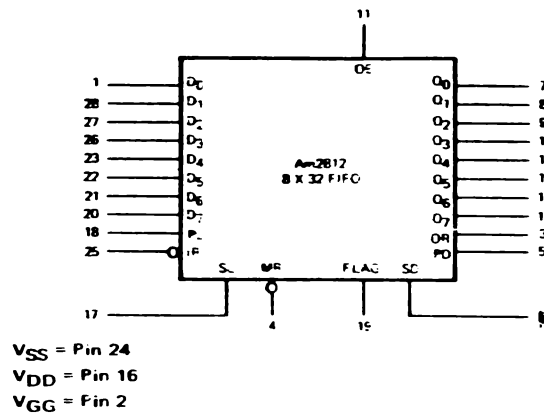


Figure 13.17 Symbole logique de la mémoire FIFO Am2812.

La figure 13.18 donne le schéma de principe d'un tel montage. L'encodeur de priorité Am9318 signale aux sorties F0F1F2 la profondeur des mots entrés en indiquant le poids de la priorité la plus haute qui a un indicateur à une tension basse (FLAG = 0).

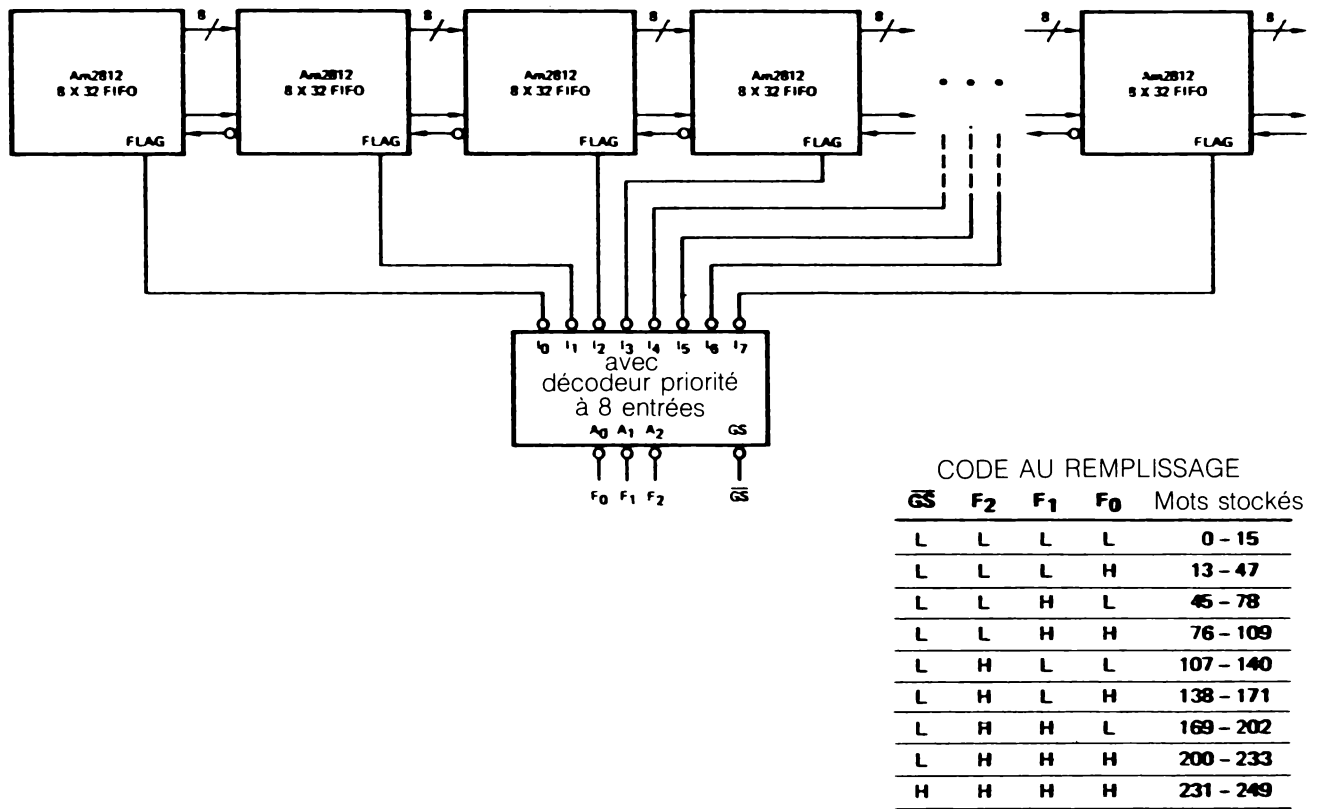


Figure 13.18 Expansion de mémoire FIFO à la profondeur désirée.

13.3.4 Applications des mémoires FIFO

13.3.4.1 Tampon de changement de cadence dans les transmissions

Soit un système A de transmission à grande vitesse. On veut lui faire remplir la mémoire FIFO et le libérer pour d'autres tâches.

Le système A est, par exemple, un microordinateur. Le système B, une imprimante par exemple, est beaucoup plus lent. Le système B demande des données à une cadence qu'il commande lui-même avec l'horloge SO, OR lui indique s'il y a des données prêtes. Le système A transmet à une cadence qu'il règle lui-même avec l'horloge SI, IR lui indique quand la pile est prête à recevoir une nouvelle donnée. On peut simultanément lire et écrire dans la mémoire FIFO. Des entrées et sorties synchrones ayant chacune leur horloge, sont asynchrones l'une par rapport à l'autre.

La pile peut aussi changer la cadence dans les lignes de transmission d'un réseau.

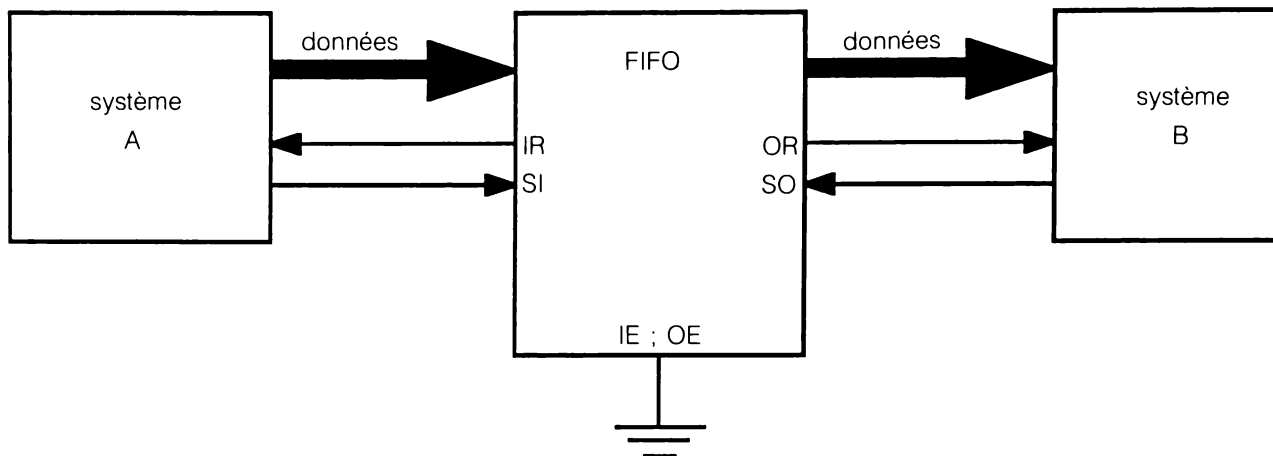


Figure 13.19 Tampon pour changement de cadence des transmissions.

13.3.4.2 Tampon de clavier

Si le clavier comporte un tampon, on peut taper un message pendant que l'ordinateur exécute une autre tâche. À la fin de celle-ci, l'ordinateur regarde s'il y a un message du clavier: si oui, il lit le tampon à grande vitesse pour exécuter le nouvel ordre.

13.4 Mémoires associatives CAM

13.4.1 Introduction

Comme les mémoires piles FIFO, on destine les mémoires associatives CAM (*Content Addressable Memory*) à certaines applications tel le domaine de l'intelligence artificielle. Ce nouveau champ d'application des ordinateurs émerge en robotique et dans les systèmes experts qui aident à prendre des décisions en fonction des connaissances codées par les spécialistes en la matière.

Comme pour toutes les mémoires vives, on peut lire et écrire des informations dans ces mémoires. La mémoire CAM permet une opération supplémentaire: l'association. Dans l'association, une partie d'un mot stocké dans la mémoire ou tout le mot représente une clé qui est un code. Au cours de l'association, la mémoire CAM compare automatiquement la clé d'entrée avec celle des mots en mémoire. S'il y a correspondance, un signal de sortie l'indique et l'on obtient l'adresse du mot de même clé que celle présentée à l'entrée. On commande ensuite une lecture ou une écriture à cette adresse. Les mémoires CAM sont très rapides. Elles sont en technologie ECL.

13.4.2 Mémoires associatives CAM

La figure 13.20 représente le diagramme fonctionnel d'une mémoire associative CAM 10155 de Signetics Corporation de 8 mots de 2 bits. Les lignes Y_0 à Y_7 sont bidirectionnelles. Elles servent à l'adressage des mots et chaque ligne correspond à un mot ; on parle alors de sélecteur linéaire d'adresse. On n'emploie pas un code binaire pour adresser un mot comme dans les autres mémoires. Les lignes Y_0 à Y_7 servent en sortie pour indiquer s'il y a correspondance lors d'une association. Le diagramme logique de chaque mot de cette mémoire apparaît à la figure 13.21.

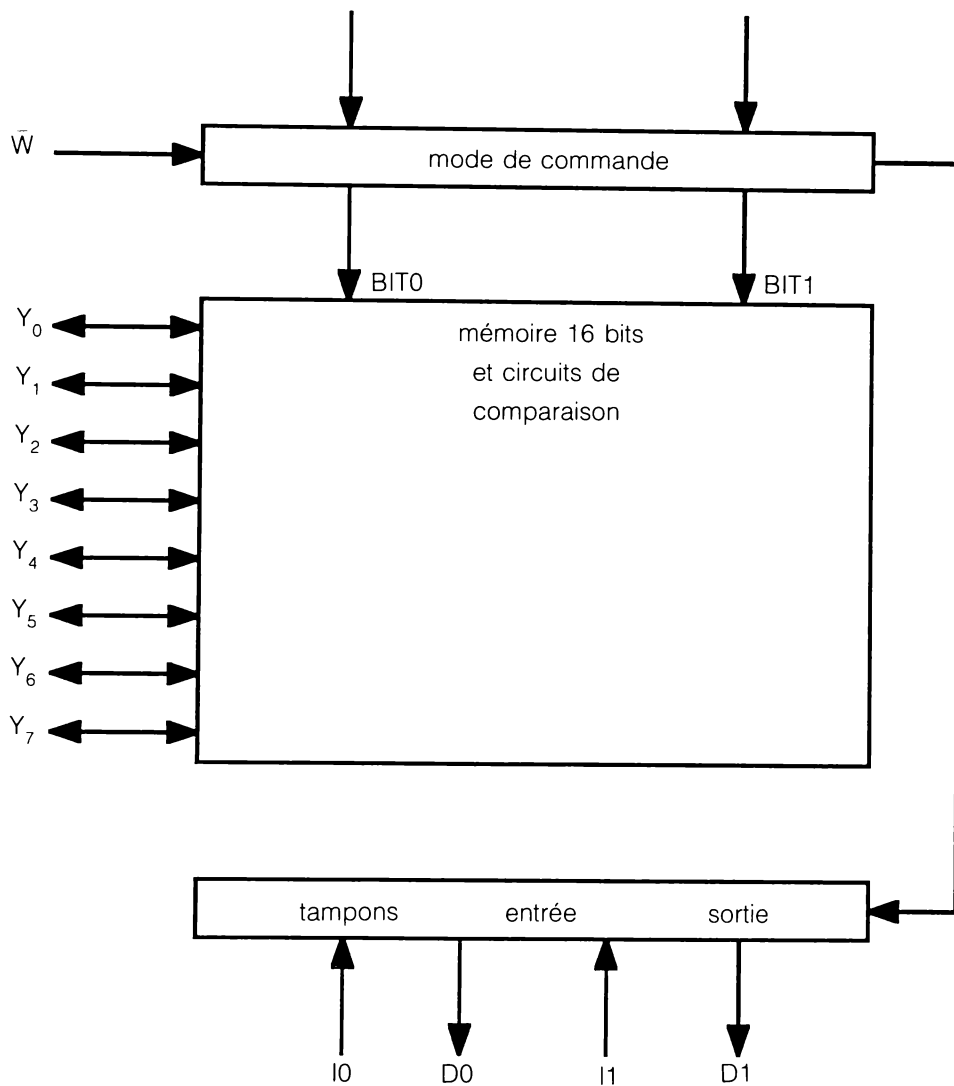


Figure 13.20 Diagramme fonctionnel d'une mémoire associative.

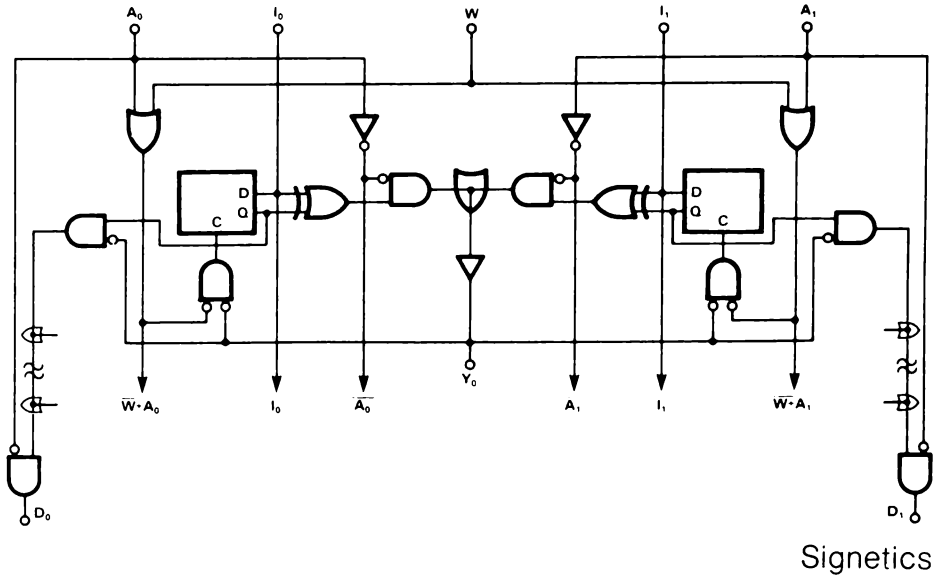


Figure 13.21 Diagramme logique d'un mot de la mémoire associative 10155.

La table de vérité de la figure 13.22 donne les différents modes de fonctionnement de cette mémoire.

Pour le mode lecture ($A_0 = A_1 = 0$ et $\overline{W} = 1$), l'état du mot sélectionné apparaît aux sorties D0 et D1. Pour le mode écriture ($A_0 = A_1 = \overline{W} = 0$), les sorties sont transparentes et suivent l'état des entrées I0 et I1. Les états de I0 et I1 sont inscrits dans le mot.

Pour le mode association, I0 et I1 contiennent l'information à comparer. Si les bascules à une adresse particulière sont respectivement dans le même état que I0 et I1 alors Y_n correspondant à cette adresse passe à 0. On peut se trouver dans le mode association avec une partie du mot seulement. Dans ce cas, ce sera le bit 0 (I0 et Q0) ou le bit 1 (I1 et Q1). On parle alors de mode association masquée. Dans ce cas, la clé est représentée par un seul bit. Comme on peut monter ces mémoires en série, on peut avoir des mots de longueur voulue et des clés correspondant à des codes déterminés.

Dans le mode hybride, on cherche l'association sur une moitié du mot (Q0 ou Q1) et on écrit dans l'autre moitié lorsque l'association est trouvée.

TABLE DE VÉRITÉ (LOGIQUE POSITIVE)

MODE	A ₀	A ₁	I ₀	I ₁	\bar{W}	D ₀	D ₁	Q _{n0}	Q _{n1}	Y _n
Association ¹	1	1	1/0	1/0	X	0	0	Q _{n0}	Q _{n1}	$Q_{n0} \oplus I_0 + Q_{n1} \oplus I_1$
Association ^{1,2} (masquée)	1	0	1/0	X	1	0	D ₁	Q _{n0}	Q _{n1}	$Q_{n0} \oplus I_0$
Association ^{1,2} (masquée)	0	1	X	1/0	1	D ₀	0	Q _{n0}	Q _{n1}	$Q_{n1} \oplus I_1$
Lecture ³	0	0	X	X	1	D ₀ ²	D ₁ ²	Q _{n0}	Q _{n1}	0 (adresse choisie)
Écriture ^{3,4}	0	0	1/0	1/0	0	I ₀	I ₁	I ₀	I ₁	0 (adresse choisie)
Hybride ⁵	1	0	1/0	1/0	0	0	I ₁	Q _{n0}	$I_1 \cdot \bar{Y}_n$	$Q_{n0} \oplus I_0$
Hybride ⁵	0	1	1/0	1/0	0	I ₁	0	$I_0 \cdot \bar{Y}_n$	Q _{n1}	$Q_{n1} \oplus I_1$

Q_{n0} Contenu de l'adresse n, bit 0

Q_{n1} Contenu de l'adresse n, bit 1

Signetics

Notes

1. 1 désappareillé, 0 appareillé
2. Mode lecture : $D_0 = Q_{00} \cdot \bar{Y}_0 + Q_{10} \cdot \bar{Y}_1 + \dots + Q_{70} \cdot \bar{Y}_7$
 $D_1 = Q_{01} \cdot \bar{Y}_0 + Q_{11} \cdot \bar{Y}_1 + \dots + Q_{71} \cdot \bar{Y}_7$
3. En fonctionnement normal une seule adresse Y est choisie pour la lecture et l'écriture
4. L'écriture est transparente
5. Simultanément, association et écriture à chaque adresse « appareillée »

Figure 13.22 Table de vérité d'une mémoire associative CAM 10155.

Les ordinateurs comportant ce type de mémoire ne sont pas encore très répandus. Nous nous contenterons donc de cette description élémentaire d'une mémoire associative CAM.

13.5 Mémoires à registres à couplage de charge CCD

13.5.1 Introduction

Cette mémoire est incluse dans un cours de circuits numériques à titre purement documentaire. On l'utilise dans les caméras de télévision à semiconducteurs et dans les filtres actifs. Le nombre de charges élémentaires représente l'information, et non une tension comme dans les circuits numériques conventionnels. On stocke l'information sous forme analogique et on la transporte d'un point à un autre par manipulation externe de tensions.

13.5.2 Principe de couplage de charge

Examinons le fonctionnement d'une cellule élémentaire d'un registre à couplage de charge avec une horloge biphasée.

Supposons que les transistors MOS sont idéaux, c'est-à-dire identiques à un interrupteur ouvert dans le cas du blocage et à un interrupteur fermé dans le cas de la conduction. Le réservoir de stockage des charges est constitué de condensateurs tels ceux représentés à la figure 13.23. Les condensateurs sont constitués par une électrode du transistor MOS et le substrat.

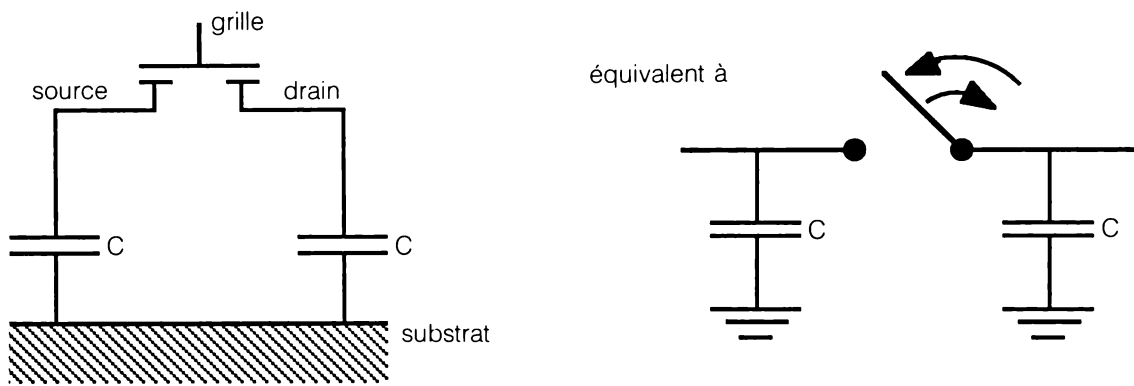


Figure 13.23 Schéma équivalent du transistor MOS d'une cellule élémentaire CCD.

Le schéma de principe de la cellule élémentaire apparaît à la figure 13.24. L'horloge a deux phases. On suppose au départ que C_1 a une charge Q_1 et que C_2 et C_3 n'ont pas de charge. À l'état intermédiaire la phase 1 active le premier transistor et C_2 se charge. La charge Q_2 , par symétrie, est égale à la charge Q_1 originale divisée par 2, soit $Q_2 = \frac{Q_1}{2}$

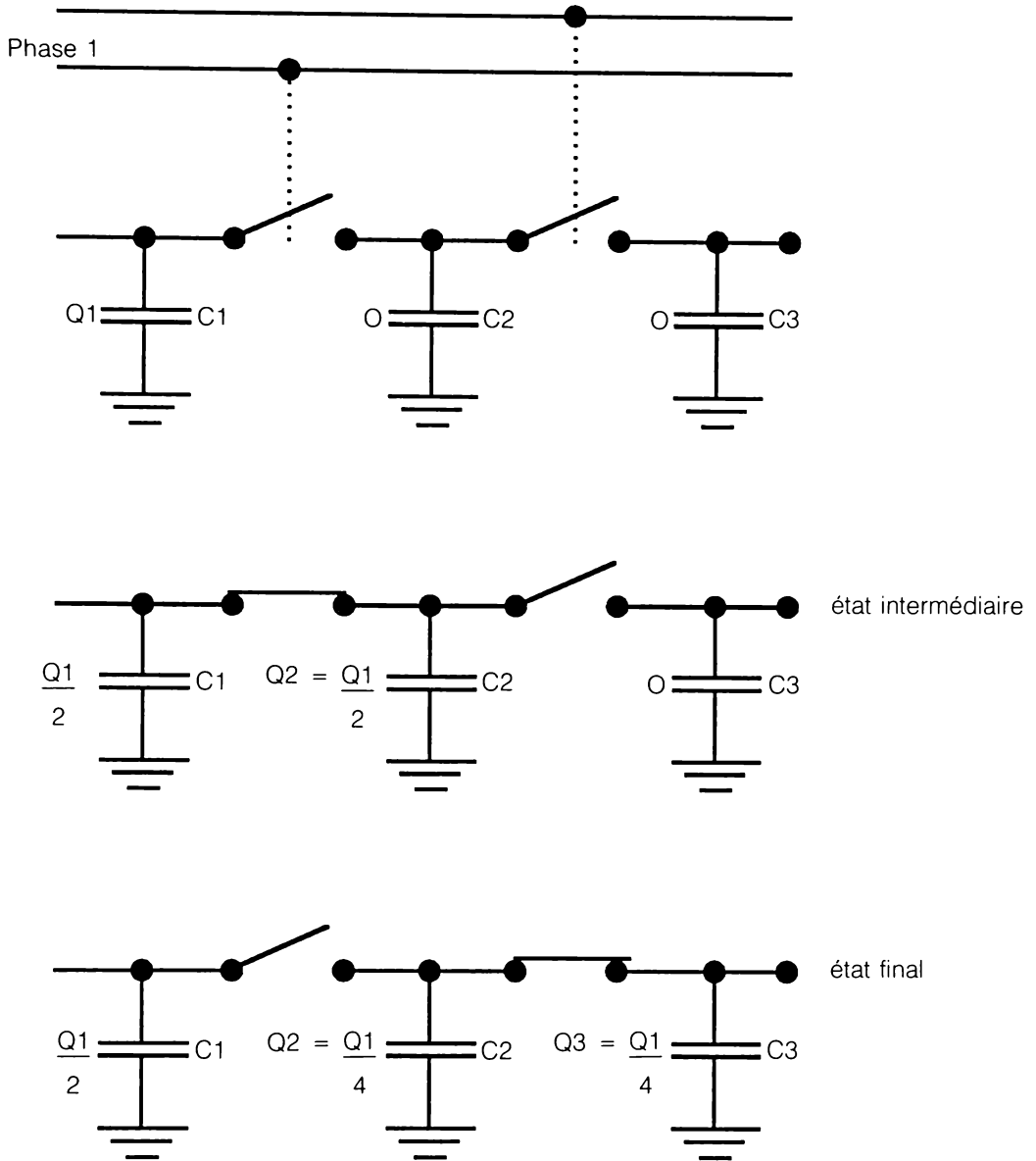


Figure 13.24 Principe d'une cellule élémentaire CCD.

À l'état final la phase 2 de l'horloge active le deuxième transistor et la charge est transférée sur C_3 . Par symétrie,

$$Q_3 = \frac{Q_2}{2} = \frac{Q_1}{4}$$

Le quart seulement de la charge Q_1 représentant l'information analogique a été déplacé. La technologie CCD réduit au maximum cet affaiblissement. Quand un interrupteur est fermé, et après équilibrage des charges, la tension est la même de chaque

côté de l'interrupteur. En donnant une géométrie particulière au canal ou à la grille du transistor MOS, on crée des champs électriques dissymétriques. Cela permet à toutes les charges (ou presque) de passer au transistor suivant. On obtient des rendements supérieurs à 99,9 % pour des centaines de cellules. On rend le canal dissymétrique en le dopant irrégulièrement. Les charges stockées dans les condensateurs des cellules proviennent du signal d'un amplificateur ou de la lumière. Dans ce dernier cas, elles représentent, sous forme analogique, la quantité de lumière reçue par chaque cellule. On peut alors construire le capteur linéaire d'image représenté par le diagramme fonctionnel de la figure 13.25 ou le capteur d'image complet représenté par le diagramme fonctionnel de la figure 13.26.

Nous n'approfondirons pas cet exposé, purement documentaire dans un cours de circuits numériques, sur ces mémoires.

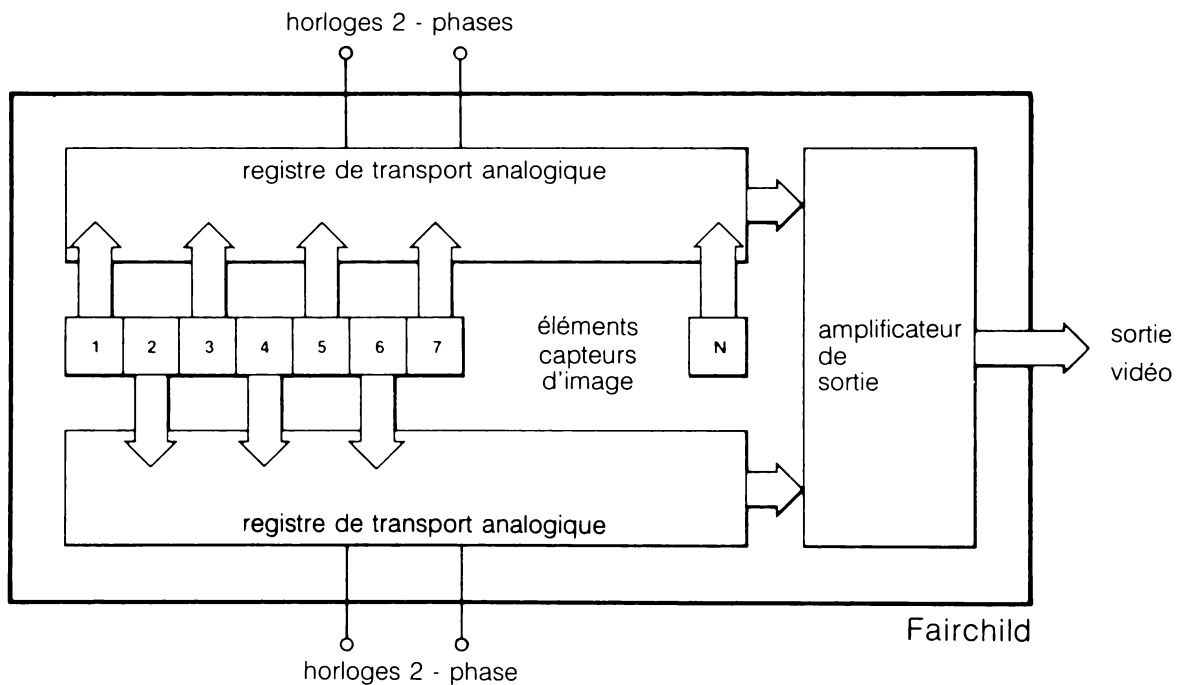


Figure 13.25 Diagramme fonctionnel d'un capteur d'image linéaire à registres CCD.

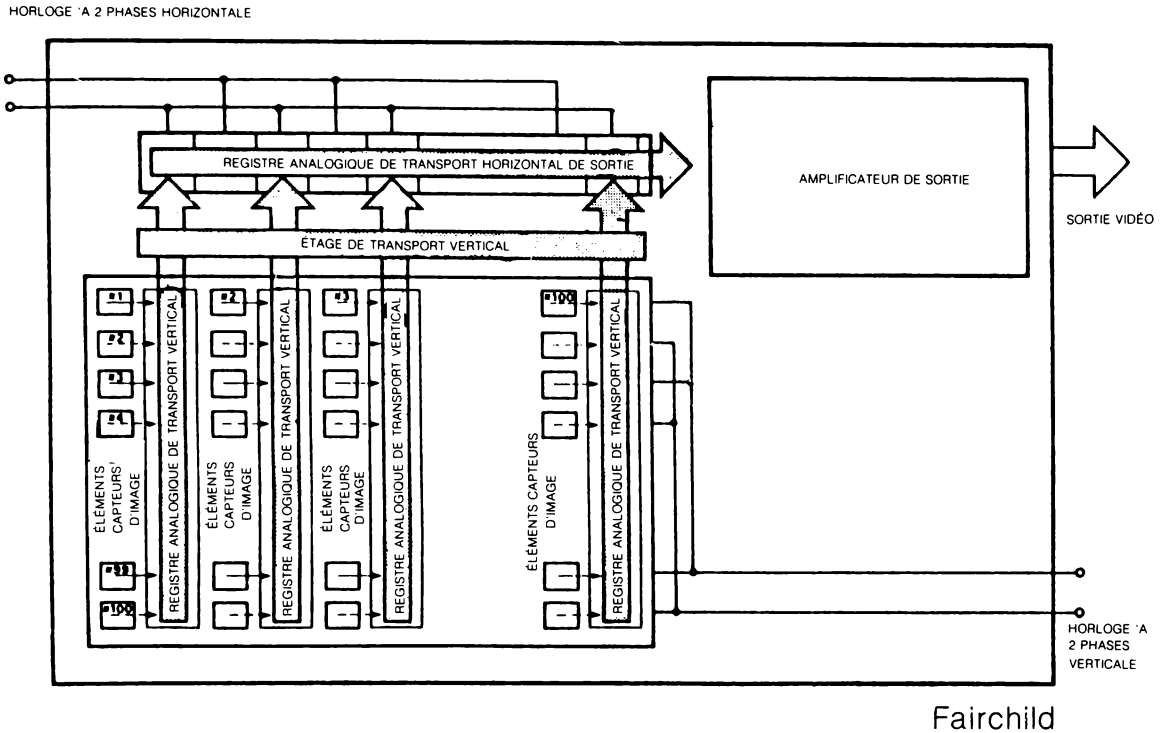


Figure 13.26 Diagramme fonctionnel d'un capteur d'image à registres CCD.

13.6 Mémoires à bulles magnétiques

13.6.1 Introduction

Les mémoires à bulles magnétiques stockent les données sous forme d'un domaine magnétique cylindrique dans un matériau sous forme de film très mince. Par convention la présence d'un domaine (ou bulle) correspond à 1 binaire et son absence à 0 binaire. Le signal électrique d'un générateur crée une bulle. Un détecteur transforme celle-ci en signal électrique. Les signaux aux broches sont compatibles TTL.

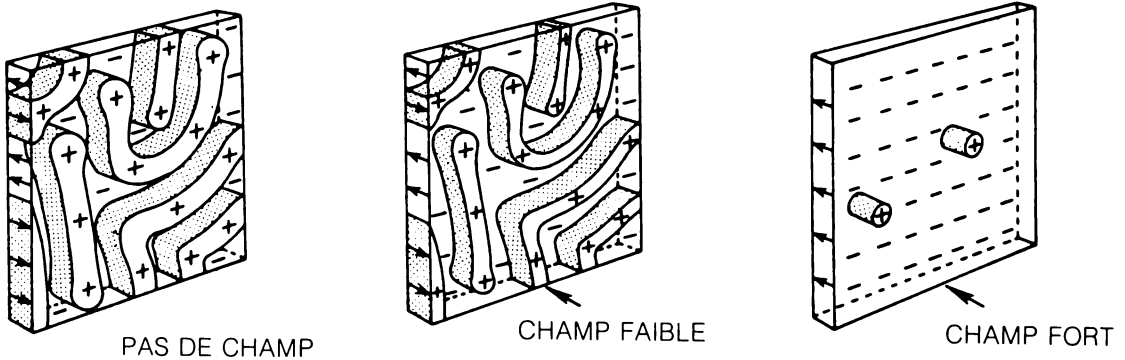
Les mémoires à bulles magnétiques conservent l'information stockée même en absence d'alimentation et comme on peut y inscrire de nouvelles informations elles offrent les avantages des mémoires ROM, EPROM et RAM.

Les bulles se déplacent sous l'influence d'un champ magnétique extérieur. La disposition de formes métalliques en chevrons placées sur le substrat oriente les déplacements des domaines magnétiques. L'accès à l'information n'a lieu que si les bulles passent sous une tête de lecture, d'où un temps d'accès à l'information de l'ordre de quelques millisecondes. Les données sont lues en série. En densité d'information et en accès, ces mémoires sont analogues aux disques magnétiques. L'avantage

des mémoires à bulles réside dans le fait que le support est fixe et que ce sont les bulles qui voyagent. Les mécanismes des lecteurs de disques sont sensibles aux vibrations et aux chocs, les mémoires à bulles sont insensibles aux vibrations. Pour cette raison, les appareils portatifs, les appareils à bord de véhicules, les dispositifs de robotique comportent des mémoires à bulles magnétiques.

13.6.2 Principe de fonctionnement

Les domaines magnétiques existent dans tous les matériaux magnétiques. Un domaine magnétique est un ensemble d'atomes de même orientation magnétique. En l'absence de champ magnétique, les domaines ont la forme d'un serpent. Les domaines sont distribués de façon aléatoire et le champ magnétique résultant est nul car les surfaces d'aimantation opposées s'annulent. La caractéristique essentielle du film utilisé avec les mémoires à bulles est l'anisotropie uniaxiale: c'est-à-dire que le champ magnétique doit être perpendiculaire au film (voir la figure 13.27). Si on applique un petit champ magnétique perpendiculaire au film, les domaines dont l'aimantation est opposée à celle du champ appliqué se réduisent à d'étroits rubans. Si l'intensité du champ magnétique appliqué augmente, ces rubans se réduisent à des cylindres appelés bulles. Si on augmente encore le champ magnétique les bulles disparaissent et l'on a saturation.



CHAMP MAGNÉTIQUE EXTÉRIEUR

Reproduit avec la permission de Intel Corporation, © 1986

Figure 13.27 Domaines magnétiques d'un film mince sous l'influence d'un champ magnétique croissant.

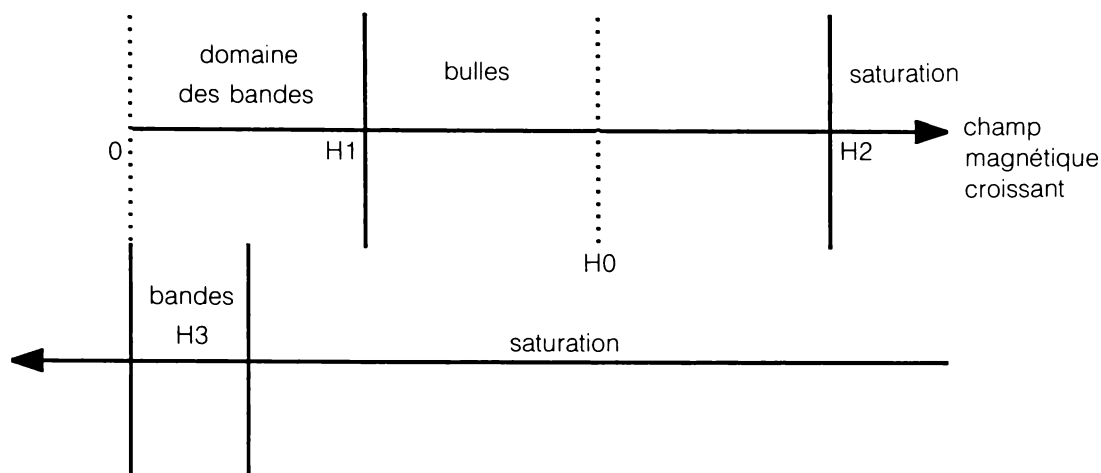
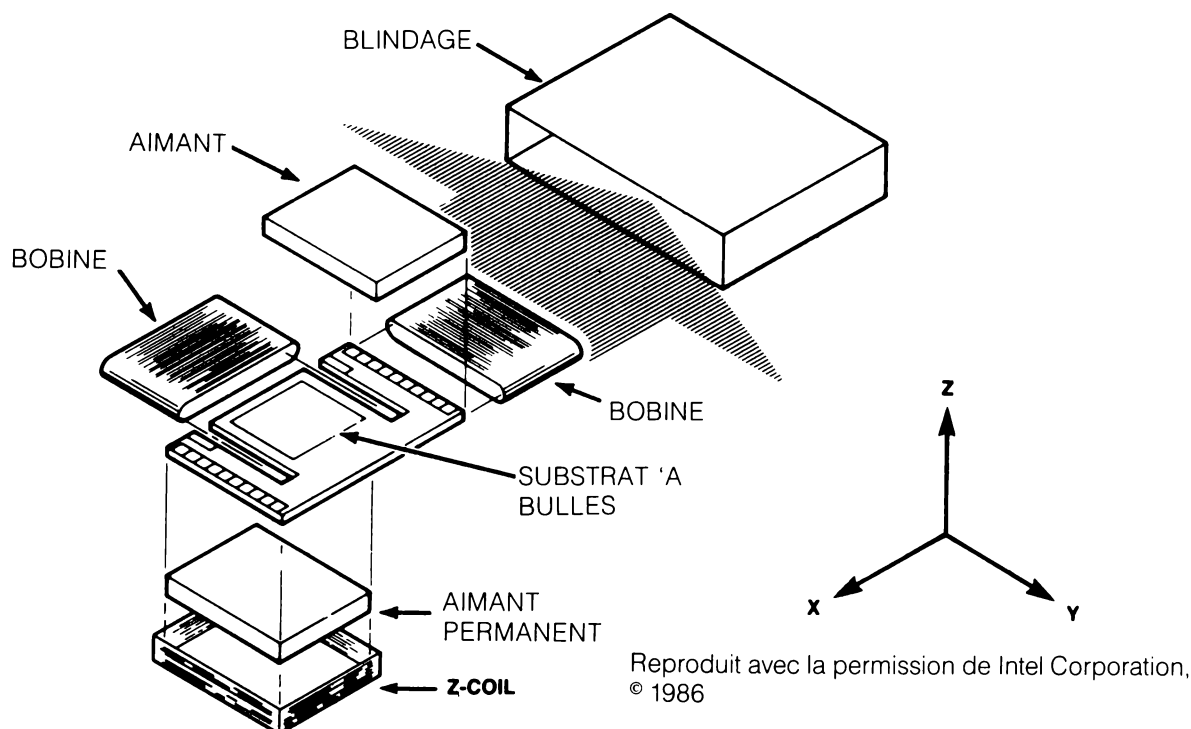


Figure 13.28 Hystérésis de la magnétisation d'une couche.

Si on fait décroître le champ, on ne retrouve pas les bulles après la saturation. Au-dessous d'une certaine valeur H_3 du champ inférieur à H_1 , on tombe tout de suite dans les bandes. Il y a donc un phénomène d'hystérésis illustré à la figure 13.28. Les bulles ont des dimensions de l'ordre de 1 à 2 μm et elles réagissent fortement entre elles. Il faut au moins 3 ou 4 diamètres de bulles de distance entre elles. Pour maintenir les bulles en vie, il faut créer un champ magnétique permanent H_0 compris entre H_1 et H_2 . Ce champ est créé par une paire d'aimants permanents de part et d'autre du support. C'est de là que provient la rémanence des mémoires à bulles. (Voir la figure 13.29.)



Reproduit avec la permission de Intel Corporation, © 1986

Figure 13.29 Vue éclatée d'une mémoire à bulles.

chacune des 256 boucles, ces bits apparaissent simultanément sur le rail de lecture. Dans les mémoires à bulles, l'unité d'information est la page qui représente les 256 bits occupant le même rang dans les boucles.

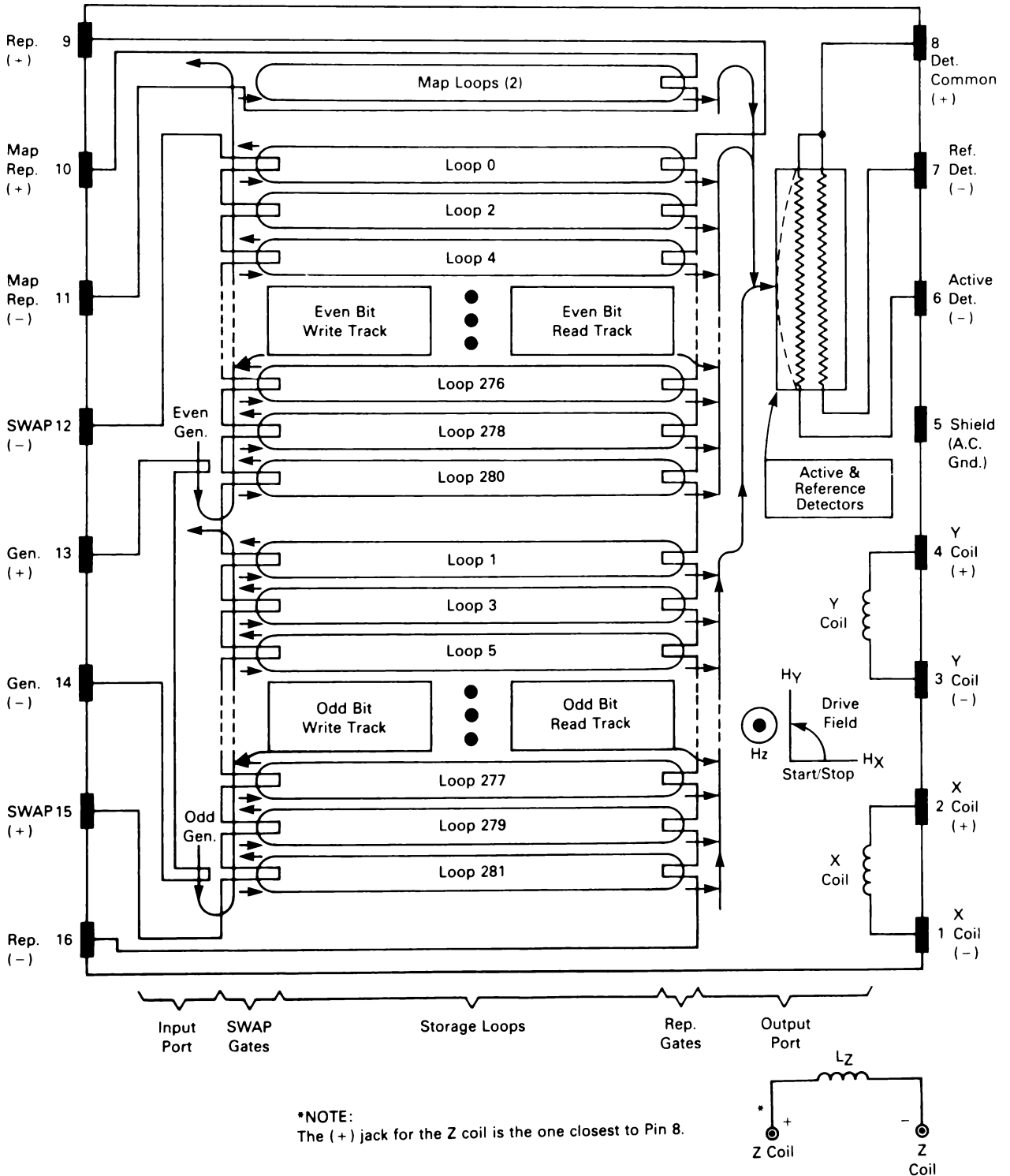


Figure 13.31 Diagramme fonctionnel d'une mémoire à bulles MBM2256.

On met l'ensemble en mouvement en appliquant un champ magnétique tournant dans un plan parallèle au film. Le champ est créé par deux bobines X et Y. Les déplacements des bulles sont canalisés par des motifs en chevrons asymétriques, d'alliage de fer et de nickel, à la surface du film magnétique. Les deux bobines X et Y créent un champ tournant et les bulles se déplacent dans la direction du champ le plus fort. (Voir la figure 13.30.) Les bulles ne peuvent se déplacer que dans une seule direction à cause de l'asymétrie des chevrons. Il n'y a pas déplacement de matière mais changements successifs des champs magnétiques aux parois de la bulle, ce qui crée l'impression de mouvement.

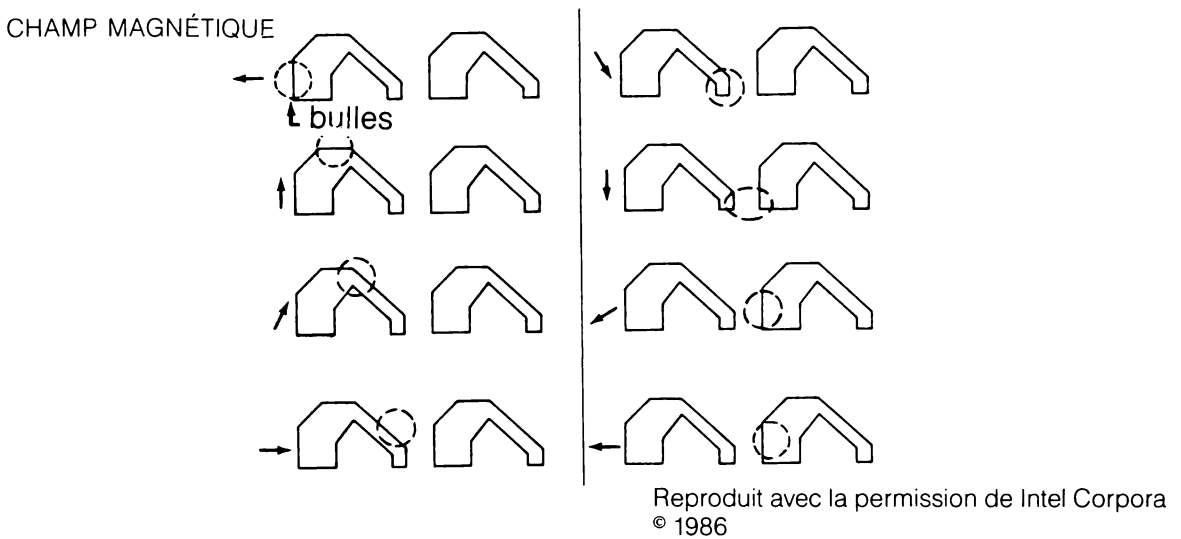


Figure 13.30 Propagation des bulles magnétiques dans un champ tournant.

13.6.3 Architecture d'une mémoire à bulles

La figure 13.29 est une vue éclatée d'une mémoire à bulles. La puce mémoire à bulles est formée d'un support constitué d'un substrat de grenat de gadolinium-gallium appelé GGG recouvert d'un film épitaxié magnétique comprenant des terres rares (yttrium, samarium, lutécium, etc.). Dans ce film épitaxié se créent ou s'effacent les bulles et s'intègrent les motifs en chevrons asymétriques. Deux aimants permanents de polarisation de part et d'autre de la puce maintiennent en vie les bulles et assurent la rémanence de la mémoire. Les bobines X et Y commandent la rotation du champ et donc le déplacement des bulles. Le boîtier est constitué d'un blindage métallique qui protège la mémoire des perturbations externes.

La figure 13.31 est le diagramme fonctionnel d'une mémoire à bulles MBM2256 de MOTOROLA. Les données sont stockées dans les 256 boucles effectives de 1024 bits chacune. On prévoit des boucles supplémentaires pour la détection/correction d'erreurs et pour servir de boucles redondantes pour remplacer celles ayant des défauts de fabrication détectés au moment des tests de la mémoire. On utilise deux rails pour la lecture et l'écriture qui peuvent être simultanées. On extrait un bit de

Le générateur de bulles est un conducteur en épingle à cheveux. Sous l'effet d'une impulsion de courant, ce conducteur crée une variation de champ magnétique perpendiculaire au film épitaxié. Selon le sens du courant, il y a création ou suppression d'une bulle. Les bulles sont créées dans le rail d'écriture, amenées en face des boucles et dupliquées dans les boucles.

Pour la lecture, on duplique les bulles pour ne pas perdre l'information, on les amène sur le rail de lecture et on les fait passer dans un détecteur.

Beaucoup de sociétés ont abandonné la recherche dans le domaine des mémoires à bulles, d'autres ont pris la relève (MOTOROLA, INTEL). On ignore l'avenir de ce type de mémoire et les champs d'application où il sera une solution avancée.

13.7 Questions et problèmes

- 1. Que signifie l'acronyme FIFO ?**
- 2. Définissez la capacité de stockage d'une pile FIFO ?**
- 3. Quels sont les quatre groupes de broches d'entrées/sorties d'une pile FIFO ?**
- 4. Tracez le diagramme fonctionnel d'une pile FIFO avec les six fonctions principales.**
- 5. Quelle est la fonction du tampon d'entrée d'une pile FIFO ?**
- 6. Décrivez l'écriture dans une pile vide.**
- 7. Tracez le diagramme fonctionnel du registre de commande d'une pile FIFO.**
- 8. Tracez un diagramme d'interconnexions de mémoires Am2841 d'Advanced Micro Devices pour réaliser une mémoire de 8 bits \times 128 mots de profondeur.**
- 9. Tracez le diagramme fonctionnel de la mémoire d'une pile FIFO.**
- 10. Que signifie l'acronyme CAM ?**
- 11. Quels sont les différents modes de fonctionnement d'une mémoire associative CAM ?**
- 12. Quel est le type d'adressage d'une mémoire associative CAM ?**
- 13. Décrivez le fonctionnement d'une mémoire CAM 10155 lorsque les entrées sont $A_0 = 1$, $A_1 = 0$ et $W = 0$. Les données à l'entrée sont $I_{110} = 11$.**
- 14. Que signifie le sigle CCD ?**
- 15. Quel est l'élément de stockage de l'information dans une pile à couplage de charge CCD ?**

16. Décrivez le principe de fonctionnement du couplage de charge dans un registre CCD.
17. Citez les applications des registres CCD.
18. Qu'appelle-t-on bulle magnétique ?
19. Pourquoi une mémoire à bulles est-elle rémanente ?
20. Quel est le rôle de mémoire, des bobines, des aimants permanents et du blindage d'une mémoire à bulles ?
21. Tracez le diagramme fonctionnel d'une mémoire à bulles à quatre ou cinq boucles.

Logiciels de simulation de circuits logiques

14

14.1 Objectifs

Après étude de ce chapitre, l'étudiant devra

1. Connaître l'existence de logiciels de simulation de circuits logiques.
2. Savoir citer quelques exemples de logiciels commerciaux.
3. Avoir le goût de s'initier à l'utilisation d'un logiciel de simulation de circuits logiques.

14.2 Survol du sujet

Ce dernier chapitre contraste avec tous les précédents dans lesquels nous avons tenté de développer le goût de l'expérimentation sur des circuits réels et de vous sensibiliser aux limitations technologiques comme la charge, la consommation, la vitesse, etc. Dans ce chapitre, nous verrons qu'on peut concevoir un système de façon purement abstraite. On peut concevoir et tracer le schéma d'un système numérique sans toucher un crayon : telle est la conception assistée par ordinateur. Une fois le système conçu, on n'a pas besoin de monter un prototype pour vérifier sa justesse : des logiciels de simulation essaient le circuit entré dans la mémoire de l'ordinateur. Celui-ci génère des chronogrammes, affiche et vérifie des états logiques, simule l'influence des retards et des temps de propagation, etc. Une fois cette simulation terminée, un logiciel « capture » le schéma corrigé et fait le négatif du circuit imprimé, première étape de matérialisation. Ce logiciel génère aussi le programme de commande de la machine qui réalisera les trous du circuit imprimé.

Ne vous découragez pas. Pour se servir efficacement de ces logiciels un peu de sens pratique suffit : vous en avez acquis amplement tout au long de ce livre.

14.3 Quelques logiciels de simulation des circuits logiques

Signalons les caractéristiques techniques de quelques logiciels pour micro-ordinateurs, disponibles au moment de la rédaction de ce livre (1987). Les deux micro-ordinateurs choisis sont l'IBM/PC et compatibles (à système d'exploitation MS/DOS) et le Macintosh d'Apple.

14.3.1 Quelques logiciels de simulation logique sous MS/DOS

14.3.1.1 SPECTRUM SOFTWARE MICROLOGIC

Ce logiciel crée un schéma constitué de circuits intégrés numériques déjà en librairie (il y a environ 36 types de portes) et simule le fonctionnement du circuit ainsi créé. On peut diviser les diagrammes logiques en pages contenant chacune la circuiterie d'environ 200 portes. On peut simuler jusqu'à concurrence de neuf pages, soit l'équivalent d'un circuit de 1800 portes. Le programme permet de choisir parmi 10 formes d'ondes d'horloge. MICROLOGIC produit des chronogrammes en des points choisis par l'utilisateur et affiche les retards et les petits aléas de fonctionnement.

14.3.1.2 P-CAD

**Personal CAD SYSTEMS INC.
PC-LOGS ou LOGS II**

Ce logiciel s'utilise avec PC-CAPS. Il permet de tracer le schéma d'un circuit. Des logiciels de simulation ou des logiciels de conception de circuits imprimés capturent ce circuit. Selon la publicité de P-CAD, on observe le comportement du fonctionnement du circuit simulé de la même façon qu'on observerait celui du circuit réel sur un oscilloscope ou un analyseur logique.

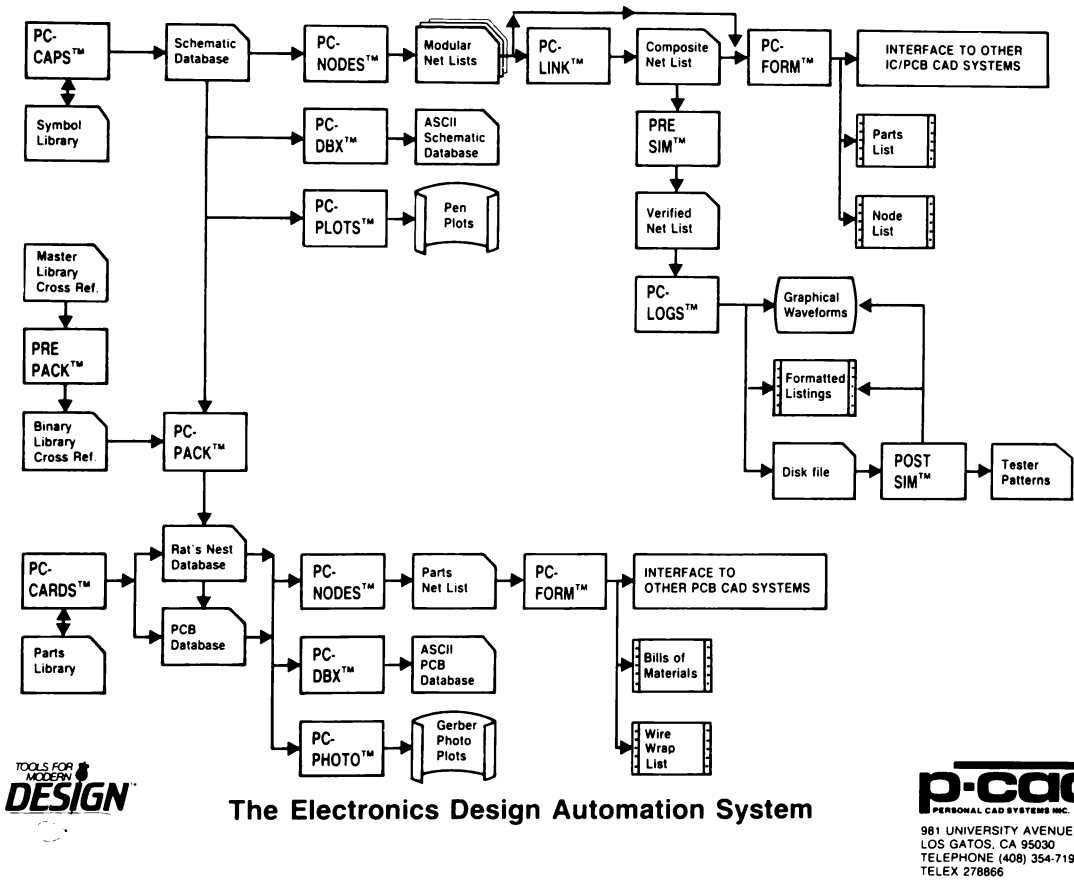
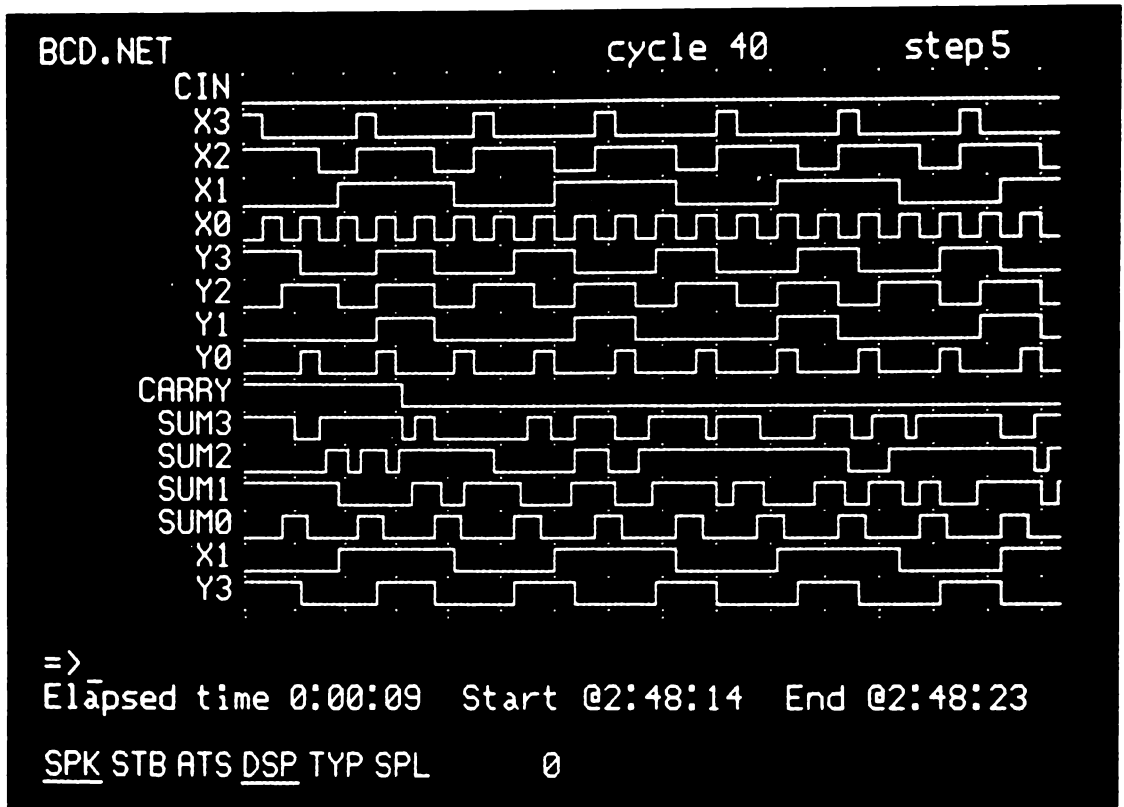


Figure 14.1 Diagramme synoptique du logiciel P-CAD.



P-CAD

Figure 14.2 Chronogrammes des sorties de la simulation.

CYCLE	STEP	X3	X2	X1	X0	Y3	Y2	Y1	Y0	CARRY	SUM3	SUM2	SUM1	SUM0	X1	Y3
1110	7	0111	E	1	FCED7D9F	1101	B									
0100	2	0000	0	1	300C951A	1101	B									
0100	2	0000	0	1	300C951A	0101	A									
0100	2	0000	0	1	1000011A	0001	8									
0100	2	0000	0	1	1110013A	0011	C									
0100	2	0000	0	1	10000110	0001	8									
0100	2	0000	0	0	10000010	0001	8									
0100	2	0000	0	0	30000010	0101	A									
0100	2	0000	0	0	20000000	0100	2									
1000	1	1000	1	0	04000040	0100	2									
0011	C	0010	4	0	20014971	0100	2									
0011	C	0010	4	0	00014C91	0000	0									
0011	C	0010	4	1	00017703	0000	0									
0011	C	0010	4	1	20014973	0100	2									

P-CAD

Figure 14.3 Table des états des sorties de la simulation.

Lorsque la section PC-CAPS (figure 14.1) du logiciel crée un diagramme logique ou une partie de diagramme logique, on peut utiliser le logiciel de simulation PC-LOGS pour analyser la performance et le bon fonctionnement du circuit conçu.

Les états logiques sont au nombre de 12. Il y a trois niveaux logiques (haut, bas et inconnu) sous quatre conditions de charge (alimentation, haute impédance, résistance, commande). Ceci permet une bonne simulation des composants trois états, des transistors MOS et des OU câblés. Le logiciel affiche sur l'écran les chronogrammes, les formes d'ondes (figure 14.2) ou les états, sous forme alphanumérique dans une table (figure 14.3), des sorties de la simulation.

L'utilisateur du logiciel commence ou arrête la simulation n'importe quand. On peut examiner jusqu'à 16 noeuds simultanément sur l'écran. On peut faire passer les noeuds à un certain état pour simuler des pannes. Les fonctionnements aléatoires et les transitoires apparaissent en rouge sur les formes d'ondes de sortie de la simulation.

Les sorties du logiciel de simulation peuvent entrer dans un programme de vérification ou de dépannage du produit final. Une fois le circuit conçu et son fonctionnement vérifié sur le simulateur, on fabrique le circuit imprimé.

14.3.2 LOGIMAC : logiciel de simulation pour Macintosh d'Apple



Figure 14.4 Logiciel Logimac.

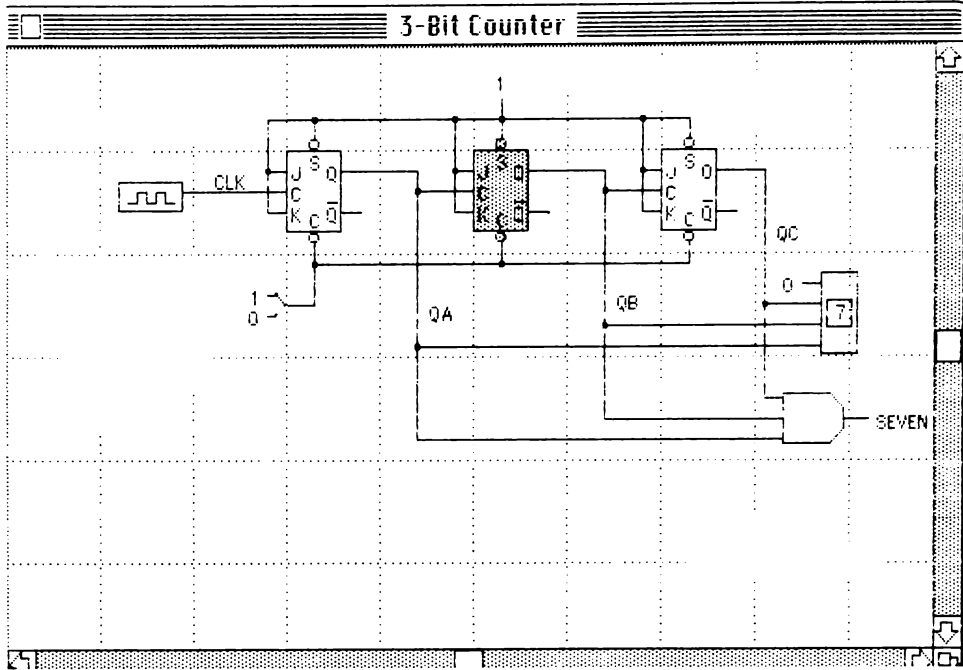


Figure 14.5 Exemple de circuit accompagnant le logiciel.

Ce logiciel trace un circuit logique à partir d'une banque de portes et de circuits intégrés. Il programme les retards et détecte des oscillateurs.

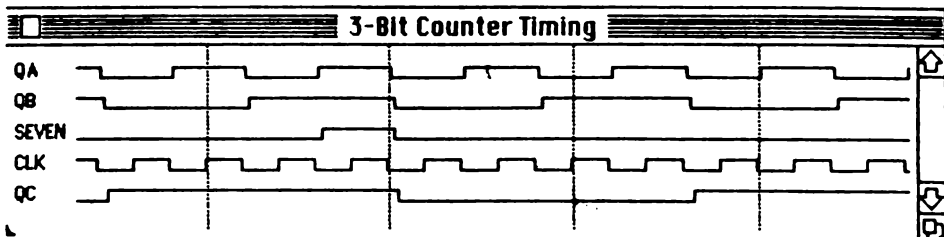


Figure 14.6 Chronogramme correspondant au circuit de la figure 14.5.

Le logiciel affiche les chronogrammes demandés dans une fenêtre de l'écran du moniteur du Macintosh.

Au fil des ans, des logiciels plus performants que ceux énumérés ci-dessus apparaîtront. Faites-nous en part.

Appendice A

Fiches techniques

Fiche A.1 TTL série 74LS

Symbole	Paramètre	MIN	TYP	MAX	Unité	Condition
V_{CC}	tension d'alimentation	4,75	5,0	5,25	V	
V_{IH}	tension d'entrée de niveau haut	2,0			V	
V_{IL}	tension d'entrée de niveau bas			0,8	V	
V_{OH}	tension de sortie de niveau haut	2,7	3,5		V	$I_{OH} = -0,4 \text{ mA}$
V_{OL}	tension de sortie de niveau bas		0,35	0,5	V	$I_{OL} = 8 \text{ mA}$
I_{IH}	courant d'entrée de niveau haut			20	μA	$V_{IN} = 2,7 \text{ V}$
I_{IL}	courant d'entrée de niveau bas			-0,4	mA	$V_{IN} = 0,4 \text{ V}$
I_{OH}	courant de sortie de niveau haut			-0,4	mA	
I_{OL}	courant de sortie de niveau bas			8,0	mA	
I_{OS}	courant de court-circuit	-20		-100	mA	$V_{CC} = 5,25 \text{ V}$
t_{PLH}	temps de propagation haut		9,0	15	ns	$C_L = 15 \text{ pF}$
t_{PHL}	temps de propagation bas		10	15	ns	$C_L = 15 \text{ pF}$

Fiche A.2 CMOS série 74HC

Symbole	Paramètre	MIN	TYP	MAX	Unité	Condition
V_{CC}	tension d'alimentation	2,0	5,0	6,0	V	
V_{IH}	tension d'entrée de niveau haut	3,5	2,7		V	
V_{IL}	tension d'entrée de niveau bas		2,0	1,0	V	
V_{OH}	tension de sortie de niveau haut	4,9	5,0		V	$V_{CC} = 5,0 \text{ V}$ $I_{OH} = -20 \mu\text{A}$
V_{OL}	tension de sortie de niveau bas	0,1	0,0		V	$V_{CC} = 5,0 \text{ V}$ $I_{OL} = 20 \mu\text{A}$
I_{IH}	courant d'entrée de niveau haut		0,0	0,1	μA	$V_{IH} = V_{CC}$
I_{IL}	courant d'entrée de niveau bas		0,0	-0,1	μA	$V_{IL} = 0,0 \text{ V}$
I_{OH}	courant de sortie de niveau haut			-4,0	mA	$V_{CC} = 5,0 \text{ V}$ $V_{OH} = 4,5 \text{ V}$
I_{OL}	courant de sortie de niveau bas			4,0	mA	$V_{CC} = 5,0 \text{ V}$ $V_{OL} = 0,28 \text{ V}$
I_{CC}	courant d'alimentation			2,0	μA	$V_{CC} = 6 \text{ V}$ $I_O = 0,0 \text{ V}$
t_{PLH}	temps de propagation haut		8,0	15	ns	$V_{CC} = 5,0 \text{ V}$ $C_L = 15 \text{ pF}$
t_{PHL}	temps de propagation bas		8,0	15	ns	
t_{TLH}	temps de transition haut		5,0	10	ns	
t_{THL}	temps de transition bas		5,0	10	ns	
C_{in}	Capacité d'entrée		5,0	10	pF	Par entrée
C_{PD}	Capacité de dissipation		20		pF	Par porte

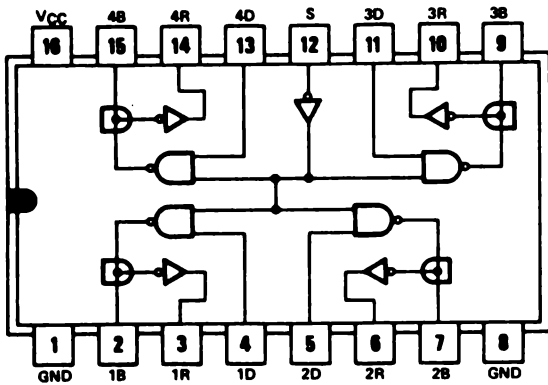
Fiche A.3 CMOS série 4000

Symbole	Paramètre	MIN	TYP	MAX	Unité	Condition *
V_{DD}	tension d'alimentation	3,0	5,0	15	V	
V_{IH}	tension d'entrée de niveau haut	3,5	2,75		V	
V_{IL}	tension d'entrée de niveau bas		2,25	1,0	V	
V_{OH}	tension de sortie de niveau haut	4,95	5,0		V	$I_{OH} < -1 \mu A$
V_{OL}	tension de sortie de niveau bas		0,0	0,05	V	$I_{OL} < 1 \mu A$
I_{IH}	courant d'entrée de niveau haut		0,0	0,1	μA	$V_{DD} = 15 V$
I_{IL}	courant d'entrée de niveau bas		0,0	-0,1	μA	$V_{DD} = 15 V$
I_{OH}	courant de sortie de niveau haut	-0,4	-0,8		mA	$V_{OH} = 4,6 V$
I_{OL}	courant de sortie de niveau bas	0,4	0,8		mA	$V_{OL} = 0,4 V$
I_{DD}	courant d'alimentation		0,0	1,0	μA	$I_O = 0,0 \mu A$ $f = 0,0 KHz$
t_{PLH}	temps de propagation haut		125	250	ns	$C_L = 50 pF$
t_{PHL}	temps de propagation bas		125	250	ns	$C_L = 50 pF$
t_{TLH}	temps de transition haut		100	200	ns	$C_L = 50 pF$
t_{THL}	temps de transition bas		100	200	ns	$C_L = 50 pF$
C_{in}	Capacité d'entrée		5,0	7,5	pF	$V_{in} = 0,0 V$

* $V_{DD} = 5 V$ sauf indication contraire

Fiche A.4 Émetteur-récepteur unipolaire 75138

75138



$B = \overline{D}\overline{S}$, $R = B$

Entrée	Sortie
S D	B R
L H	L H
L L	H L

Table de vérité (Émetteur)

Entrée	Sortie
S B D	R
H H X	L
H L X	H

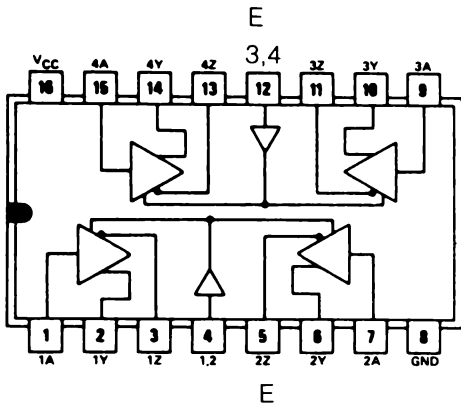
Table de vérité (Récepteur)

Reproduit avec la permission de Texas Instrum

Symbole	Paramètre récepteur	MIN	TYP	MAX	Unité	Condition	
V_{CC}	tension d'alimentation	4,75	5,0	5,25	V		
V_{IH}	tension d'entrée de niveau haut	entrées S et D	2,0			V	
		entrée B	2,9				
V_{IL}	tension d'entrée de niveau bas	entrées S et D			0,8	V	
		entrée B			1,8		
V_{OH}	tension de sortie de niveau haut	2,4	3,5		V	$I_{OH} = -400\mu A$	
V_{OL}	tension de sortie de niveau bas	émetteur			0,45	V	$I_{OL} = 100\text{ mA}$
		récepteur			0,4	V	$I_{OL} = 16\text{ mA}$
I_{IH}	courant d'entrée de niveau haut	entrées S et D			40	μA	$V_I = 2,4\text{ V}$
		entrée B		25	300	μA	$V_I = 4,5\text{ V}$
I_{IL}	courant d'entrée de niveau bas	entrées S et D		-1	-1,6	mA	$V_I = 0,4\text{ V}$
		entrée B			-50	μA	$V_I = 0,45\text{ V}$
I_{OS}	courant de court-circuit	-18		-55	mA		
I_{CC}	courant d'alimentation	42		65	mA	$I_O = 0,0\text{ mA}$	

Fiche A.5 Émetteur différentiel 75174

75174



Entrée	E	Sortie	
		Y	Z
H	H	H	L
L	H	L	H
X	L	Z	Z

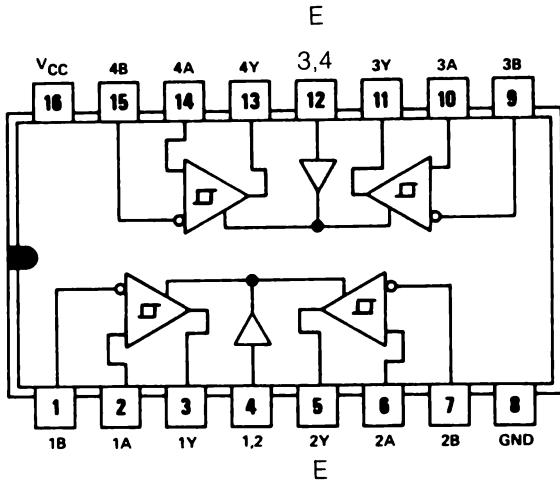
Table de vérité pour chaque émetteur

Reproduit avec la permission de Texas Instruments Inc.

Symbole	Paramètre	MIN	TYP	MAX	Unité	Condition
V_{CC}	tension d'alimentation	4,75	5,0	5,25	V	
V_{IH}	tension d'entrée de niveau haut	2,0			V	
V_{IL}	tension d'entrée de niveau bas			0,8	V	
V_{OH}	tension de sortie de niveau haut		3,7		V	$I_{OH} = -33 \text{ mA}$
V_{OL}	tension de sortie de niveau bas		1,1		V	$I_{OL} = 33 \text{ mA}$
I_{IH}	courant d'entrée de niveau haut			20	μA	$V_{IH} = 2,7 \text{ V}$
I_{IL}	courant d'entrée de niveau bas			-360	μA	$V_{IL} = 0,5 \text{ V}$
I_{OS}	courant de court-circuit			-180	mA	$V_O = -7 \text{ V}$
				180	mA	$V_O = V_{CC}$
				500	mA	$V_O = 12 \text{ V}$
I_{CC}	courant d'alimentation		38	60	mA	sortie engagée
			18	40	mA	sortie déchargée
V_{OD2}	tension de sortie différentielle	2,0			V	$R_L = 100 \Omega$
V_{OC}	tension de sortie en mode commun			3,0	V	$R_L = 60 \Omega$ ou 100Ω
V_{OC}	excursion de la tension de sortie en mode commun			+0,2	V	$R_L = 60 \Omega$ ou 100Ω

Fiche A.6 Récepteur différentiel 75175

75175



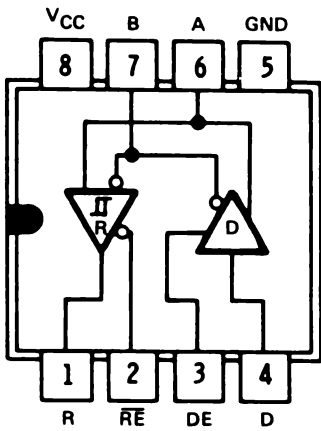
Entrées différentielles A-B	E	Sortie Y
$V_{ID} \geq 0,2 \text{ V}$	H	H
$-0,2 \text{ V} < V_{ID} < 0,2 \text{ V}$	H	?
$V_{ID} \leq -0,2 \text{ V}$	H	L
X	L	Z

Table de vérité pour chaque récepteur

Reproduit avec la permission de Texas Instrument

Symbole	Paramètre	MIN	TYP	MAX	Unité	Condition
V_{CC}	tension d'alimentation	4,75	5,0	5,25	V	
V_{IH}	tension d'entrée de niveau haut	2,0			V	
V_{IL}	tension d'entrée de niveau bas			0,8	V	
V_{OH}	tension de sortie de niveau haut	2,7			V	$I_{OH} = -400 \mu$
V_{OL}	tension de sortie de niveau bas			0,5	V	$I_{OL} = 16 \text{ mA}$
I_{IH}	courant d'entrée de niveau haut			20	μA	$V_{IH} = 2,7 \text{ V}$
I_{IL}	courant d'entrée de niveau bas			-100	μA	$V_{IL} = 0,4 \text{ V}$
I_{OS}	courant de court-circuit	-15		-85	mA	
I_{CC}	courant d'alimentation			70	mA	
V_{TH}	tension différentielle de seuil haut			0,2	V	$V_O = 2,7 \text{ V}$ $I_O = -0,4 \text{ mA}$
V_{TL}	tension différentielle de seuil bas	0,2			V	$V_O = 0,5 \text{ V}$ $I_O = 16 \text{ mA}$
V_{T+} - V_{T-}	hystéresis		50		mV	

Fiche A.7 Émetteur-récepteur différentiel 75176



Entrée	DE	Sortie	
		A	B
D			
H	H	H	L
L	H	L	H
X	L	Z	Z

Table de vérité
(Émetteur)

Entrées différentielles A – B	\overline{RE}	Sortie
$V_{ID} \geq 0,2 \text{ V}$	L	H
$-0,2 \text{ V} < V_{ID} < 0,2 \text{ V}$	L	?
$V_{ID} \leq -0,2 \text{ V}$	L	L
X	H	Z

Table de vérité
(Récepteur)

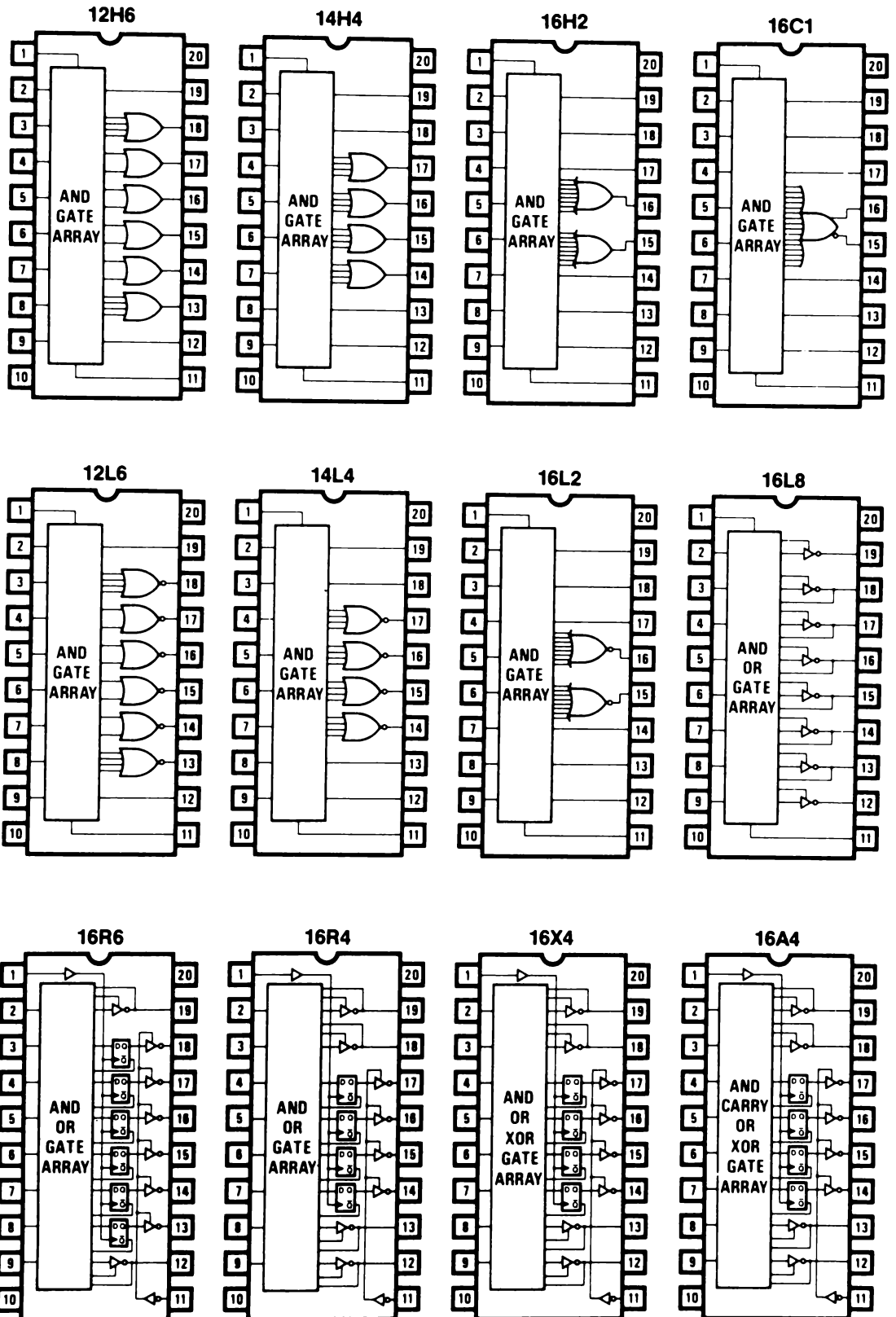
Reproduit avec la permission de Texas Instruments Inc

Symbole	Paramètre	MIN	TYP	MAX	Unité	Condition
V_{CC}	tension d'alimentation	4,75	5,0	5,25	V	
V_{IH}	tension d'entrée de niveau haut	2,0			V	
V_{IL}	tension d'entrée de niveau bas			0,8	V	
V_{OH}	tension de sortie de niveau haut		3,7		V	$I_{OH} = 33 \text{ mA}$
V_{OL}	tension de sortie de niveau bas		1,1		V	$I_{OL} = 33 \text{ mA}$
I_{IH}	courant d'entrée de niveau haut			20	μA	$V_{IH} = 2,4 \text{ V}$
I_{IL}	courant d'entrée de niveau bas			-360	μA	$V_{IL} = 0,4 \text{ V}$
I_{OH}	courant de sortie de niveau haut	émetteur		-60	mA	
		récepteur		-400	μA	
I_{OL}	courant de sortie de niveau bas	émetteur		60	mA	
		récepteur		16	mA	

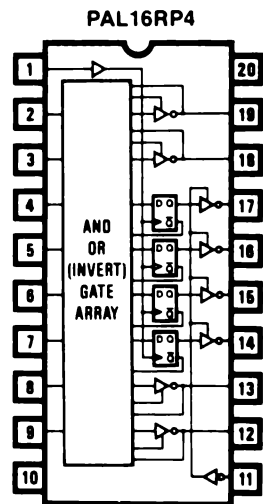
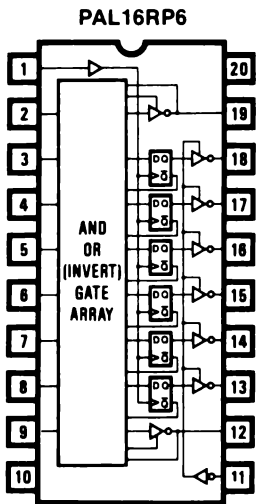
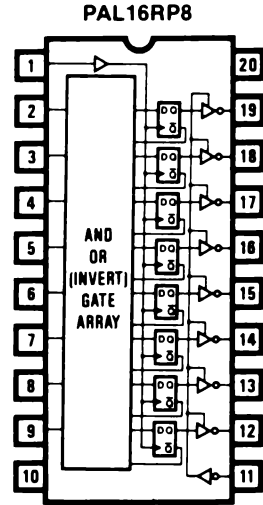
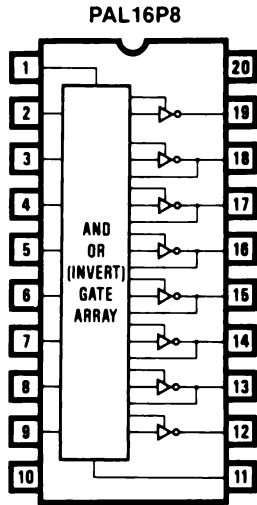
Fiche A.7 (suite)

I_{OS}	courant de court-circuit			- 180 180 500	mA mA mA	$V_O = 2,4 \text{ V}$ $V_O = 0,4 \text{ V}$ $V_O = -7 \text{ V}$
I_{CC}	courant d'alimentation			35 30	mA mA	sortie engagée sortie dégagée
V_{ID}	tension différentielle d'entrée			± 12	V	mesurée entre les points A et B
t_{PLH}	temps de propagation haut		16	25	ns	$R_L = 27 \Omega$
t_{PHL}	temps de propagation bas		44	65	ns	$R_L = 27 \Omega$
t_{PZH}	temps d'état 3 à H		60	80	ns	$R_L = 110 \Omega$
t_{PZL}	temps d'état 3 à L		30	45	ns	$R_L = 110 \Omega$
t_{PHZ}	temps d'état H à 3		51	75	ns	$R_L = 110 \Omega$
t_{PLZ}	temps d'état L à 3		18	30	ns	$R_L = 110 \Omega$

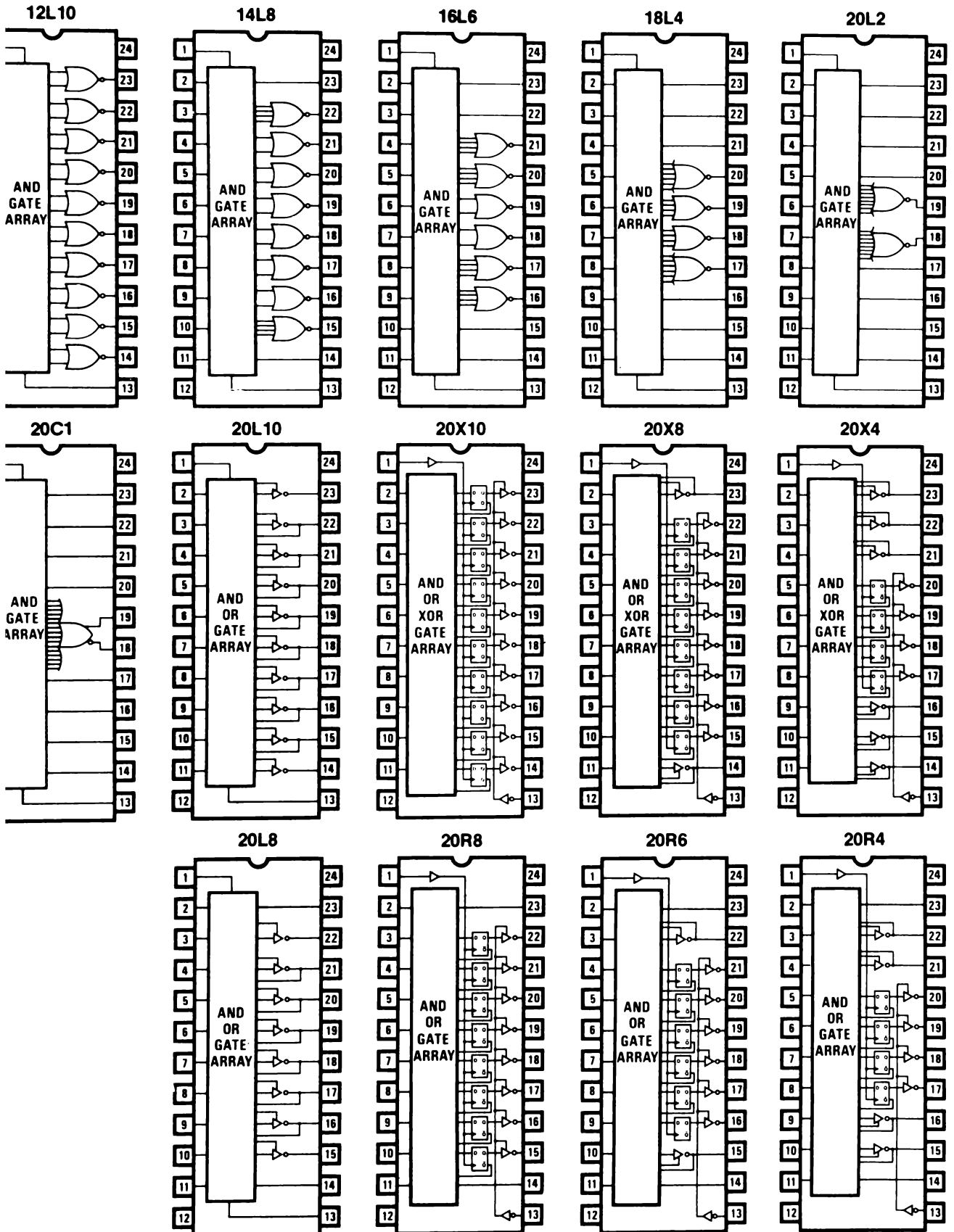
PAL série 20



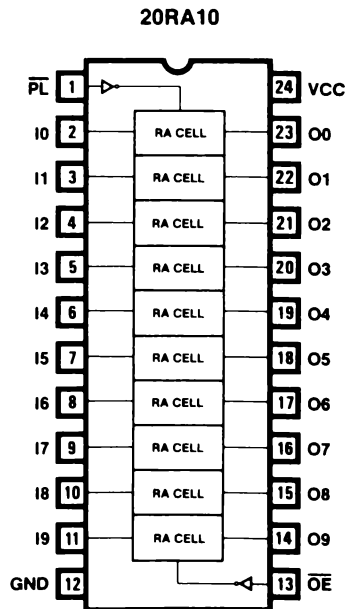
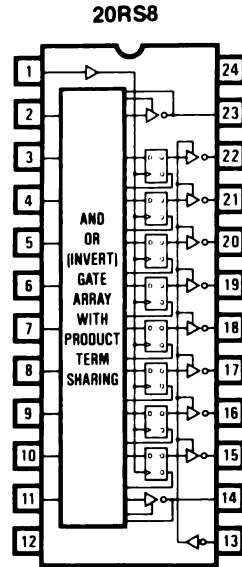
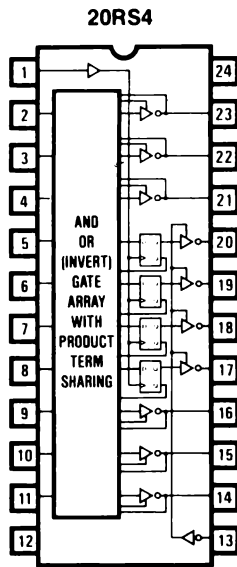
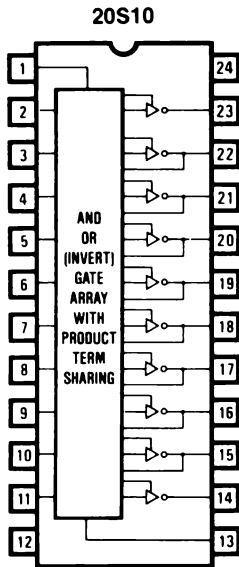
Fiche A.9 PAL série 20 (suite et fin)



Fiche A.10 PAL série 24



Fiche A.11 PAL série 24 (suite et fin)



Fiche A.12 Caractéristiques des PAL

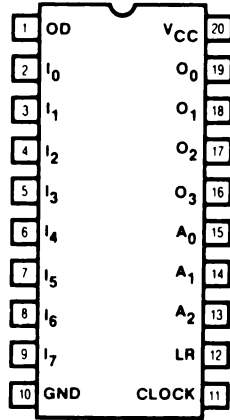
symbole	signification et condition	série		
		standard	rapide	
V_{CC}	tension d'alimentation	5 V	5 V	
V_{IL}	tension d'entrée de niveau bas	0,8 V	0,8 V	
V_{IH}	tension d'entrée de niveau haut	2 V	2 V	
I_{IL}	courant d'entrée de niveau bas	-0,25 mA	-0,25 mA	
I_{IH}	courant d'entrée de niveau haut	25 mA	25 mA	
V_{OL}	tension de sortie de niveau bas $I_{OL} = 8 \text{ mA (SSI)}$ $I_{OL} = 24 \text{ mA (MSI)}$	0,3 V	0,3 V	
V_{OH}	tension de sortie de niveau haut ($I_{OH} = 3,2 \text{ mA}$)	2,8 V	2,8 V	
I_{OZH}	courant d'état 3 de niveau haut	100 mA	100 mA	
I_{OZL}	courant d'état 3 de niveau bas	-100 mA	-100 mA	
I_{OS}	courant de court-circuit	-100 mA	-100 mA	
I_{CC}	courant d'alimentation	SSI	60 mA	60 mA
		MSI	120 mA	120 mA
t_p	temps de propagation	35 ns	15 ns	
f_{max}	fréquence max d'utilisation	16 MHz	40 MHz	
$t_{W(CK)}$	largeur de l'horloge	niveau haut	10 ns	7 ns
		niveau bas	20 ns	7 ns
$t_{s(CK)}$	temps de préparation (avant l'horloge)	38 ns	15 ns	
$t_{h(CK)}$	temps de maintien (après l'horloge)	-15 ns	-10 ns	
T_A	température de fonctionnement	0°C à 75°C	0°C à 75°C	
V_{IHH}	tension de programmation	11,75 V	11,75 V	

Fiche A.13 Tables de programmation des PAL série 20

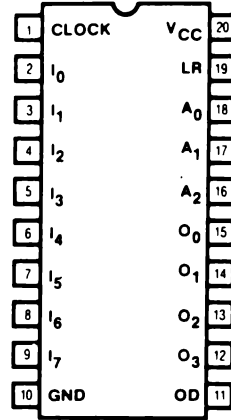
PAL Série 20, 20A, 20-2, 20-4

Brochage de programmation

Ligne de produit
0 à 31



Ligne de produit
32 à 63



L = V_{IL}
H = V_{IH}

HH = $V_{IHH} = 11,5 V$
Z = haute impédance

Ligne d'entrée	Broches								
	I7	I6	I5	I4	I3	I2	I1	I0	L/R
0	HH	HH	HH	HH	HH	HH	HH	L	Z
1	HH	HH	HH	HH	HH	HH	HH	H	Z
2	HH	HH	HH	HH	HH	HH	HH	L	HH
3	HH	HH	HH	HH	HH	HH	HH	H	HH
4	HH	HH	HH	HH	HH	HH	L	HH	Z
5	HH	HH	HH	HH	HH	HH	H	HH	Z
6	HH	HH	HH	HH	HH	HH	L	HH	HH
7	HH	HH	HH	HH	HH	HH	H	HH	HH
8	HH	HH	HH	HH	HH	L	HH	HH	Z
9	HH	HH	HH	HH	HH	H	HH	HH	Z
10	HH	HH	HH	HH	HH	L	HH	HH	HH
11	HH	HH	HH	HH	HH	H	HH	HH	HH
12	HH	HH	HH	HH	L	HH	HH	HH	Z
13	HH	HH	HH	HH	H	HH	HH	HH	Z
14	HH	HH	HH	HH	L	HH	HH	HH	HH
15	HH	HH	HH	HH	H	HH	HH	HH	HH
16	HH	HH	HH	L	HH	HH	HH	HH	Z
17	HH	HH	HH	H	HH	HH	HH	HH	Z
18	HH	HH	HH	L	HH	HH	HH	HH	HH
19	HH	HH	HH	H	HH	HH	HH	HH	HH
20	HH	HH	L	HH	HH	HH	HH	HH	Z
21	HH	HH	H	HH	HH	HH	HH	HH	Z
22	HH	HH	L	HH	HH	HH	HH	HH	HH
23	HH	HH	H	HH	HH	HH	HH	HH	HH
24	HH	L	HH	HH	HH	HH	HH	HH	Z
25	HH	H	HH	HH	HH	HH	HH	HH	Z
26	HH	L	HH	HH	HH	HH	HH	HH	HH
27	HH	H	HH	HH	HH	HH	HH	HH	HH
28	L	HH	HH	HH	HH	HH	HH	HH	Z
29	H	HH	HH	HH	HH	HH	HH	HH	Z
30	L	HH	HH	HH	HH	HH	HH	HH	HH
31	H	HH	HH	HH	HH	HH	HH	HH	HH

Table 1 : Sélection de la ligne d'entrée

Ligne de produit	Broches				
	O3	O2	O1	O0	A:
0 32	Z	Z	Z	HH	Z
1 33	Z	Z	Z	HH	Z
2 34	Z	Z	Z	HH	Z
3 35	Z	Z	Z	HH	Z
4 36	Z	Z	Z	HH	HI
5 37	Z	Z	Z	HH	HI
6 38	Z	Z	Z	HH	HI
7 39	Z	Z	Z	HH	HI
8 40	Z	Z	HH	Z	Z
9 41	Z	Z	HH	Z	Z
10 42	Z	Z	HH	Z	Z
11 43	Z	Z	HH	Z	Z
12 44	Z	Z	HH	Z	HI
13 45	Z	Z	HH	Z	HI
14 46	Z	Z	HH	Z	HI
15 47	Z	Z	HH	Z	HI
16 48	Z	HH	Z	Z	Z
17 49	Z	HH	Z	Z	Z
18 50	Z	HH	Z	Z	Z
19 51	Z	HH	Z	Z	Z
20 52	Z	HH	Z	Z	HI
21 53	Z	HH	Z	Z	HI
22 54	Z	HH	Z	Z	HI
23 55	Z	HH	Z	Z	HI
24 56	HH	Z	Z	Z	Z
25 57	HH	Z	Z	Z	Z
26 58	HH	Z	Z	Z	Z
27 59	HH	Z	Z	Z	Z
28 60	HH	Z	Z	Z	H
29 61	HH	Z	Z	Z	H
30 62	HH	Z	Z	Z	H
31 63	HH	Z	Z	Z	H

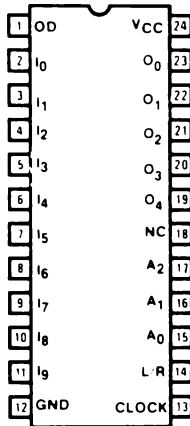
Table 2 : Sélection de la ligne de produit

Fiche A.14 Tables de programmation des PAL série 24

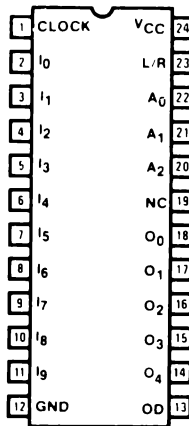
PAL Série 24, 24A

Brochage de programmation

Ligne de produit
0 à 39



Ligne de produit
40 à 79



L = V_{IL}
H = V_{IH}

HH = $V_{IHH} = 11,5 V$
Z = haute impédance

Ligne d'entrée	Broches										
	I ₉	I ₈	I ₇	I ₆	I ₅	I ₄	I ₃	I ₂	I ₁	I ₀	L/R
0	HH	HH	HH	HH	HH	HH	HH	HH	HH	L	Z
1	HH	HH	HH	HH	HH	HH	HH	HH	HH	H	Z
2	HH	HH	HH	HH	HH	HH	HH	HH	HH	L	HH
3	HH	HH	HH	HH	HH	HH	HH	HH	HH	H	HH
4	HH	HH	HH	HH	HH	HH	HH	HH	L	HH	Z
5	HH	HH	HH	HH	HH	HH	HH	HH	H	HH	Z
6	HH	HH	HH	HH	HH	HH	HH	HH	L	HH	HH
7	HH	HH	HH	HH	HH	HH	HH	HH	H	HH	HH
8	HH	HH	HH	HH	HH	HH	L	HH	HH	HH	Z
9	HH	HH	HH	HH	HH	HH	H	HH	HH	HH	Z
10	HH	HH	HH	HH	HH	HH	L	HH	HH	HH	HH
11	HH	HH	HH	HH	HH	HH	H	HH	HH	HH	HH
12	HH	HH	HH	HH	HH	HH	L	HH	HH	HH	Z
13	HH	HH	HH	HH	HH	HH	H	HH	HH	HH	Z
14	HH	HH	HH	HH	HH	HH	L	HH	HH	HH	HH
15	HH	HH	HH	HH	HH	HH	H	HH	HH	HH	HH
16	HH	HH	HH	HH	HH	L	HH	HH	HH	HH	Z
17	HH	HH	HH	HH	HH	H	HH	HH	HH	HH	Z
18	HH	HH	HH	HH	HH	L	HH	HH	HH	HH	HH
19	HH	HH	HH	HH	HH	H	HH	HH	HH	HH	HH
20	HH	HH	HH	HH	L	HH	HH	HH	HH	HH	Z
21	HH	HH	HH	HH	H	HH	HH	HH	HH	HH	Z
22	HH	HH	HH	HH	L	HH	HH	HH	HH	HH	HH
23	HH	HH	HH	HH	H	HH	HH	HH	HH	HH	HH
24	HH	HH	HH	L	HH	HH	HH	HH	HH	HH	Z
25	HH	HH	HH	H	HH	HH	HH	HH	HH	HH	Z
26	HH	HH	HH	L	HH	HH	HH	HH	HH	HH	HH
27	HH	HH	HH	H	HH	HH	HH	HH	HH	HH	HH
28	HH	HH	L	HH	HH	HH	HH	HH	HH	HH	Z
29	HH	HH	H	HH	HH	HH	HH	HH	HH	HH	Z
30	HH	HH	L	HH	HH	HH	HH	HH	HH	HH	HH
31	HH	HH	H	HH	HH	HH	HH	HH	HH	HH	HH
32	HH	L	HH	HH	HH	HH	HH	HH	HH	HH	Z
33	HH	H	HH	HH	HH	HH	HH	HH	HH	HH	Z
34	HH	L	HH	HH	HH	HH	HH	HH	HH	HH	HH
35	HH	H	HH	HH	HH	HH	HH	HH	HH	HH	HH
36	L	HH	HH	HH	HH	HH	HH	HH	HH	HH	Z
37	H	HH	HH	HH	HH	HH	HH	HH	HH	HH	Z
38	L	HH	HH	HH	HH	HH	HH	HH	HH	HH	HH
39	H	HH	HH	HH	HH	HH	HH	HH	HH	HH	HH

Table 1 : Sélection de la ligne d'entrée

Ligne de produit	Broches							
	O ₄	O ₃	O ₂	O ₁	O ₀	A ₂	A ₁	A ₀
0. 40	Z	Z	Z	Z	HH	Z	Z	Z
1. 41	Z	Z	Z	Z	HH	Z	Z	HH
2. 42	Z	Z	Z	Z	HH	Z	HH	Z
3. 43	Z	Z	Z	Z	HH	Z	HH	HH
4. 44	Z	Z	Z	Z	HH	HH	Z	Z
5. 45	Z	Z	Z	Z	HH	HH	Z	HH
6. 46	Z	Z	Z	Z	HH	HH	HH	Z
7. 47	Z	Z	Z	Z	HH	HH	HH	HH
8. 48	Z	Z	Z	HH	Z	Z	Z	Z
9. 49	Z	Z	Z	HH	Z	Z	Z	HH
10. 50	Z	Z	Z	HH	Z	Z	HH	Z
11. 51	Z	Z	Z	HH	Z	Z	HH	HH
12. 52	Z	Z	Z	HH	Z	HH	Z	Z
13. 53	Z	Z	Z	HH	Z	HH	Z	HH
14. 54	Z	Z	Z	HH	Z	HH	HH	Z
15. 55	Z	Z	Z	HH	Z	HH	HH	HH
16. 56	Z	Z	HH	Z	Z	Z	Z	Z
17. 57	Z	Z	HH	Z	Z	Z	Z	HH
18. 58	Z	Z	HH	Z	Z	Z	HH	Z
19. 59	Z	Z	HH	Z	Z	Z	HH	HH
20. 60	Z	Z	HH	Z	Z	HH	Z	Z
21. 61	Z	Z	HH	Z	Z	HH	Z	HH
22. 62	Z	Z	HH	Z	Z	HH	HH	Z
23. 63	Z	Z	HH	Z	Z	HH	HH	HH
24. 64	Z	HH	Z	Z	Z	Z	Z	Z
25. 65	Z	HH	Z	Z	Z	Z	Z	HH
26. 66	Z	HH	Z	Z	Z	Z	HH	Z
27. 67	Z	HH	Z	Z	Z	Z	HH	HH
28. 68	Z	HH	Z	Z	Z	HH	Z	Z
29. 69	Z	HH	Z	Z	Z	HH	Z	HH
30. 70	Z	HH	Z	Z	Z	HH	HH	Z
31. 71	Z	HH	Z	Z	Z	HH	HH	HH
32. 72	HH	Z	Z	Z	Z	Z	Z	Z
33. 73	HH	Z	Z	Z	Z	Z	Z	HH
34. 74	HH	Z	Z	Z	Z	Z	HH	Z
35. 75	HH	Z	Z	Z	Z	Z	HH	HH
36. 76	HH	Z	Z	Z	Z	HH	Z	Z
37. 77	HH	Z	Z	Z	Z	HH	Z	HH
38. 78	HH	Z	Z	Z	Z	HH	HH	Z
39. 79	HH	Z	Z	Z	Z	HH	HH	HH

Table 2 : Sélection de la ligne de produit

Appendice B

Formules et tableaux

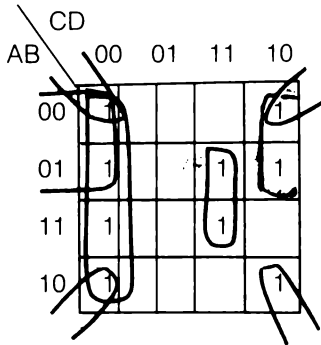
Tableau B.1 Simplification booléenne.

N°	théorème direct	N°	théorème de dualité
1	$1 + A = 1$	2	$0.A = 0$
3	$0 + A = A$	4	$1.A = A$
5	$A + A = A$	6	$A.A = A$
7	$A + \bar{A} = 1$	8	$A.\bar{A} = 0$
9	$A + AB = A$	10	$A(A+B) = A$
11	$A + \bar{A}B = A + B$	12	$A(\bar{A} + B) = A.B$
13	$\bar{A} + \bar{B} = \overline{A.B}$	14	$\bar{A}.\bar{B} = \overline{A + B}$
15	$A.B + A.C + \bar{B}.C = A.B + \bar{B}.C$	16	$(A + B)(A + C)(\bar{B} + C) = (A + B)(\bar{B} + C)$

Tableau B.2 Exemples de simplification booléenne.

	N° du théorème utilisé
$AB\bar{X}YZ + AB\bar{X}\bar{Y}Z + \bar{X}Z + \bar{A}\bar{B} + \bar{X}\bar{Z} + \bar{A}\bar{B}$	9
$\bar{A}\bar{B}\bar{C}X + \bar{A}\bar{B} + AB\bar{C}\bar{X} + \bar{A}\bar{B} + \bar{A}\bar{B}\bar{C}X = 1$	7,1
$A.B.C. + \bar{A} + \bar{B} + \bar{C} = 1$	14,7
$\overline{\bar{X} + Y + \bar{Z}} + \overline{\bar{X}(\bar{X} + Z)} + X.Y.\bar{Z} = X$	10, 9, 13
$AB\bar{C} + XC + ABX = AB\bar{C} + XC$	15

Tableau B.3 Exemple de simplification par table de Kar nough.



Avant simplification :

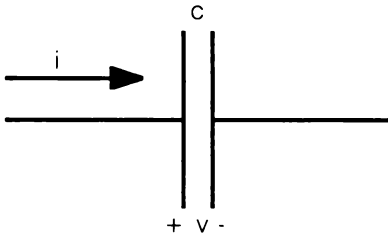
$$Y = \bar{A}.\bar{B}.\bar{C}.\bar{D} + A.\bar{B}.\bar{D} + \bar{A}.C.\bar{D} + B.\bar{C}.\bar{D} + B.C.D$$

Après groupement :

$$Y = \bar{C}.\bar{D} + \bar{A}.\bar{D} + \bar{B}.\bar{D} + B.C.D$$

Tableau B.4 Numération hexadécimale.

décimale	hex.	décimale	hex.	décimale	hex.
0	0	31	1F	2047	7FF
1	1	32	20	2048	800
2	2				
3	3				
4	4	63	3F	4095	FFF
5	5	64	40	4096	1000
6	6				
7	7				
8	8	127	7F	8191	1FFF
9	9	128	80	8192	2000
10	A				
11	B				
12	C	255	FF	16383	3FFF
13	D	256	100	16384	4000
14	E				
15	F				
16	10	511	1FF	32767	7FFF
17	11	512	200	32768	8000
18	12				
19	13				
20	14	1023	3FF	65535	FFFF
21	15	1024	400	65536	10000

Condensateur : courant et tension instantanés**Figure B.1** Courant et tension instantanés d'un condensateur.

$$q = C v$$

$$i = \frac{d}{dt} q$$

$$i = \frac{d}{dt} C v$$

$$i = C \frac{dv}{dt}$$

$$v = \frac{1}{C} \int i dt$$

Condensateur : puissance et énergie

$$p = v i$$

$$p = v C \frac{dv}{dt}$$

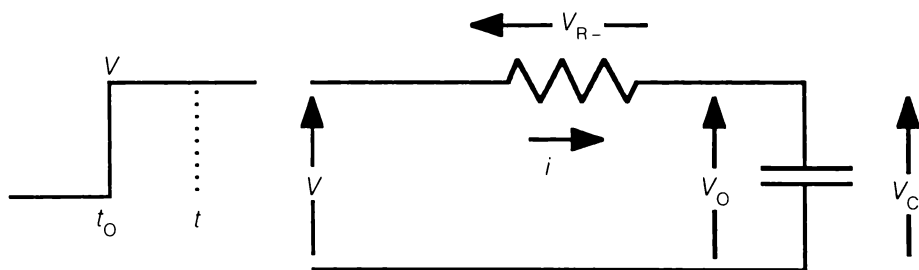
$$E = \int p dt \text{ (énergie accumulée au temps } t)$$

$$E = \int v C \frac{dv}{dvC}$$

$$E = \frac{1}{2} C v^2$$

Condensateur : régime impulsionnel

Figure B.2 Condensateur en régime impulsionnel.



$$V = V_R + V_C$$

$$V = R_i + \frac{1}{C} \int i dt$$

$$\frac{V}{S} = R I(S) + \frac{1}{C} \frac{I(S)}{S} + \frac{V_0}{S} \text{ (Transformée de Laplace)}$$

$$\frac{V - V_0}{S} = I(S) \left(R + \frac{1}{CS} \right)$$

$$I(S) = \frac{V - V_0}{S \left(R + \frac{1}{CS} \right)}$$

$$I(S) = \left(\frac{V - V_0}{R} \right) \left(\frac{1}{S + 1/RC} \right)$$

$$i = \frac{V - V_0}{R} e^{-t/RC}$$

$$V_R = (V - V_0) e^{-t/RC}$$

$$V_C = V - (V - V_0) e^{-t/RC}$$

$$t = RC \ln \frac{V - V_0}{V - V_C}$$

i : Courant au temps t

V : Voltage appliqué

V_0 : Voltage aux bornes du condensateur au temps T_0

V_R : Voltage aux bornes de la résistance au temps t

V_C : Voltage aux bornes du condensateur au temps t

Appendice C

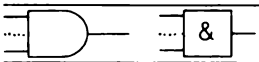
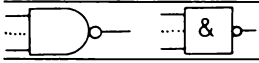
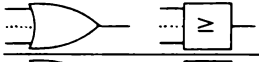
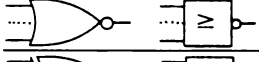
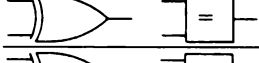
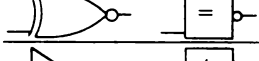
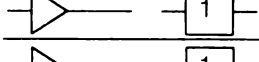
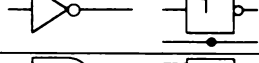
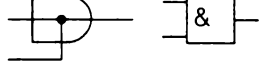
Définitions

C.1 TABLEAUX

Tableau C.1 États, niveaux et transitions.

symbole	signification française	signification anglaise
H	niveau haut	High Level
L	niveau bas	Low Level
X	1. niveau d'état actif (haut ou bas) 2. indifférent (état)	1. Active Level (High or Low) 2. Don't Care
Z	1. état 3 2. haute impédance 3. sortie état 3	1. Off State of a 3 State Output 2. High Impedance 3. Three-State Output
1	état 1	One State
0	état 0	Zero State
↑	transition haute	Transition from Low to High Level
↓	transition basse	Transition from High to Low Level

Tableau C.2 Portes logiques.

symboles (deux)	signification française	signification anglaise
	porte ET	AND Gate
	porte NON-ET	NAND Gate
	porte OU	OR Gate
	porte NON-OU	NOR Gate
	porte OU exclusif	XOR Gate (Exclusive OR)
	porte NON-OU exclusif	XNOR Gate (Exclusive NOR)
	tampon	Buffer
	inverseur	Inverter
	porte ET câblée	Wire And Gate

* Représentation européenne

Tableau C.3 Intégration et familles logiques.

sigle	signification française	signification anglaise
SSI	intégration à petite échelle	Small Scale Integration
MSI	intégration à moyenne échelle	Medium Scale Integration
LSI	intégration à grande échelle	Large Scale Integration
VLSI	intégration à très grande échelle	Very Large Scale Integration
CMOS	semiconducteur à oxyde métallique complémentaire	Complementary Metal-oxide Semiconductor
TTL	logique transistor-transistor	Transistor Transistor Logic
I ²	logique intégrée à injection	Integrated Injection Logic
HNIL	logique à haute immunité au bruit	High noise Immunity Logic
ECL	logique à couplage par l'émetteur	Emitter coupled Logic

Tableau C.5 Informatique et mémoires.

sigle	signification française	signification anglaise
ACC	accumulateur	Accumulator
ACK	caractère accusé de réception (positif)	Acknowledge
ADC	convertisseur analogique/numérique	Analog to Digital Converter
ALU	unité arithmétique et logique	Arithmetic/Logic Unit
ASCII	code ASCII	American Standard Code for Information Interchange
BASIC	langage BASIC	Beginners All-purpose Symbolic Instruction Code
BCD	décimal codé binaire	Binary Coded Decimal
BOS	système d'exploitation de bas	Basic Operating System
BIOS	système d'exploitation des entrées/sorties	Basic Input Output System
BPS	bits par seconde	Bits per second
CAD	conception assistée par ordinateur	Computer-Aided or Computer-Assisted Design
CAE	ingénierie assistée par ordinateur	Computer-Aided Engineering
CAM	mémoire associative	Content Addressed Memory
CCD	dispositif à couplage de charge	Charge-Coupled Device
CP/M	système d'exploitation pour micros 8 bits	Control Program for Microcomputers
CPU	unité centrale (UC)	Central Processing Unit
CR	retour chariot	Carriage Return
CRT	tube à rayons cathodiques (terminal)	Cathode Ray Tube
CS	sélection de circuit ou de boîtier	Chip Select
CU	unité, organe de commande (dans processeur) ou contrôleur (de périphérique(s) etc.)	Control Unit
DAC	convertisseur numérique-analogique	Digital to Analog Converter
DMA	accès direct à la mémoire	Direct Memory Access
DOS	système d'exploitation à disques	Disk Operating System
EAROM	mémoire morte modifiable électriquement	Electrically Alterable Read Only Memory
EPROM	mémoire morte programmable électriquement	Electrically Programmable Read Only Memory
EEPROM	mémoire morte programmable effaçable électriquement	Electrically Erasable Programmable Read Only Memory
E ² PROM	EEPROM	EEPROM

Tableau C.4 Circuits programmables.

sigle	signification française	signification anglaise
PLA	réseau logique programmable	Programmable Logic Array
PLD	dispositif logique programmable	Programmable Logic Device
PAL	puces programmables par fusibles	Programmable Array Logic
PLE	éléments logiques programmables	Programmable Logic Elements
HAL	PAL programmable par MM	Hard Array Logic
HMSI	PAL programmé par MM (fonctions 74LS)	Hard Medium Scale Integration
PMSI	PAL programmable par MM (fonctions spéciales)	PAL Medium Scale integration
IFL	circuit programmable IFL	Integrated Fuse Logic (Signetic)
FPGA	circuits prédiffusés programmables par l'utilisateur	Field Programmable Gate Array
FPLA	réseau logique programmable par l'utilisateur	Field Programmable Logic Array
FPLS	séquenceur logique programmable par l'utilisateur	Field Programmable Logic Sequencer
EPLD	dispositifs logiques programmables effaçables	Erasable Programmable Logic Devices
PALASM	Logiciel assembleur de PAL (MM)	PAL Assembler
PLEASM	Logiciel assembleur de PLE (MM)	PLE Assembler
AMAZE	Logiciel AMAZE (Signetic)	Automatic Map and Zap Equations
PLAN	Logiciel PLAN (National)	Programmable Logic Analysis (National)
CUPL	Logiciel CUPL (Assisted Technology)	C Universal Programming Language
ABEL	Logiciel ABEL (Data I/O)	Advance Boolean Expression Language
A + PLUS	Logiciel A + PLUS (ALTERA)	Altera Programmable Logic User System

Tableau C.5 (suite)

FIFO	premier entré, premier sorti	First In First Out
FORTRAN	Fortran	FORmula TRANslation
FSK	modulation par déplacement de fréquence	Frequency Shift Keying
Hex	hexadécimal	Hexadecimal
LIFO	dernier entré ; premier sorti	Last-in First-out
LSB	bit le moins significatif	Least Significant Bit
MPU	microprocesseur	Microprocessor Unit
MSB	bit le plus significatif	Most Significant Bit
MS-DOS	système d'exploitation pour micros 16 bits	Micro Soft/Disk Operating System
OS	système d'exploitation	Operating System
PC	ordinateur individuel ou personnel (OP)	Personal Computer
PC	circuit imprimé (nu)	Printed Circuit
PC/DOS	DOS pour IMB/PC	Personal Computer/Disk Operating System
PCM	modulation par impulsions codées (MIC)	Pulse Code Modulation
PROM	mémoire morte programmable	Programmable Read Only Memory
RAM	mémoire à accès sélectif ou mémoire vive	Random Access Memory
ROM	mémoire morte ou à lecture seulement	Read Only Memory
UART	émetteur-récepteur asynchrone	Universal Asynchronous Receiver Transmitter
μP	microprocesseur	Microprocessor
USRT	émetteur-récepteur synchrone	Universal Synchronous Receiver Transmitter

C.2 TENSIONS D'ALIMENTATION

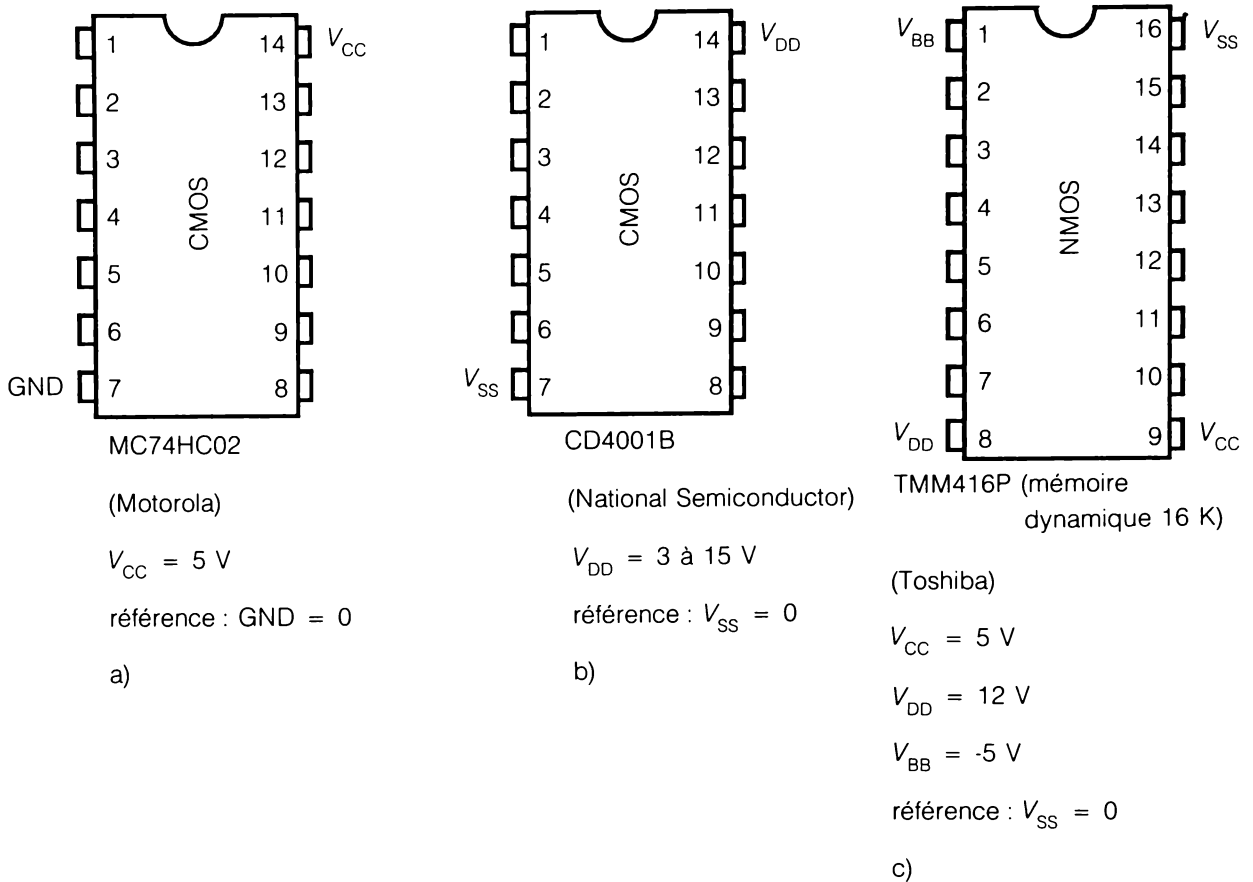


Figure C.1 Exemples de symboles de tensions d'alimentation de circuits intégrés numériques.

Tension d'alimentation V_{CC} (V_{CC} Supply Voltage)

ex. : L'alimentation V_{CC} des circuits intégrés numériques est généralement de 5 V.

Dans les circuits intégrés numériques de base, à de rares exceptions près, la broche de numéro le plus élevé est réservée à V_{CC} . Voir la figure C.1a.

Tension d'alimentation V_{DD} (1. Drain Supply Voltage; 2. DC Supply Voltage; 3. V_{DD} Supply Voltage.)

ex. : L'alimentation V_{DD} des circuits intégrés numériques de base de la série 4000 varie entre 3 V et 15 V (figure C.1b).

Le symbole V_{CC} peut remplacer le symbole V_{DD} , même si le circuit intégré est un CMOS (ex. : série CMOS 74HC), voir la figure C.1a. En fait, V_{DD} est une alimentation au même titre que V_{CC} , V_{BB} , V_{PP} , V_{CC1} , V_{CC2} , etc. Voir la figure C.1c.

Tension d'alimentation V_{SS} (1. *Source Supply Voltage*; 2. V_{SS} *Supply Voltage*.)

ex.: Le potentiel de la broche V_{SS} est généralement celui de la masse (0 V). Voir les figures C.1b et C.1c.

C.3 TENSIONS DES NIVEAUX

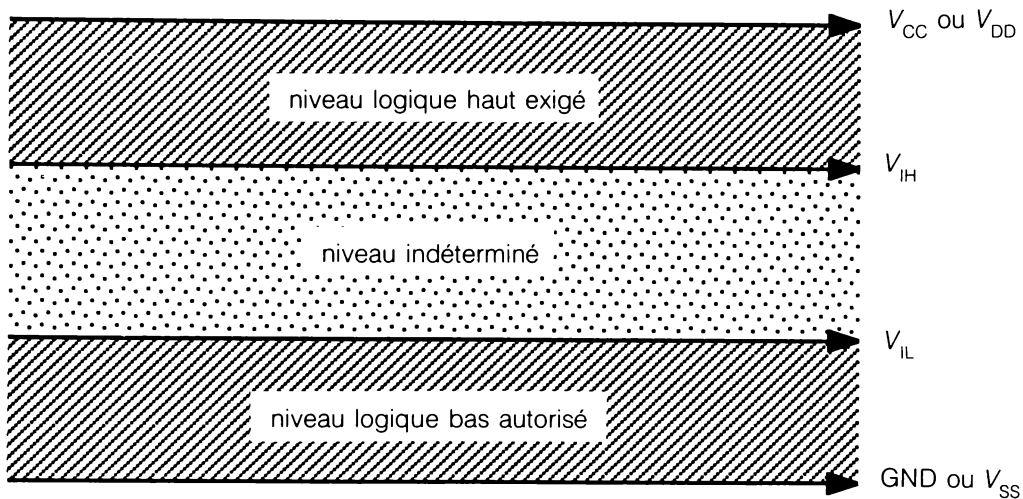


Figure C.2 Tension d'entrée maximale de niveau bas V_{IL} autorisée et tension d'entrée minimale de niveau haut V_{IH} exigée à l'entrée d'un circuit intégré numérique.

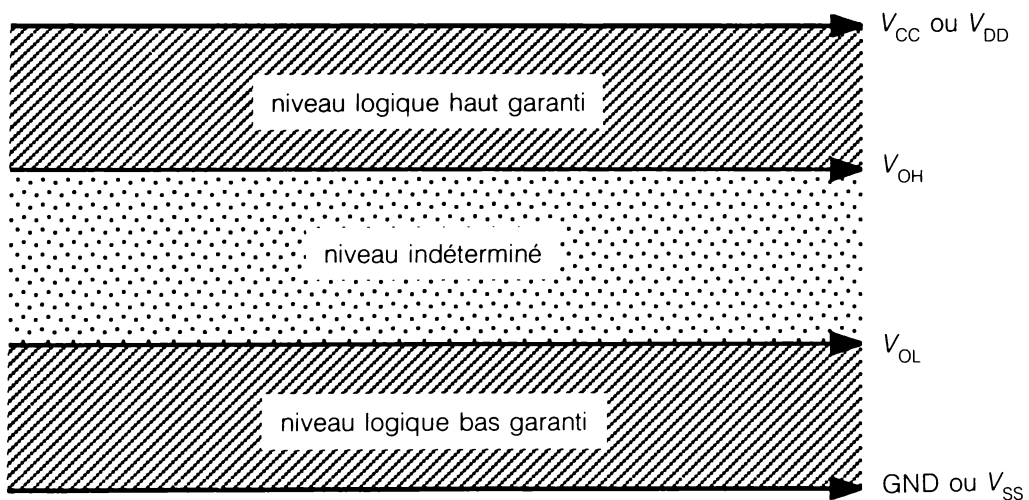


Figure C.3 Tension de sortie maximale de niveau bas V_{OL} garantie et tension de sortie minimale de niveau haut V_{OH} garantie à la sortie d'un circuit intégré numérique.

V_{IH} = tension d'entrée de niveau haut (*Input High Voltage*)

Tension minimale requise à l'entrée d'un circuit pour être reconnue sans ambiguïté comme niveau logique haut (figure C.2).

ex. : $V_{IH} \approx 2 \text{ V}$ pour les circuits TTL

$V_{IH} \approx 3,5 \text{ V}$ pour les circuits CMOS

V_{IL} = tension d'entrée de niveau bas (*Input Low Voltage*)

Tension maximale à l'entrée d'un circuit encore reconnue comme niveau logique bas (figure C.2).

ex. : $V_{IL} \approx 0,8 \text{ V}$ pour les circuits TTL

$V_{IL} \approx 0,5 \text{ V}$ pour les circuits CMOS

V_{OH} = tension de sortie de niveau haut (*Output High Voltage*)

Tension minimale garantie par le fabricant à la sortie d'un circuit pour le niveau logique haut (figure C.3).

ex. : $V_{OH} \approx 2,4 \text{ V}$ pour les circuits TTL

$V_{OH} \approx 4,5 \text{ V}$ pour les circuits CMOS

V_{OL} = tension de sortie de niveau bas (*Output Low Voltage*)

Tension maximale garantie par le fabricant à la sortie d'un circuit pour le niveau logique bas (figure C.3).

ex. : $V_{OL} \approx 0,5 \text{ V}$ pour les circuits TTL

$V_{OL} \approx 0,2 \text{ V}$ pour les circuits CMOS

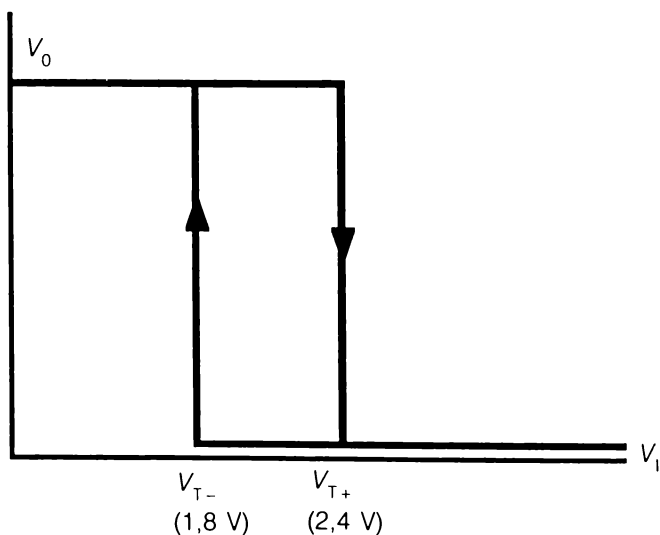
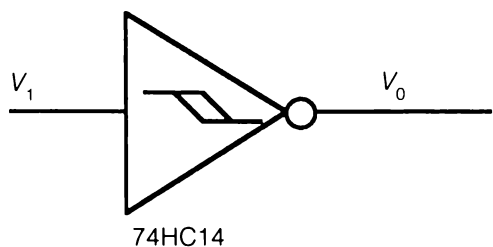


Figure C.4 Tension de seuil de niveau haut V_{T+} et tension de seuil de niveau bas V_{T-} de l'inverseur Schmitt 74HC14.

V_{T+} = tension de seuil de niveau haut (*Positive-going Threshold Voltage*)

Tension supérieure du cycle d'hystérésis d'un déclencheur de Schmitt (figure C.4).

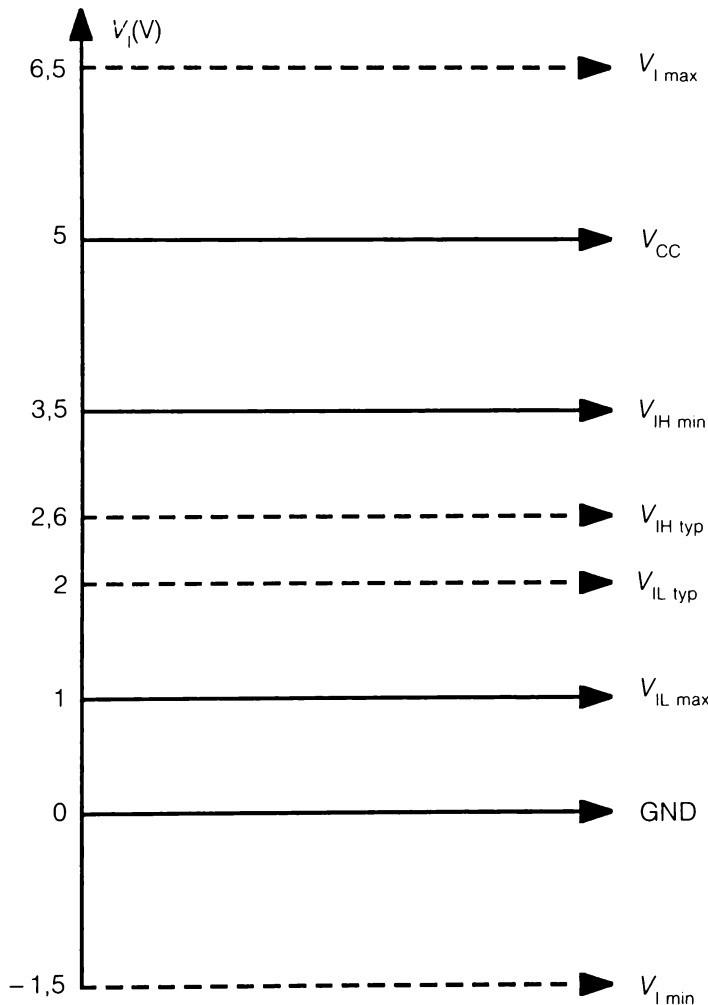
V_{T-} = tension de seuil de niveau bas (*Negative-going Threshold Voltage*)

Tension inférieure du cycle d'hystérésis d'un déclencheur de Schmitt (figure C.4).

C.4 EXCURSION DES TENSIONS D'ENTRÉE V_I ET DE SORTIE V_O

Selon la figure C.5 la tension d'entrée V_I du 74HC00 varie entre $-1,5\text{ V}$ et $+6,5\text{ V}$. Les valeurs discrètes remarquables V_{IL} et V_{IH} appartiennent à cette plage.

Selon la figure C.6 la tension de sortie V_O du 74HC00 varie entre $-0,5\text{ V}$ et $+5,5\text{ V}$. Les valeurs discrètes remarquables V_{OL} et V_{OH} appartiennent à cette plage.



V_I 74HC00
 } niveau acceptable mais non garanti à 100%

Figure C.5 La tension d'entrée du 74HC00 peut, sans danger, varier entre $-1,5\text{ V}$ et $+6,5\text{ V}$.

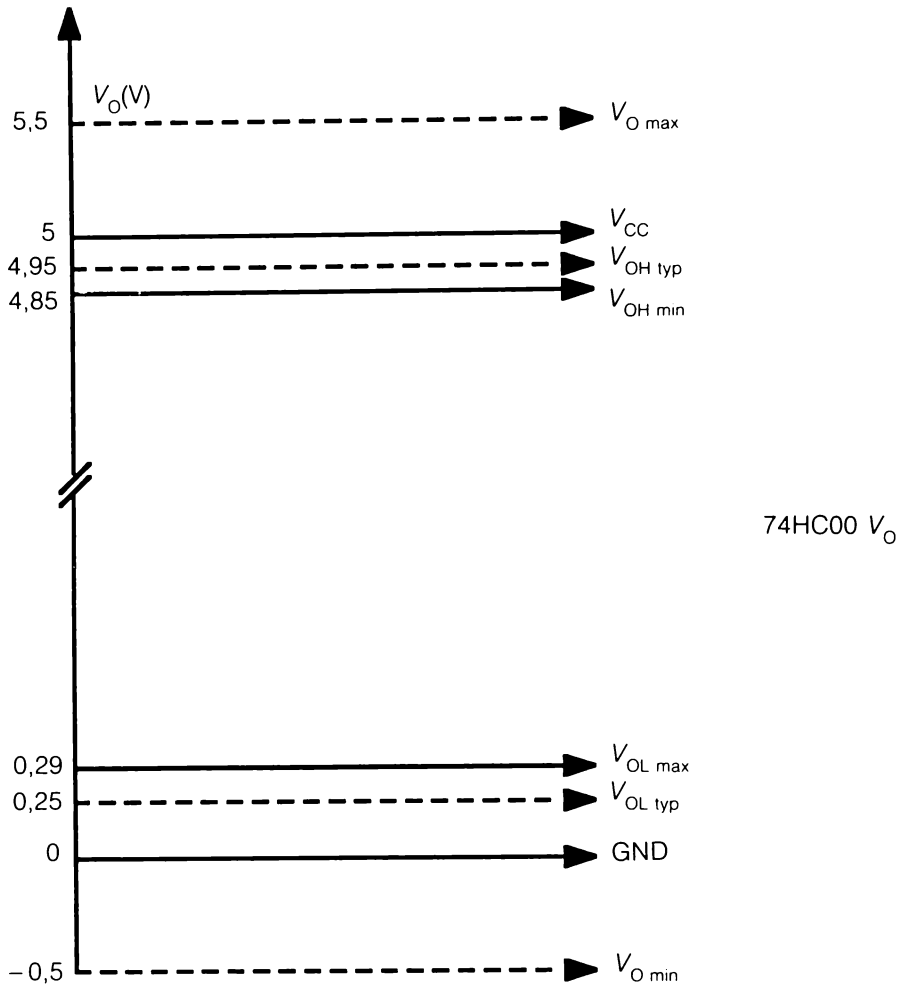


Figure C.6 La tension de sortie du 74HC00 peut, sans danger, varier entre $-0,5\text{ V}$ et $+5,5\text{ V}$. Les tensions de sortie de niveau haut et de niveau bas V_{OH} et V_{OL} sont données pour un courant de sortie de $\pm 4\text{ mA}$ défini par le fabricant.

C.5 COURANTS D'ALIMENTATION

Courant d'alimentation I_{CC} (I_{CC} Supply Current)

ex. : Le courant I_{CC} max du circuit 74LS00 de la figure C.7a est de $1,6\text{ mA}$ si les sorties sont ouvertes et forcées au niveau haut. Le courant I_{CC} max du même circuit sera de $4,4\text{ mA}$ si les sorties sont ouvertes et forcées au niveau bas (figure C.7b).

ex. : Le courant I_{CC} max du circuit 74HC00 de la figure C.7c est de $2\text{ }\mu\text{A}$ si toutes les entrées sont à la masse ou au V_{CC} et si toutes les sorties sont ouvertes.

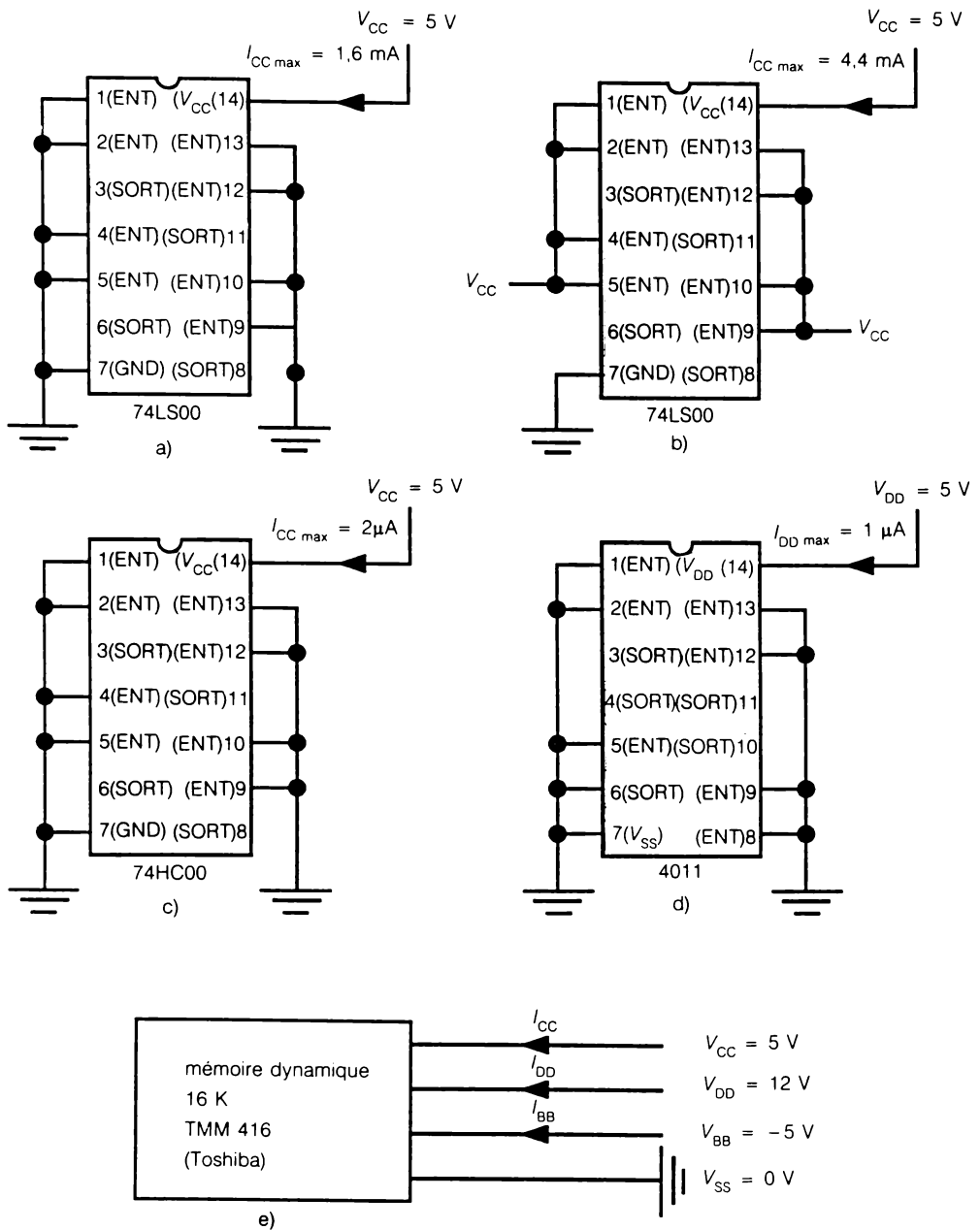


Figure C.7 a) Courant I_{CC} pour les sorties de niveau haut du 74LS00 ;
 b) Courant I_{CC} pour les sorties de niveau bas du 74LS00 ;
 c) Courant I_{CC} pour les sorties ouvertes (niveau haut ou bas) du 74HC00 ;
 d) Courant I_{DD} pour les sorties ouvertes (niveau haut ou bas) du 4011 ;
 e) Courants d'alimentation divers (voir texte).

Courant d'alimentation I_{DD} (I_{DD} Supply Current)

ex. : Le courant I_{DD} max du circuit 4011 de la figure C.7d est de $1 \mu\text{A}$ si les entrées sont au V_{SS} ou au V_{DD} et si toutes les sorties sont ouvertes.

ex. : Le courant I_{DD} de la mémoire dynamique de la figure C.7e est respectivement de 35 mA , $1,5 \text{ mA}$, 27 mA pour les modes fonctionnement, repos, rafraîchissement.

Courant d'alimentation I_{BB} (I_{BB} Supply Current)

ex. : Le courant I_{BB} fourni par l'alimentation V_{BB} de la mémoire dynamique de la figure C.7e est de $200 \mu\text{A}$ lors du cycle de rafraîchissement.

C.6 COURANTS DES NIVEAUX

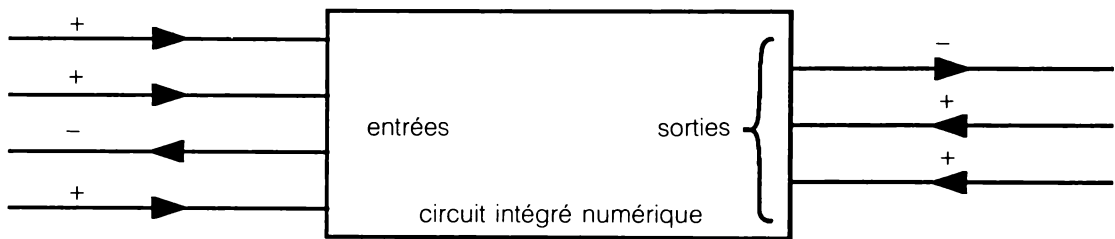
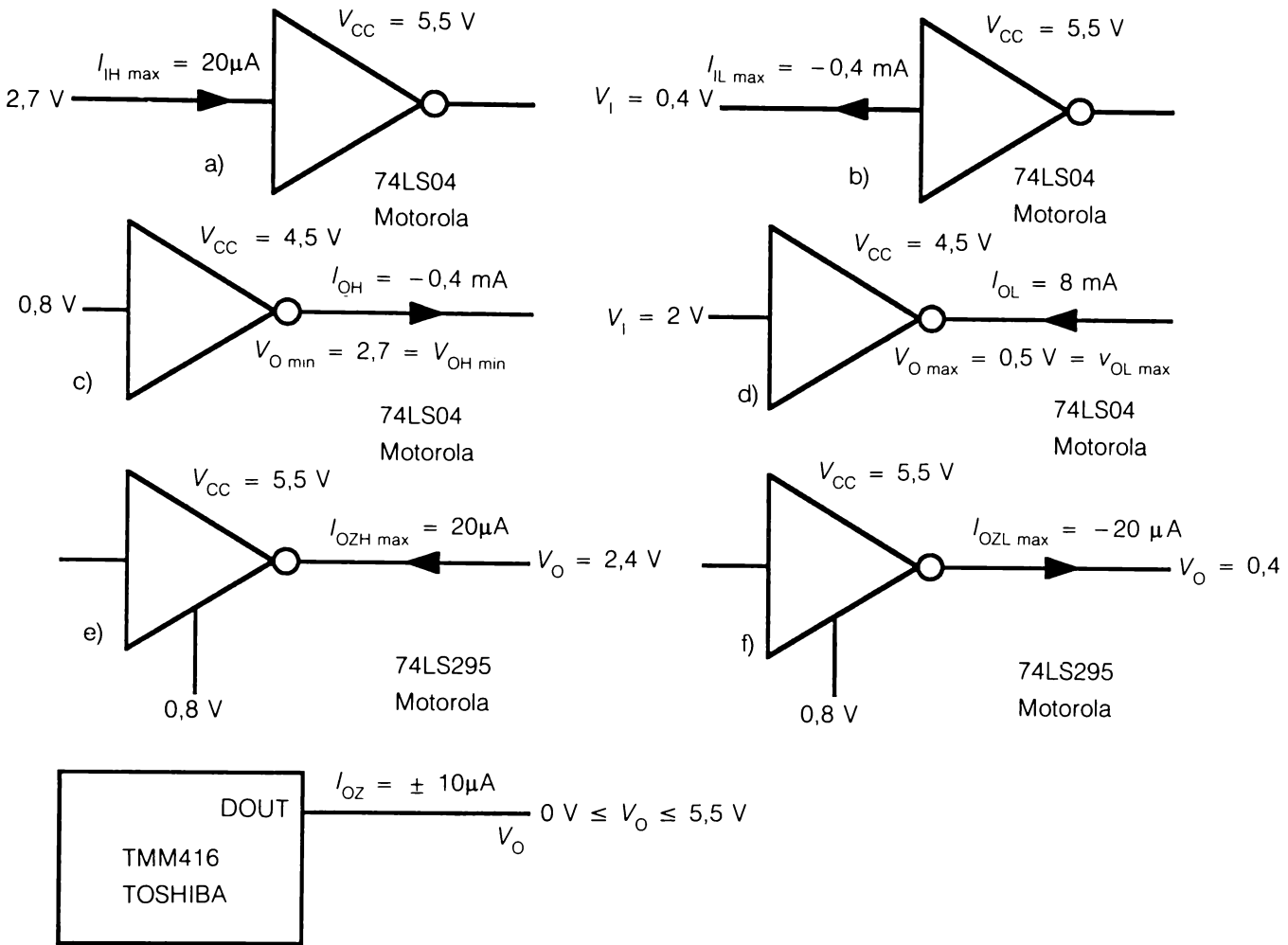


Figure C.8 Un courant qui entre dans un CI est + . Un courant qui sort d'un CI est - .



sortie ouverte
 ex. : pendant le cycle de rafraîchissement
 g)

Figure C.9 Quelques définitions des courants des niveaux (voir texte).

a) I_{IH} ; b) I_{IL} ; c) I_{OH} ; d) I_{OL} ; e) I_{OZH} ; f) I_{OZL} ; g) I_{OZ} .

Convention des signes

Selon la convention respectée par tous (ça arrive !), un courant entrant dans un circuit est positif et un courant sortant d'un circuit est négatif. Comme l'illustre la figure C.8, l'appartenance aux groupes entrée ou sortie n'influence en rien cette sage unanimité.

I_{IH} = **courant d'entrée de niveau haut** (*Input High Current*)

ex. : Le courant maximal d'entrée de niveau haut du 74LS04 est de 20 μA sous une tension V_I de 2,7 V et une alimentation V_{CC} de 5,5 V (figure C.9a).

ex. : Le courant I_{IH} des circuits CMOS est pratiquement nul aux fréquences basses.

I_{IL} = **courant d'entrée de niveau bas** (*Input Low Current*)

ex. : Le courant d'entrée de niveau bas du 74LS04 est de -0,4 mA (figure C.9b).

ex. : Le courant I_{IL} des circuits CMOS est pratiquement nul aux fréquences basses.

I_{OH} = **courant de sortie de niveau haut** (*Output High Current*)

ex. : Un courant I_{OH} de -0,4 mA est fourni sous une tension V_O garantie minimale de 2,7 V (figure C.9c).

I_{OL} = **courant de sortie de niveau bas** (*Output Low Current*)

ex. : Un courant I_{OL} de 8 mA est tiré sous une tension V_O garantie maximale de 0,5 V (figure C.9d).

I_{OZH} = **courant d'état 3 de niveau haut** (*Output Off Current High*)

ex. : Le courant I_{OZH} max est de 20 μA pour le 74LS295 (figure C.9e).

I_{OZL} = **courant d'état 3 de niveau bas** (*Output Off Current Low*)

ex. : Le courant I_{OZL} max est de -20 μA pour le 74LS295 (figure C.9f).

I_{OZ} = **courant d'état 3** (1. *Output Current High Z* ; 2. *Off State Output Current*)

ex. : Le courant I_{OZ} du TMM416 est de $\pm 10 \mu\text{A}$ (figure C.9g).

C.7 TEMPS DE PROPAGATION ET TEMPS DE TRANSITION

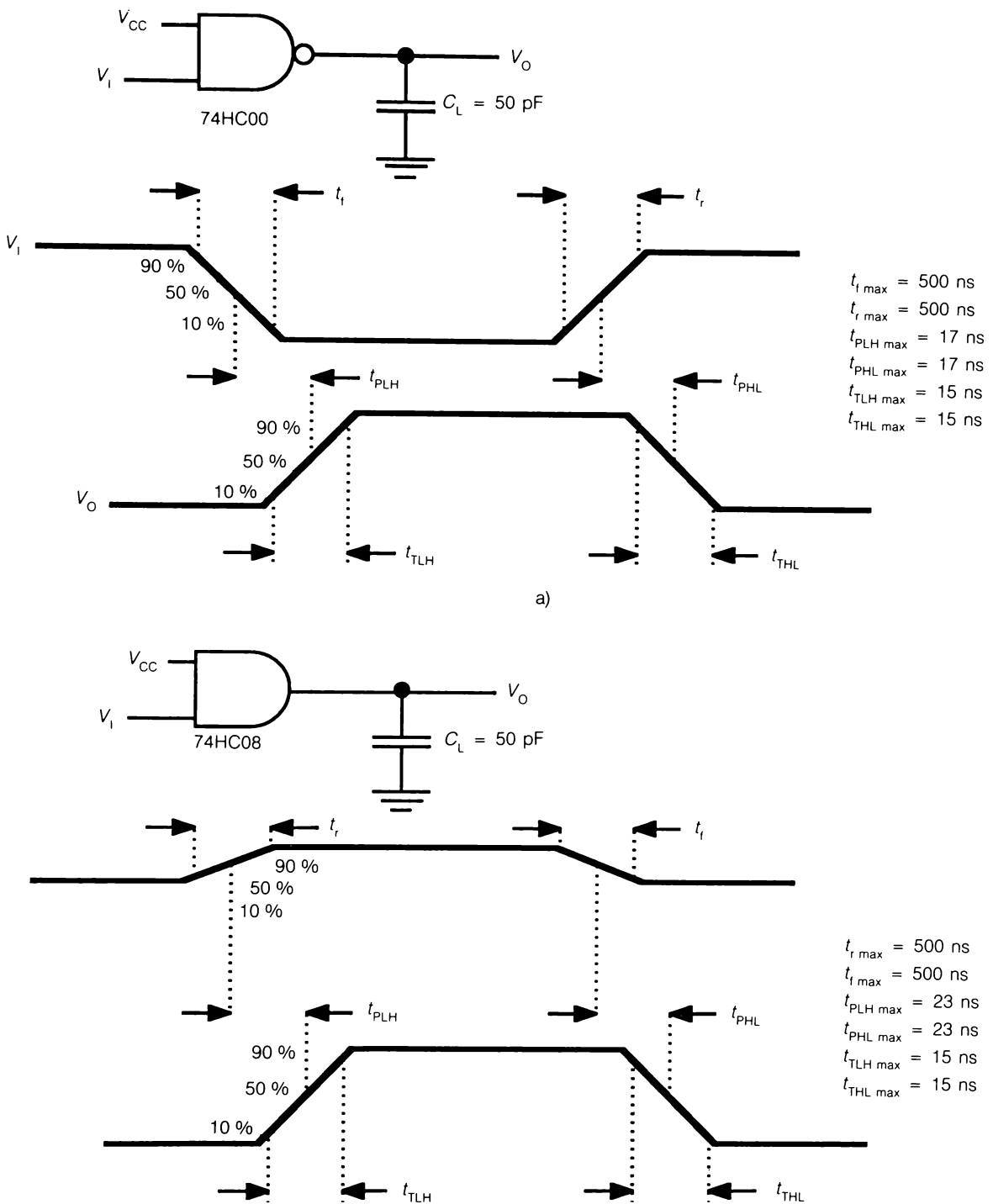


Figure C.10 Temps de propagation et temps de transition a) du circuit inverseur 74HC00; b) du circuit non inverseur 74HC08.

t_{PLH} = **temps de propagation haut** (*Propagation Delay Low to High*)

ex. : Le temps t_{PLH} du 74HC00 est de 17 ns (figure C.10). Notez que le point de référence de 50 % correspond à une tension d'environ 2,5 V pour les circuits CMOS et d'environ 1,5 V pour les circuits TTL (alimentés sous 5 V, évidemment).

t_{PHL} = **temps de propagation bas** (*Propagation Delay High to Low*)

ex. : Le temps t_{PHL} du circuit non-inverseur 74HC08 est de 23 ns (figure C.10).

ex. : Le temps t_{PHL} est souvent égal au t_{PLH} (figure C.10).*

t_{TLH} = **temps de transition haut** (*Transition Time Low to High*)

ex. : Le temps t_{TLH} max du circuit inverseur 74HC00 est de 15 ns (figure C.10).

t_{THL} = **temps de transition bas** (*Transition Time High to Low*)

ex. : Le temps t_{THL} max des circuits 74HC00 et 74HC08 est de 15 ns (figure C.10).

t_r = **temps de montée** (*Rise Time*)

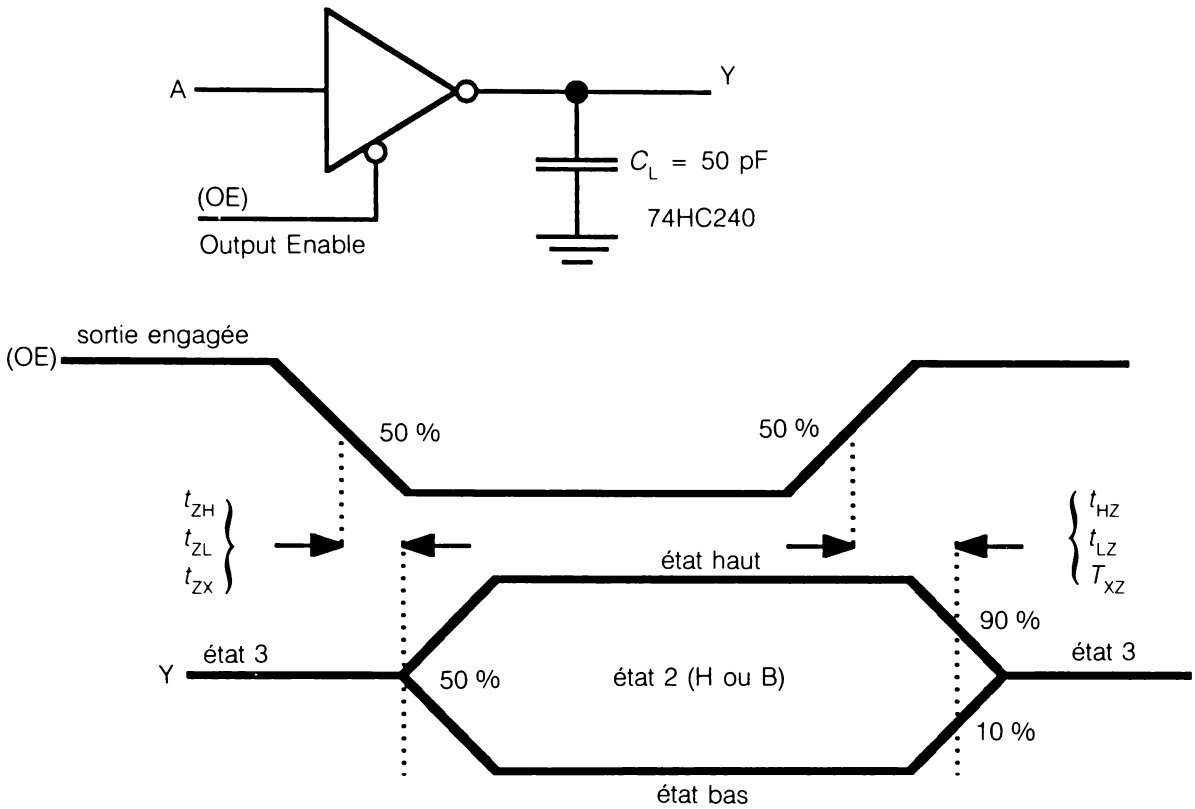
ex. : Le temps t_r , comme le temps t_{TLH} , est le temps de montée du signal mesuré entre 10 % et 90 % de sa valeur maximale (figure C.10).

t_f = **temps de descente** (*Fall Time*)

ex. : Le temps t_f , comme le temps t_{THL} , est le temps de descente du signal mesuré entre 90 % et 10 % de sa valeur maximale (figure C.10).

ex. : On réserve souvent les symboles t_r et t_f aux signaux d'attaque (figure C.10).

(*) Si $t_{PHL} = t_{PLH}$, on représente ces grandeurs par t_p (temps de propagation).



- H = état haut
- L = état bas
- Z = état 3
- X = indifférent (état 2)

temps d'état 3 à H = $t_{ZH} = 15$ ns
 temps d'état 3 à L = $t_{ZL} = 15$ ns
 temps d'état 3 à 2 (seulement si $t_{ZH} = t_{ZL}$) = $t_{ZX} = 15$ ns
 temps d'état H à 3 = $t_{HZ} = 15$ ns
 temps d'état L à 3 = $t_{LZ} = 15$ ns
 temps d'état 2 à 3 (seulement si $t_{HZ} = t_{LZ} = t_{XZ} = 15$ ns)

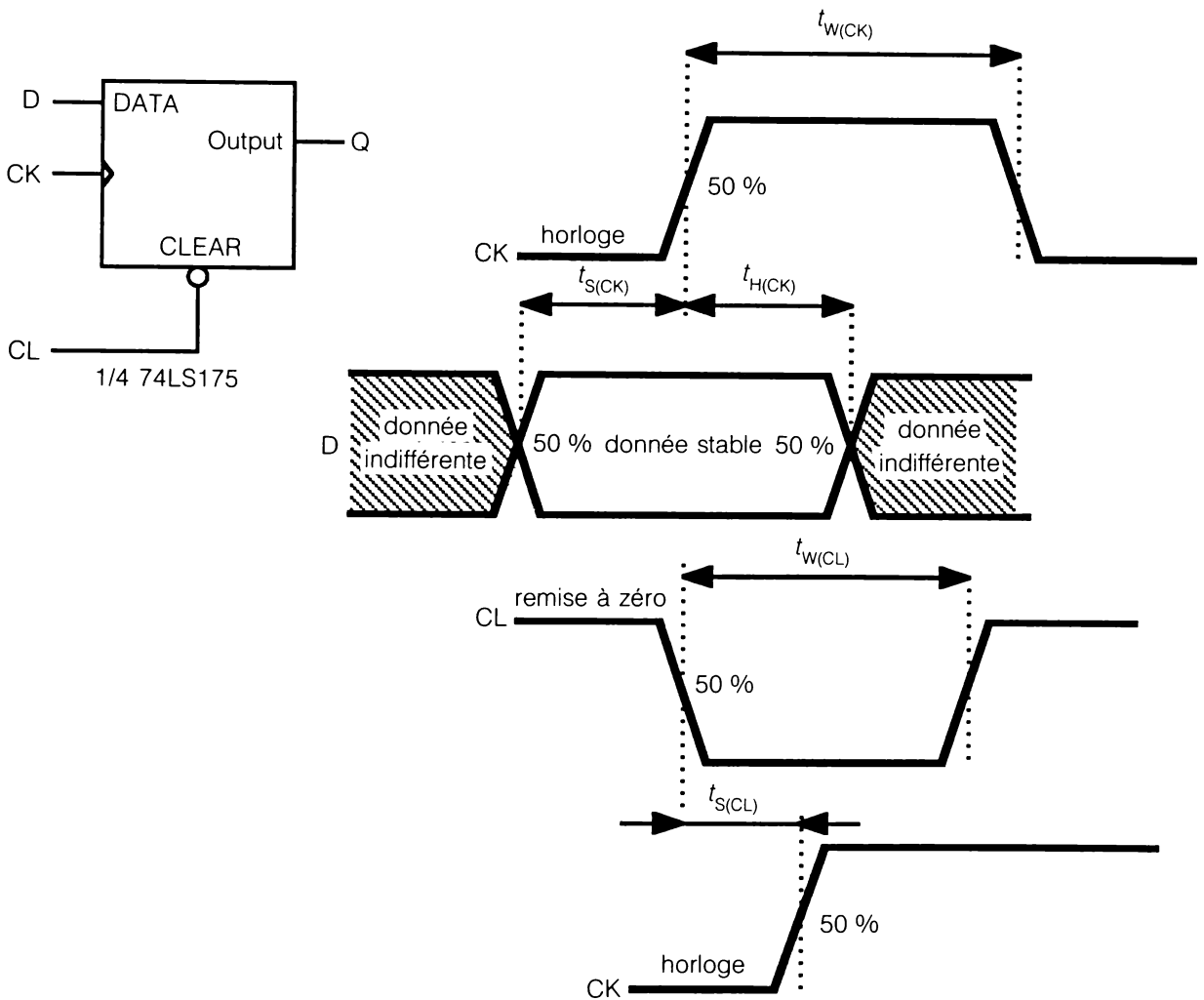
Figure C.11 Temps d'état 3 du 74HC240 (valeurs typiques : $V_{CC} = 4,5$ V et $t_r = t_f = 6$ ns).

Tableau C.6 Temps d'état 3.

symbole	signification française	signification anglaise
t_{ZH}	temps d'état 3 à H (Figure C.11)	<ol style="list-style-type: none"> 1. Output Enable Time (of a three-state output) to High Level ; 2. Output Enable Time : Z to High ; 3. Propagation Delay output Enable Z to High.
t_{ZL}	temps d'état 3 à L (Figure C.11)	<ol style="list-style-type: none"> 1. Output Enable Time (of a three-State output) to Low Level ; 2. Output Enable Time : Z to Low ; 3. Propagation Delay Output Enable Z to Low.
t_{ZX}	temps d'état 3 à 2 (Figure C.11)	<ol style="list-style-type: none"> 1. Output Enable Time (of a three-State output) to High or Low Level ; 2. Output Enable Time ; 3. Propagation Delay Output Enable.
t_{HZ}	temps d'état H à 3 (Figure C.11)	<ol style="list-style-type: none"> 1. Output Disable Time (of a three-State output) from High Level ; 2. Output Disable Time : High to Z ; 3. Propagation Delay Output Disable High to Z.
t_{LZ}	temps d'état L à 3 (Figure C.11)	<ol style="list-style-type: none"> 1. Output Disable Time (of a three-State output) from Low Level ; 2. Output Disable Time : Low to Z ; 3. Propagation Delay Output Disable Low to Z.
t_{XZ}	temps d'état 2 à 3 (figure C.11)	<ol style="list-style-type: none"> 1. Output Disable Time (of a three-State output) from High or Low Level ; 2. Output Disable Time ; 3. Propagation Delay Output Disable.

C.8 TEMPS DE COMMANDE ET DE SYNCHRONISATION

largeur d'impulsion d'horloge (CK) = $t_w(\text{CK}) = 20 \text{ ns}$
 largeur d'impulsion d'effacement (CL) = $t_w(\text{CL}) = 20 \text{ ns}$
 temps de préparation (avant CK) = $t_s(\text{CK}) = 20 \text{ ns}$
 temps de maintien (après CK) = $t_h(\text{CK}) = 5 \text{ ns}$
 temps de préparation (avant CL) = $t_s(\text{CL}) = 25 \text{ ns}$



- $t_w(\text{CK}) = 20 \text{ ns}$: largeur de CK
- $t_w(\text{CL}) = 20 \text{ ns}$: largeur de CL
- $t_s(\text{CK}) = 20 \text{ ns}$: temps d'avance (avant CK)
- $t_h(\text{CK}) = 5 \text{ ns}$: temps de maintien (après CK)
- $t_s(\text{CL}) = 25 \text{ ns}$: temps d'avance (avant CL)

Figure C.12 Temps minima de commande et de synchronisation du 74LS175.

$t_W =$ **largeur d'impulsion** (*Pulse Width*)

ex. : La largeur d'impulsion minimale d'horloge du 74LS175 doit être de 20 ns, soit $t_W(\text{CK})_{\text{min}} = 20 \text{ ns}$ (figure C.12).

$t_S =$ **temps de préparation** (*Setup Time*)

ex. : Selon la figure C.12, la donnée doit être présente 20 ns avant la transition active d'horloge, soit $t_S(\text{CK}) = 20 \text{ ns}$.

$t_H =$ **temps de maintien** (*Hold Time*)

ex. : Selon la figure C.12, la donnée doit être maintenue 5 ns après la transition active d'horloge, soit $t_H(\text{CK}) = 5 \text{ ns}$.

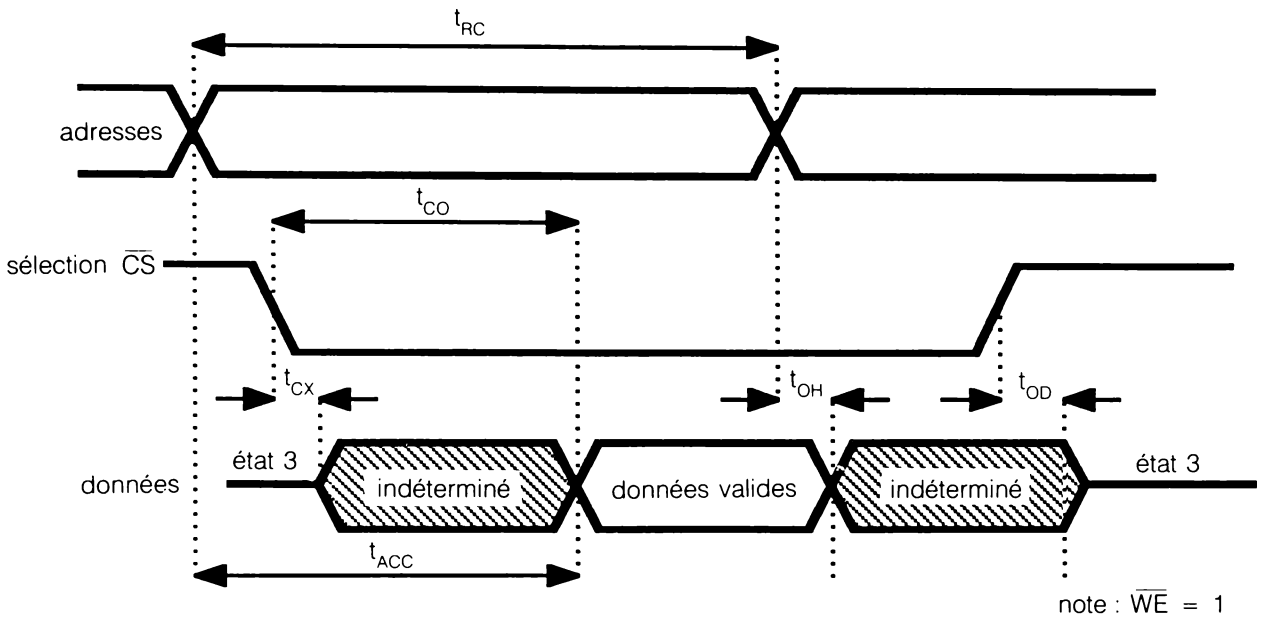
$t_R =$ **temps de rétablissement** (1. *Recovery Time* ; 2. *Hold time*).

En simplifiant un peu disons que c'est un temps de maintien.

$t_P =$ **temps de propagation** (*Propagation Delay Time*)

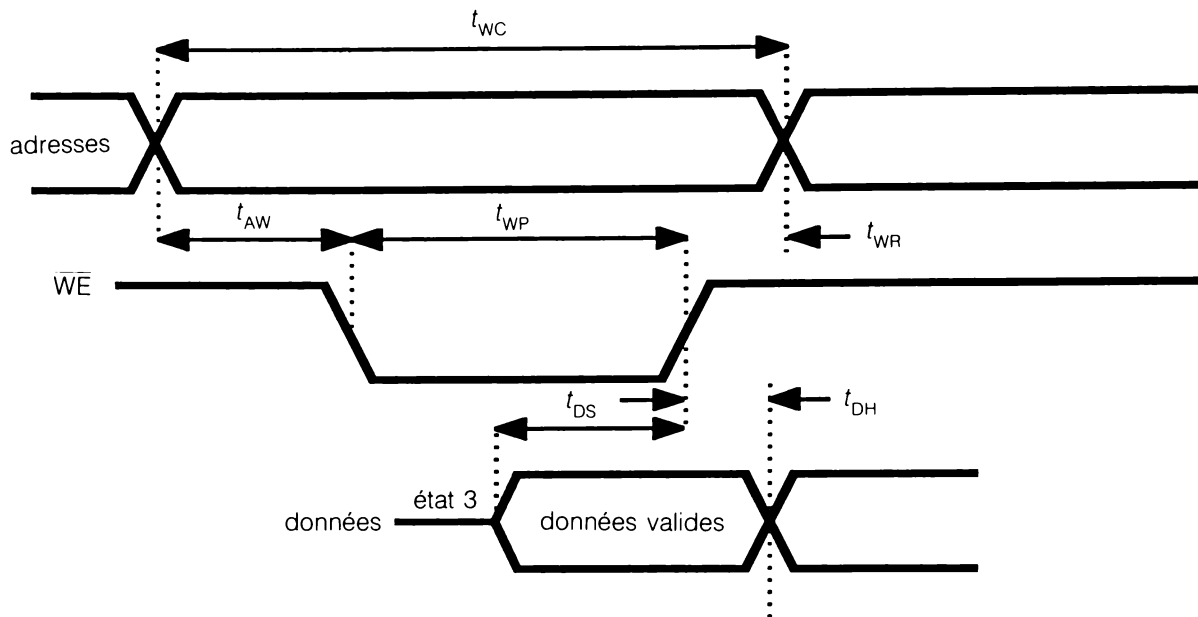
Si t_P est un temps de commande ou de synchronisation, on peut l'utiliser à toutes les sauces. Simplifions en disant que c'est le temps entre une transition active d'un signal A et une transition d'un signal B, qui en découle.

C.9 TEMPS DES MÉMOIRES



symbole	signification française	signification anglaise
t_{RC}	temps de lecture	Read Cycle Time
t_{ACC}	temps d'accès (après l'adresse)	1. Access Time from Adresse 2. Access Time
t_{CO}	temps d'accès (après CS)	1. Access Time from Chip Select 2. Chip Selection to Out Valid
t_{CX}	temps d'état 3 à 2	1. Output Enable Time 2. Chip Selection to Output Active
t_{OD}	temps d'état 2 à 3	1. Output Disable Time 2. Output 3 State from Deselection
t_{OH}	temps de maintien de la sortie (après l'adresse)	1. Output Hold Time from Address Change

Figure C.13 Cycle de lecture de la mémoire 2114.



symbole	signification française	signification anglaise
t_{WC}	temps d'écriture	Write Cycle Time
t_{WP}	largeur d'impulsion d'écriture	Write Pulse Width
t_{AW}	temps de préparation de l'adresse	1. Address to Write Setup Time 2. Address Setup Time
t_{WR}	temps de maintien de l'adresse	1. Write Recovery Time 2. Write Release Time 3. Address Hold Time
t_{DS}	temps de préparation des données	1. Data Setup Time 2. Data to Write Time Overlap
t_{DH}	temps de maintien des données	1. Data Hold from Write Time 2. Data Hold Time

Figure C.14 Cycle d'écriture de la mémoire 2114.

Les figures C.13 et C.14 représentent les chronogrammes de lecture et d'écriture de la mémoire 2114. Remarquez l'apparition de deux nouveaux temps : le temps d'accès et le temps de lecture (ou d'écriture). Nous avons vu le symbole et la signification des autres temps. Vous pouvez adapter ces symboles et leur signification à toutes les mémoires existantes et aussi aux divers microprocesseurs et contrôleurs d'interface.

C.10 RÉSUMÉ DES TEMPS

Il existe huit types de temps, à savoir :

1. Le temps de propagation t_{PXY} entre entrées et sorties ;
2. Le temps de transition t_{TXY} d'un même signal ;
3. Le temps d'état 3 à 2 ou d'état 2 à 3 t_{ZX} , t_{XZ} ;
4. Le temps de préparation t_S d'un signal par rapport à un autre ;
5. Le temps de maintien t_H d'un signal par rapport à un autre ;
6. Le temps d'accès t_A d'une sortie par rapport à une entrée ;
7. Les temps spéciaux respectifs t_{WC} et t_{RC} d'écriture et de lecture ;
8. La largeur d'impulsion t_W d'un signal de commande ou d'horloge.

C.11 PROBLÈMES

1. Donnez le symbole de
 - a) Transition haute ;
 - b) Haute impédance ;
 - c) État 2 ;
 - d) Niveau haut ;
 - e) État 3 ;
 - f) Indifférent ;
 - g) Transition basse ;
 - h) État zéro ;
 - i) Niveau haut ou bas ;
 - j) Don't Care ;
 - k) Low Level ;
 - l) One State ;
 - m) *High Level* ;
 - n) Three-State Output.

2. Donnez la signification de
 - a) SSI ;
 - b) VLSI ;
 - c) PLA ;
 - d) V_{DD} ;
 - e) MSI ;
 - f) PAL.

3. Donnez la valeur habituelle de

- a) V_{SS} ;
- b) V_{CC} ;
- c) $V_{IH}(TTL)$;
- d) $V_{IH}(CMOS\ 74HC)$;
- e) $V_{IL}(TTL)$;
- f) $V_{OH}(CMOS\ 74HC)$.

4. Peut-on dire que la tension V_{IH} du 74HC00 peut varier de 2,6 V à 5 V?

5. Indiquez le symbole de

- a) Courant d'entrée haut ;
- b) Courant de sortie bas ;
- c) Courant d'état 3 haut ;
- d) Courant d'état 3 ;
- e) Output Off Current Low ;
- f) Input Low Current ;
- g) Off State Output Current.

6. Donnez la polarité de

- a) I_{OH} ;
- b) I_{IH} ;
- c) I_{OL} ;
- d) I_{IL} ;
- e) I_{OZL} .

7. Le temps t_r est quasi-synonyme du temps

- a) t_{PLH} ; b) t_{TLH} ; c) t_{THL} ; d) t_{PHL} .

8. Donnez le sigle de

- a) Temps d'état H à 3 ;
- b) Propagation Delay Output Disable High to Z ;
- c) Temps d'état 3 à L ;
- d) Propagation Delay Output Enable ;
- e) Temps d'état 3 à 2 ;
- f) Temps d'état 2 à 3 ;
- g) Temps d'état L à 3 ;
- h) Output Disable Time : Low to Z ;
- i) Output Disable Time (of a three-state output) from Low Level ;
- j) Output Enable Time ;
- k) Output Disable Time ;
- l) Propagation Delay Output Disable ;
- m) Temps d'état 3 à H.

9. Donnez la signification des symboles

- a) t_S ;
- b) t_H ;
- c) t_W .

10. Donnez le symbole, la valeur et la signification du symbole des temps définis par les contraintes :

- a) L'entrée D doit être présente 10 ns avant la transition du signal ϕ_1 ;
- b) La sortie Q passera de l'état 2 à l'état 3 15 ns après la transition du signal \bar{S} ;
- c) Le signal D doit être maintenu 5 ns après la transition active de CK ;
- d) Les données de la mémoire seront valides et disponibles 100 ns après le signal de sélection \bar{CS} .

Appendice D

Solution des problèmes de numéros impairs

CHAPITRE 1

1.

Parce que la tension de sortie de niveau haut V_{OH} du circuit TTL est inférieure à la tension d'entrée de niveau haut V_{IH} du circuit CMOS.

3.

$$V_{O1} \approx 5 \text{ V} \quad V_{O2} \approx 3,5 \text{ V}$$

5.

a) $I_{lmax} = -0,4 \text{ mA}$

b) $I_{lmax} = 20 \text{ } \mu\text{A}$

c) $I_{lmax} = 0,1 \text{ mA}$

d) $I_{lmin} = - \left| \frac{3 - 1,5}{0,1} \right| = -15 \text{ mA}$

7.

a) permise

b) interdite; $V_{ILmax} = 0,8 \text{ V}$

c) interdite; $V_{IHmin} = 3,15 \text{ V}$

d) interdite; $V_{ILmax} = 0,9 \text{ V}$

e) interdite; $V_{IHmin} = 11 \text{ V}$

f) permise

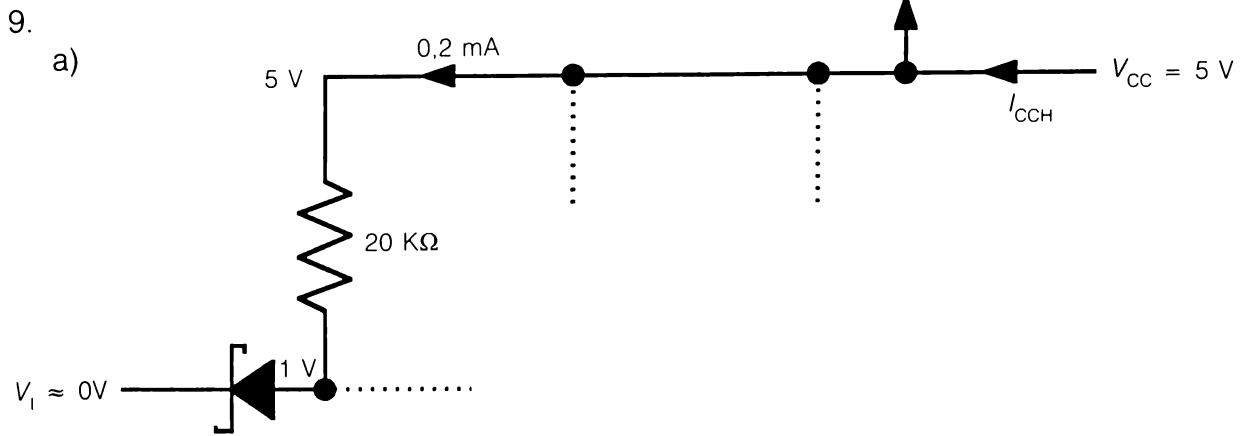


Figure D.1 Circuit équivalent à l'instant t_A pour la question 9a.

Il vient $I_{CCH} = 0,2 \text{ mA} \times 6 = 1,2 \text{ mA}$.

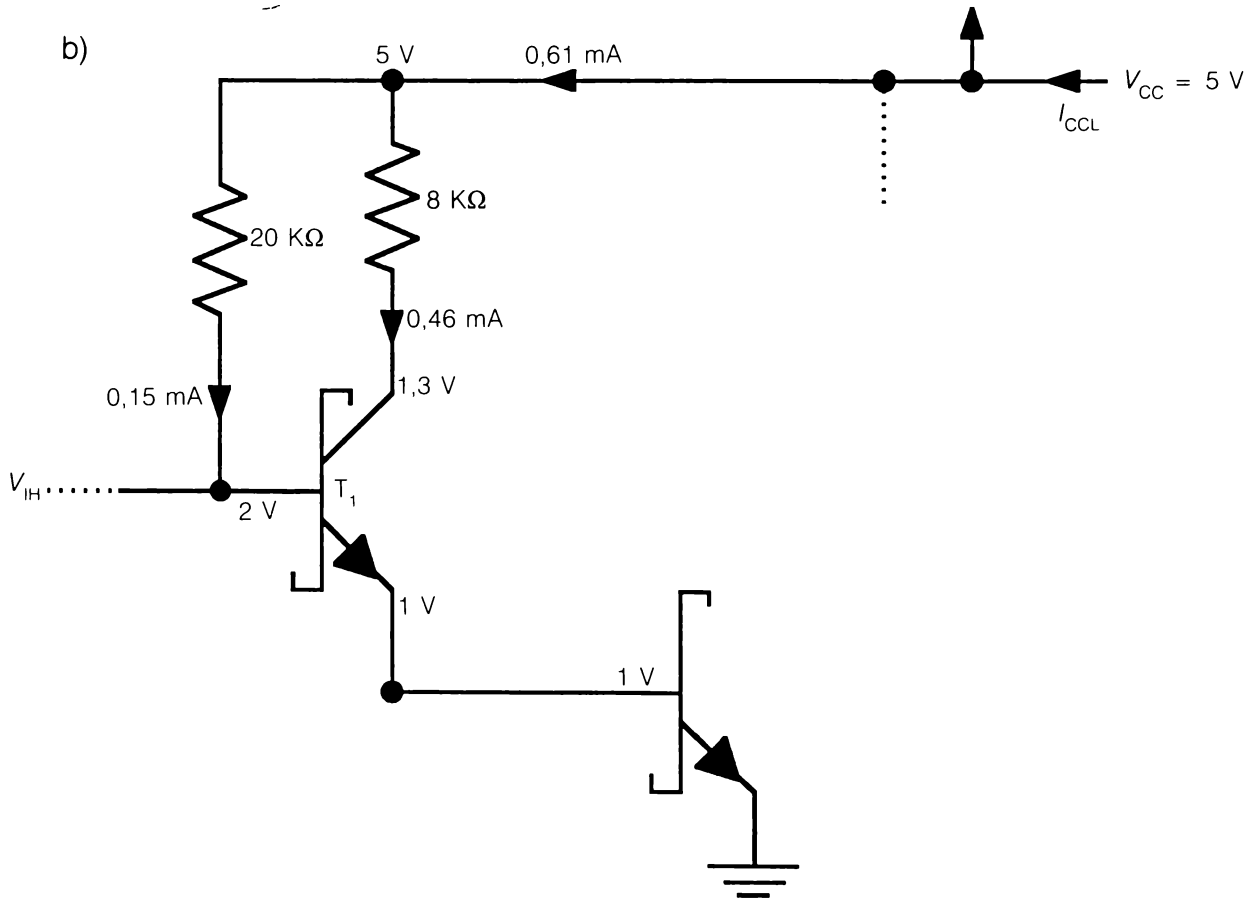


Figure D.2 Circuit équivalent à l'instant t_B pour la question 9b.

Il vient $I_{CCL} = 0,61 \text{ mA} \times 6 = 3,66 \text{ mA}$.

La fiche technique du 74LS04 de la société TEXAS donne

I_{CCH} nominal = 1,2 mA

I_{CCL} nominal = 3,6 mA

11.

$$P_D = (C_{PD} + CL) V^2 f$$

$$P_D = (20 + 20) \times 25 \times 20 \times 10^{-6} = 0,02 \text{ W} = 20 \text{ mW}$$

13.

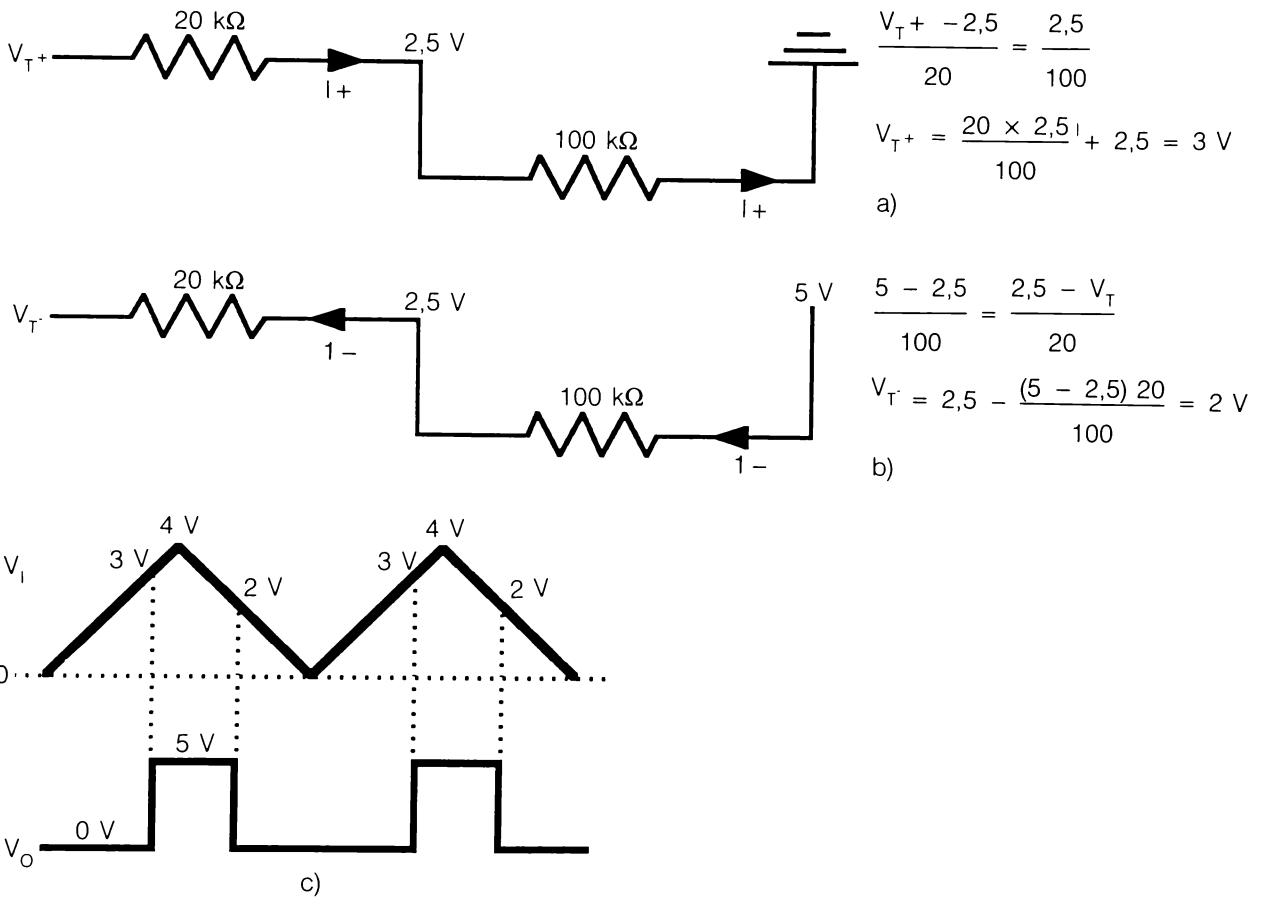


Figure D.3 Pour le problème 13. a) Schéma équivalent pour le calcul de V_{T+} ; b) Schéma équivalent pour le calcul de V_{T-} ; c) Chronogrammes de V_I et de V_O .

15.

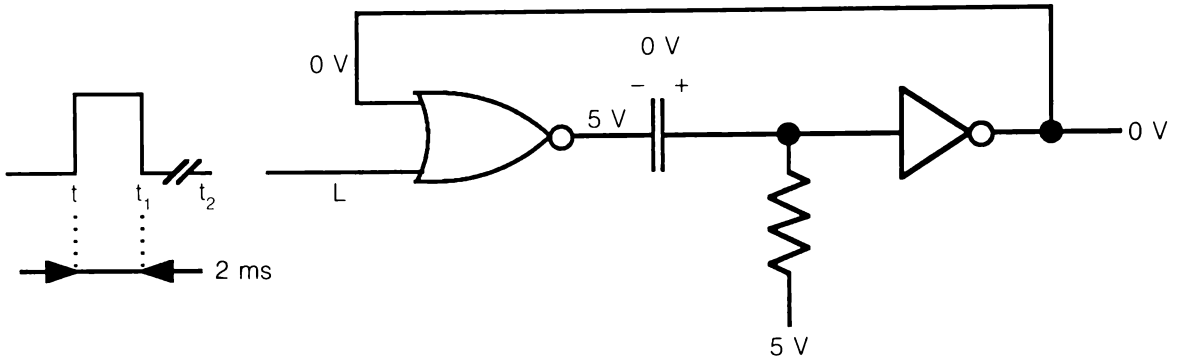


Figure D.4 Circuit équivalent à l'instant t^- .

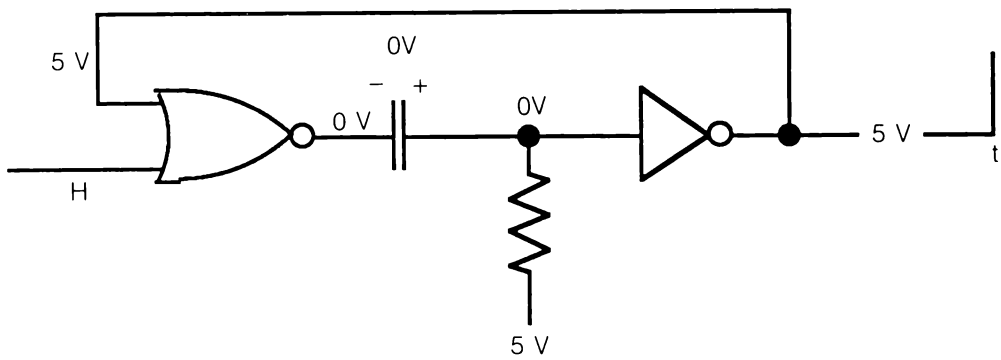


Figure D.5 Circuit équivalent à l'instant t^+ .

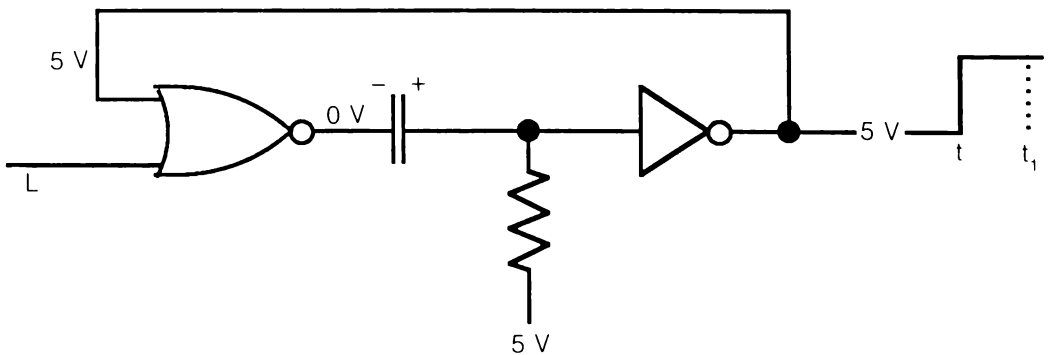


Figure D.6 Circuit équivalent à l'instant t_1 .

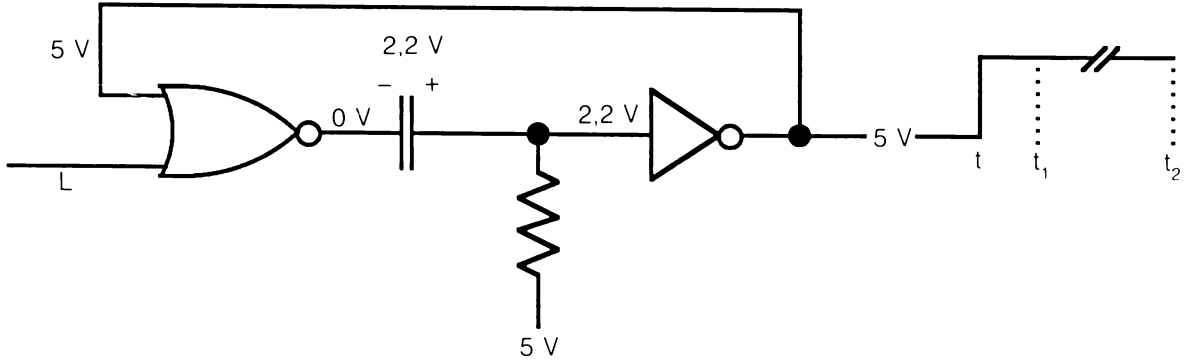


Figure D.7 Circuit équivalent à l'instant t_{2-} .

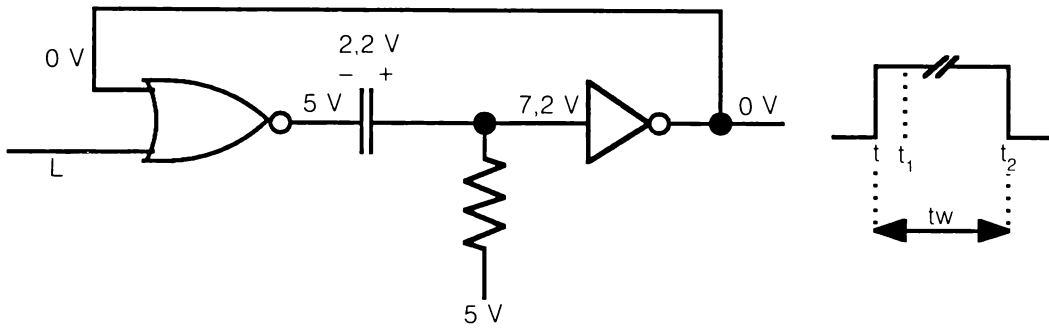


Figure D.8 Circuit équivalent à l'instant t_{2+} .

Il vient $t_w = RC \ln \frac{5}{5 - 2,2} = 0,05 \times 0,58 = 0,029 \text{ s} = 29 \text{ ms}$

17.

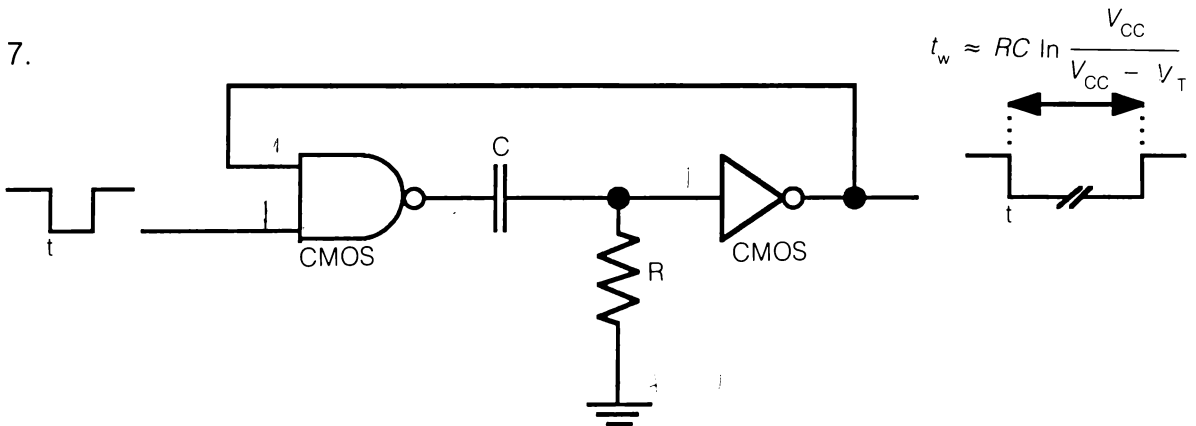


Figure D.9 Pour la solution du problème 17.

19.

- a) $t_{TLH} = (1,35 \text{ ns/pF})C_L + 33 \text{ ns}$
 $t_{TLH} = (1,35 \times 100 + 33) \text{ ns} = 168 \text{ ns}$
- b) $t_{THL} = (1,35 \text{ ns/pF})C_L + 33 \text{ ns}$
 $t_{THL} = (1,35 \times 100 + 33) \text{ ns} = 168 \text{ ns}$
- c) $t_{PLH} = (0,90 \text{ ns/pF})C_L + 80 \text{ ns}$
 $t_{PLH} = (0,90 \times 100 + 80) \text{ ns} = 170 \text{ ns}$
- d) $t_{PHL} = t_{PLH} = 170 \text{ ns}$

CHAPITRE 2

1.

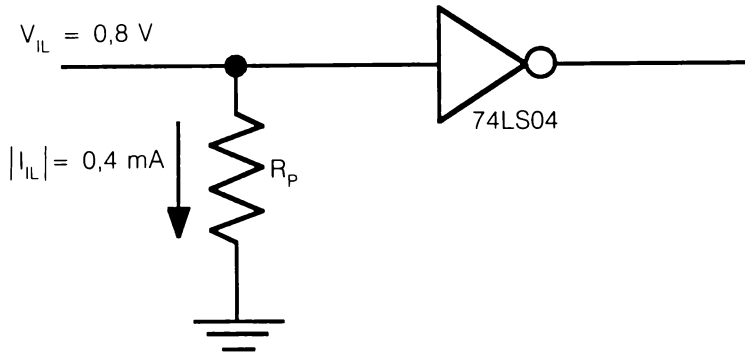


Figure D.10 Pour la solution du problème 1.

Il vient $R_{Pmax} = \frac{0,8 \text{ V}}{0,4 \text{ mA}} = 2 \text{ k}\Omega$

3.

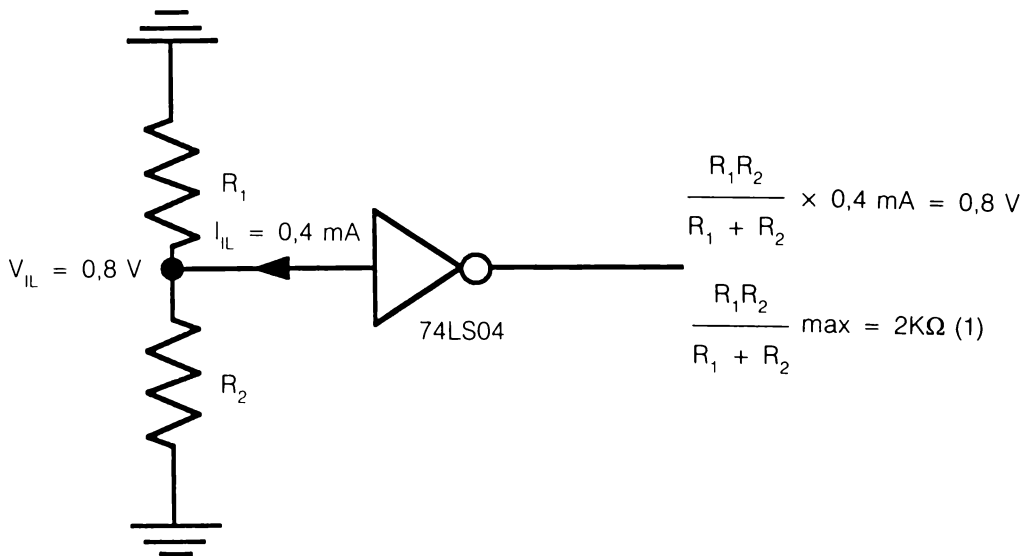


Figure D.11 Circuit équivalent pour le niveau bas.

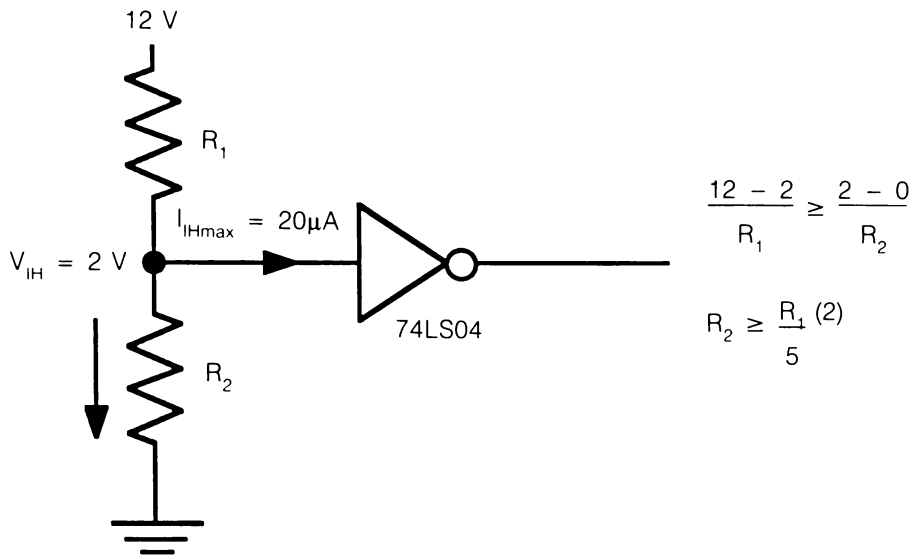


Figure D.12 Circuit équivalent pour le niveau haut.

(1) et (2) donnent $R_1 = 12\text{ k}\Omega$
 $R_2 = 2,4\text{ k}\Omega$ } valeurs critiques

Pour diminuer V_{IL} et augmenter V_{IH} prenons $R_1 = 5\text{ k}\Omega$ et $R_2 = 2,5\text{ k}\Omega$.

5.

Un seul circuit 74LS00.

7.

a) Le courant d'entrée relevé sur la fiche technique du 75469 est de 0,35 mA (valeur typique) pour une tension d'entrée de 5 V. Effectivement on relève une tension d'environ 5 V à la sortie du 74HC4024.

b)

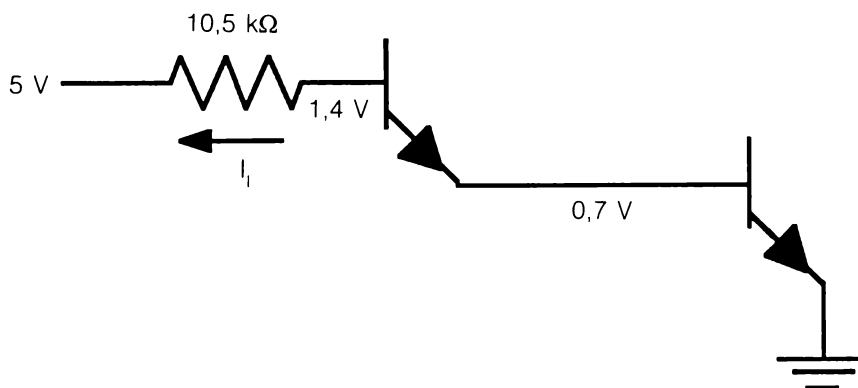


Figure D.13 Circuit équivalent pour le calcul de I_1 du 75469.

Le circuit équivalent du 75469 donne $I_1 = \frac{5 - 1,4}{10,5} = 0,34\text{ mA}$

c) $127 = (\overset{Q_7}{1} \overset{Q_6}{1} \overset{Q_5}{1} \overset{Q_4}{1} \overset{Q_3}{1} \overset{Q_2}{1} \overset{Q_1}{1})_2$

Tous les relais sont activés. La fiche technique du 75469 donne une tension de saturation maximale de 1,1 V pour un courant collecteur de 100 mA. Pour simplifier et être prudent, prenons $V_{CE\text{SAT}} = 1\text{ V}$ pour $I_C = 30\text{ mA}$. D'où la figure D.14.

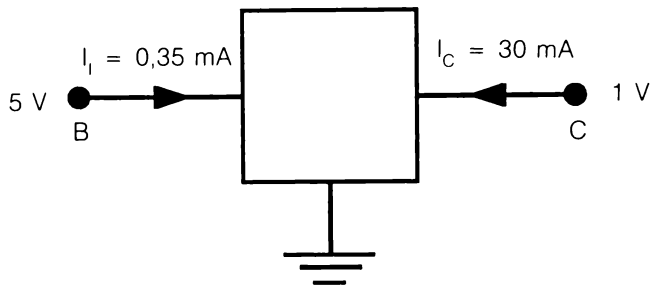


Figure D.14 Pour le calcul de la puissance dissipée.

La puissance totale dissipée dans le circuit sera égale à 7 fois la puissance dissipée dans une section. D'où

$$P = 7[(5\text{ V} \times 0,35\text{ mA}) + (1\text{ V} \times 30\text{ mA})] = 222\text{ mW}$$

9.

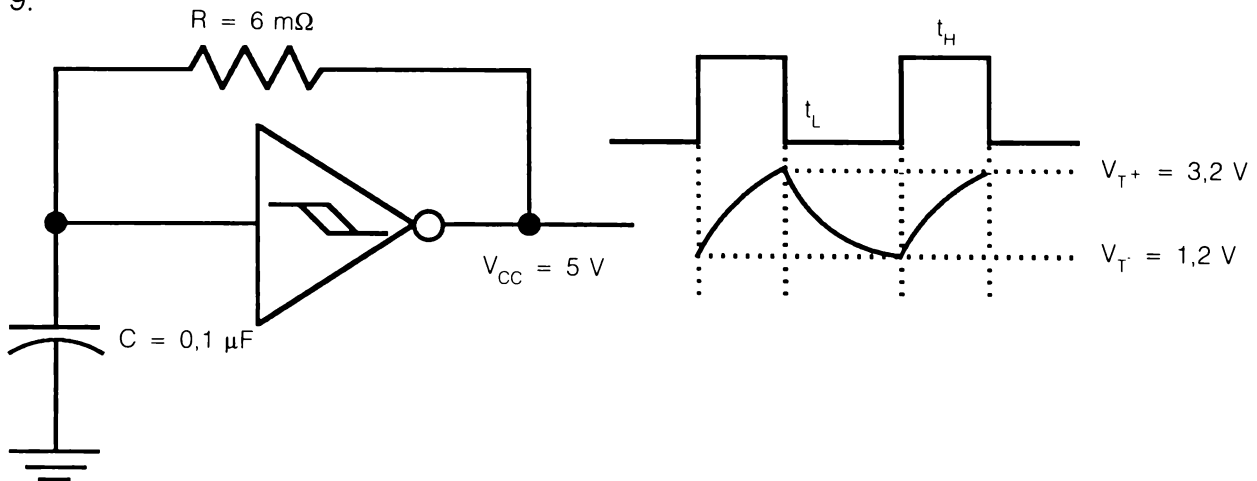
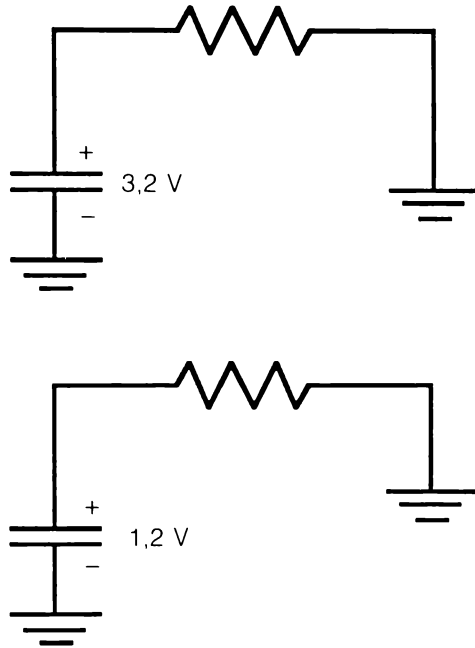
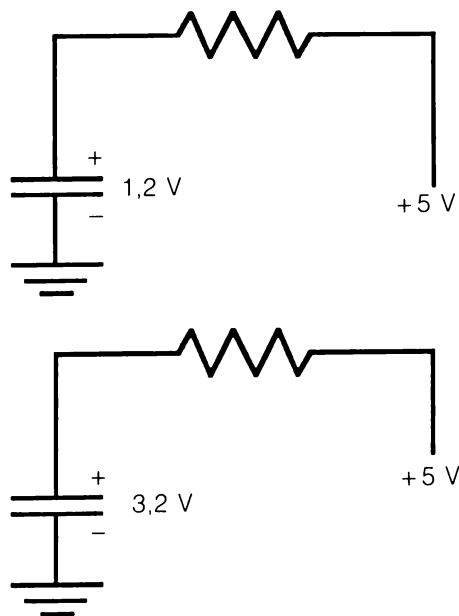


Figure D.15 Pour la solution du problème 9.

**Figure D.16** Pour le calcul de t_L .

$$t_L = RC \ln \frac{V_{T+}}{V_{T-}}$$

$$t_L = 6 \times 0,1 \ln \frac{3,2}{1,2} = 0,59 \text{ s}$$

**Figure D.17** Pour le calcul de t_H .

$$t_H = RC \ln \frac{V_{CC} - V_{T-}}{V_{CC} - V_{T+}}$$

$$t_H = 6 \times 0,1 \ln \frac{5 - 1,2}{5 - 3,2} = 0,45 \text{ s}$$

$$t_L + t_H \approx 1 \text{ s}$$

$$f \approx 1 \text{ Hz}$$

11.

a) $I_{O1} = \frac{V_{IH}}{100 \Omega} = \frac{2 \text{ V}}{100 \Omega} = 20 \text{ mA}$

b) $I_{OH \max} = 0,4 \text{ mA}$

c) Non

d) Oui, le 74LS04 peut souvent fournir 20 mA sous 2 V

e) En débranchant la résistance de 100 Ω

13.

$$V_B = V_{OL} = 0,45 V_{\max} \text{ (émetteur)}$$

$$V_R = V_{OH} = 2,4 V_{\min} \text{ (récepteur)}$$

15.

R_L	V_{OD} à t_H	V_{OD} à t_L	ΔV_{OD}
60Ω	min = + 1,5 V	min = - 1,5 V	± 0,2 V
100Ω	min = + 2 V	min = - 2 V	± 0,2 V
∞Ω	max = + 4 V	max = - 4 V	

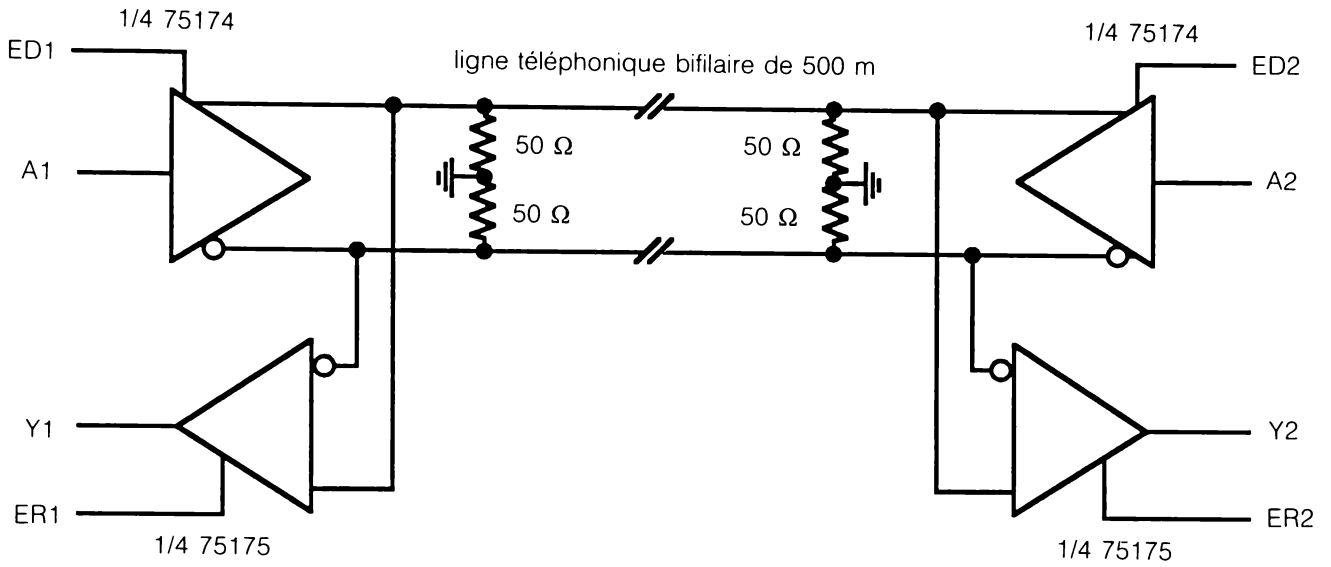
Tableau D.1 Pour la solution du problème 15.

17.

a) $V_Y = V_{OH} = 3,7 \text{ V}$ (typique)

b) $V_Z = V_{OL} = 1,1 \text{ V}$ (typique)

19.



	ED1	ER1	ED2	ER2
transmission A1 vers Y1 et Y2	1	1	0	1
transmission A2 vers Y2 et Y1	0	1	1	1

Figure D.18 Pour la solution du problème 19.

CHAPITRE 3

1.

a)

A	B	C	D	E	X	Y
0	0	0	0	0	0	1
0	0	0	0	1	0	1
0	0	1	0	0	0	1
0	0	1	0	1	0	1
1	0	0	0	0	0	1
1	0	0	0	1	0	0
1	0	1	0	0	0	1
1	0	1	0	1	0	0
0	1	0	0	0	0	1
1	1	0	1	1	1	1
0	1	1	0	0	0	1
0	1	1	0	1	0	0
1	1	0	0	0	0	1
1	1	0	0	1	0	1
1	1	1	0	0	0	1
1	1	1	0	1	0	1
1	1	1	1	1	0	1

b)

$$\begin{aligned}
 X &= A B \bar{C} D E \\
 Y &= \overline{A \oplus B} + \overline{D \oplus E} \\
 &= AB + \bar{A}\bar{B} + DE + \bar{D}\bar{E}
 \end{aligned}$$

Figure D.19 Pour la solution de la question 1a.

3.

E	I	D1	D2	D3	D4	D5	D6	Q1	Q2	Q3	Q4	Q5	Q6
0	0	1	0	1	1	1	0	0	1	0	0	0	1
0	0	1	0	0	1	0	0	0	1	1	0	1	1
1	X	X	X	X	X	X	X	Z	Z	Z	Z	Z	Z
1	X	X	X	X	X	X	X	Z	Z	Z	Z	Z	Z
0	1	X	X	X	X	X	X	0	0	0	0	0	0
0	1	1	0	1	1	0	1	0	0	0	0	0	0

Figure D.20 Pour la solution du problème 3.

5.

a)

E	S1	S2	A1	A2	A3	A4	Z
L	X	X	X	X	X	X	H
H	H	H	L	X	X	X	H
H	H	L	X	H	X	X	L
H	L	H	X	X	H	X	L
H	L	L	X	X	X	L	H
H	H	H	H	X	X	X	L

Figure D.21 Pour la solution de la question 5a.

b)

$$Z = E (S1 S2 A1 + S1 \overline{S2} A2 + \overline{S1} S2 A3 + \overline{S1} \overline{S2} A4)$$

7.

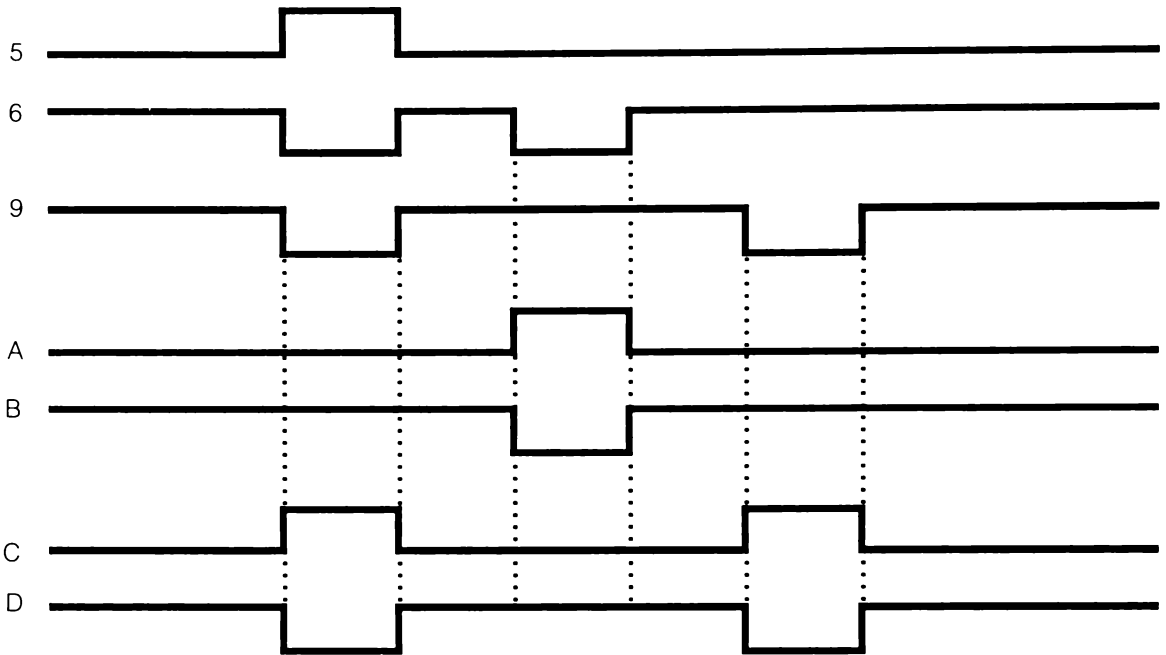


Figure D.22 Pour la solution du problème 7.

9.

CL	E	D	A2	A1	A0	Q0	Q1	Q2	Q3	Q4	Q5	Q6	Q7
L	H	X	X	X	X	L	L	L	L	L	L	L	L
L	L	H	L	H	H	L	L	L	H	L	L	L	L
L	L	L	H	L	L	L	L	L	L	L	L	L	L
H	L	H	L	L	H	L	H	L	L	L	L	L	L
H	H	H	L	L	H	L	H	L	L	L	L	L	L
H	H	H	H	L	H	L	H	L	L	L	L	L	L
H	L	H	H	L	H	L	H	L	L	L	H	L	L
H	H	H	H	L	H	L	H	L	L	L	H	L	L
H	H	L	L	L	H	L	H	L	L	L	H	L	L
H	L	L	L	L	H	L	L	L	L	L	H	L	L

Figure D.23 Pour la solution du problème 9.

11.

A	B	C	D	L1	L2	L3
0	0	0	0	0	0	0
0	0	0	1	0	0	0
0	0	1	0	0	0	0
0	0	1	1	0	0	1
0	1	0	0	0	0	0
0	1	0	1	0	1	1
0	1	1	0	0	1	0
0	1	1	1	0	1	1
1	0	0	0	0	0	0
1	0	0	1	1	1	1
1	0	1	0	1	1	0
1	0	1	1	1	1	1
1	1	0	0	1	0	0
1	1	0	1	1	1	1
1	1	1	0	1	1	0
1	1	1	1	1	1	1

$$L_1 = A (B + C + D)$$

$$L_2 = (A + B) (C + D)$$

$$L_3 = D (A + B + C)$$

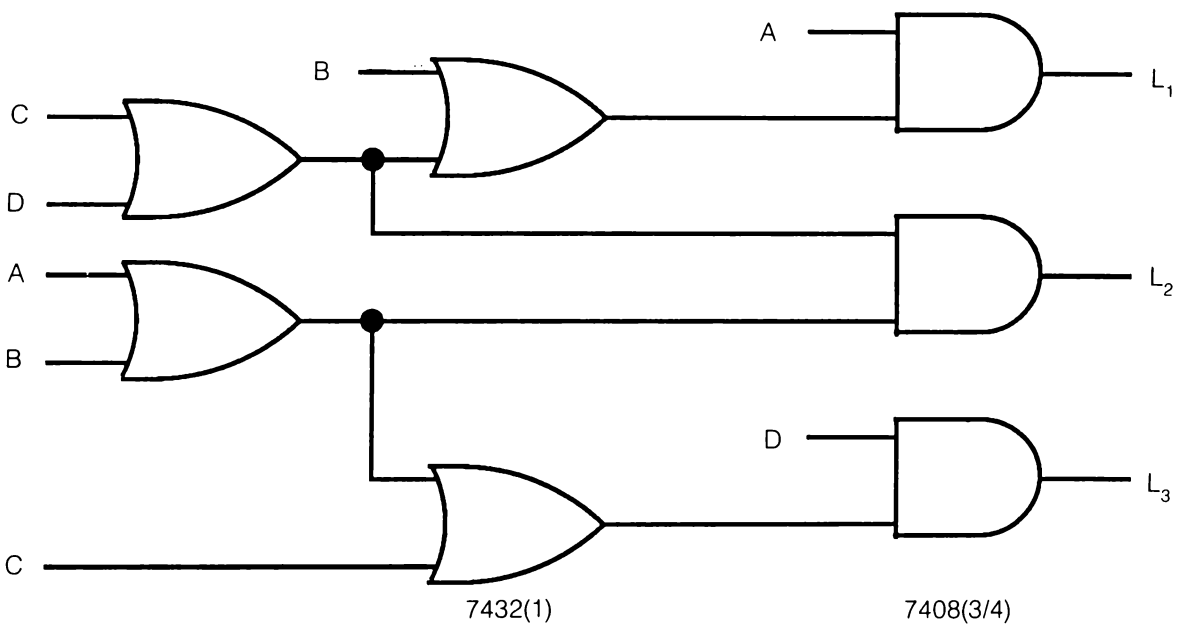


Figure D.24 Pour la solution du problème 11.

CHAPITRE 4

1.

E	A	B	Q	Q
1	1	0	1	0
0	1	0	1	0
0	1	1	1	0
1	1	1	1	1
1	0	1	0	1
0	0	1	0	1
0	0	0	0	1
1	0	0	0	1

Figure D.25 Pour la solution du problème 1.

3.

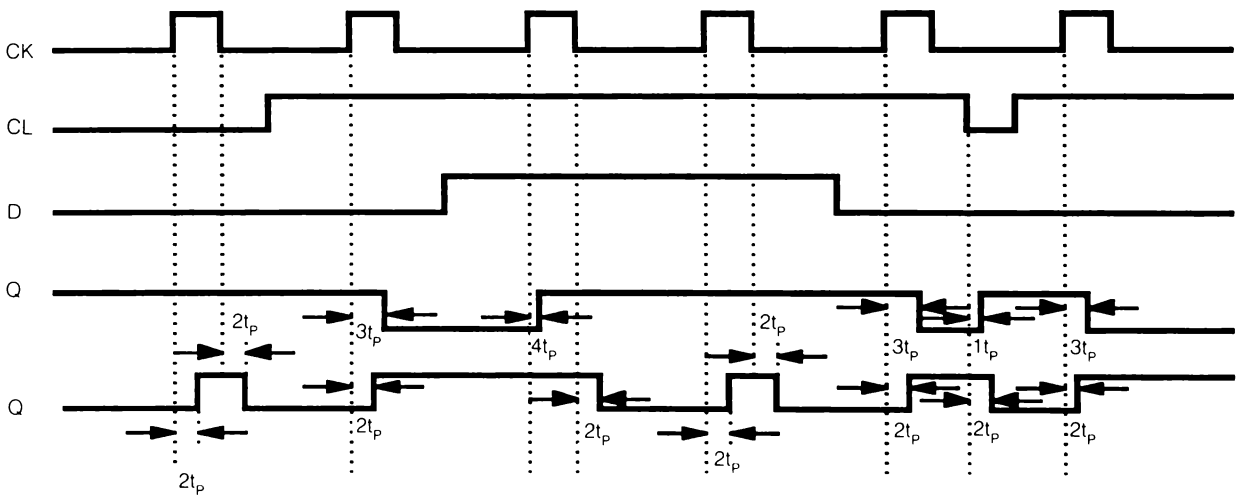


Figure D.26 Pour la solution du problème 3.

5.

CL	CK	QA	QB	QC
0	X	0	0	0
1	⌋	1	0	0
1	⌋	0	1	0
1	⌋	0	0	1
1	⌋	1	0	1
1	⌋	0	1	1
1	⌋	0	0	0

Figure D.27 Pour la solution du problème 5.

7.

CL	CK	QA	QB	QC	QD
0	X	0	0	0	0
1	↓	1	1	0	0
1	↓	0	0	1	0
1	↓	1	1	1	1
1	↓	0	0	0	1
1	↓	1	1	0	1
1	↓	0	0	1	1
1	↓	1	1	1	1
1	↓	0	0	0	1
1	↓	1	1	0	1

Figure D.28 Pour la solution du problème 7.

9.

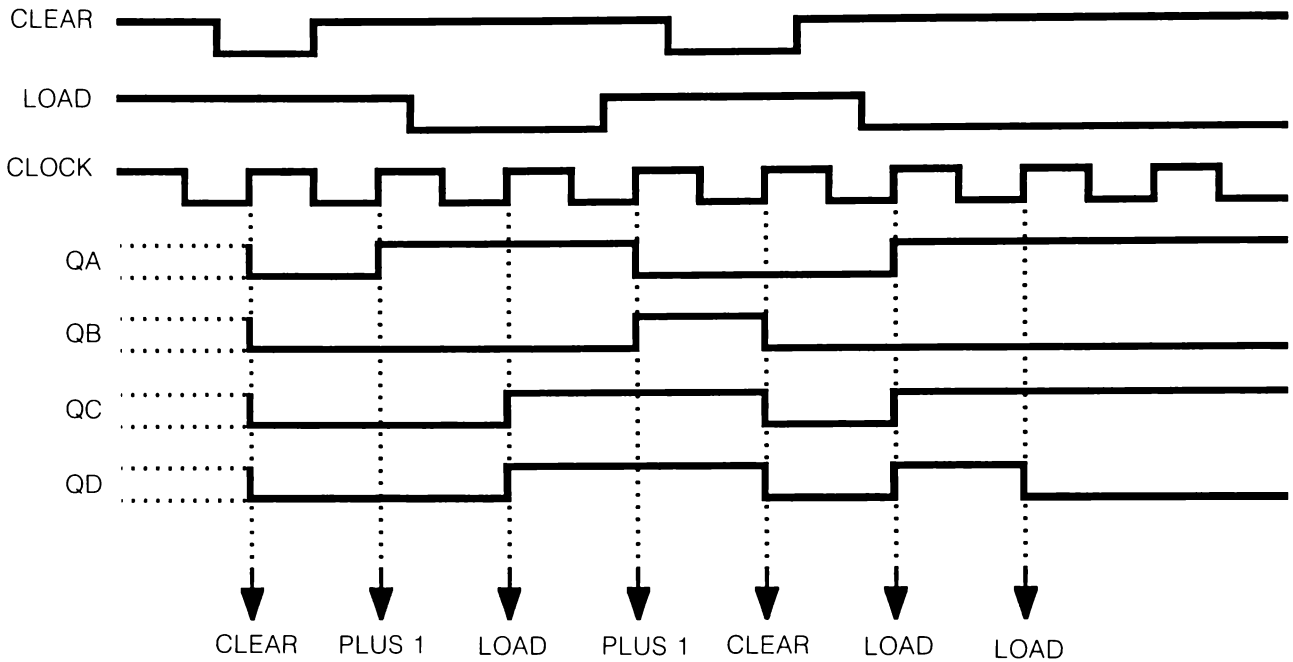


Figure D.29 Pour la solution du problème 9.

11.

On a $40 \text{ s} \times 60 \text{ Hz} = 2400!$

$$2400 = 2048 + 256 + 64 + 32 = 2^{12-1} + 2^{9-1} + 2^{7-1} + 2^{6-1}$$

Il faut raccorder les broches Q12, Q9, Q7 et Q6.

13.

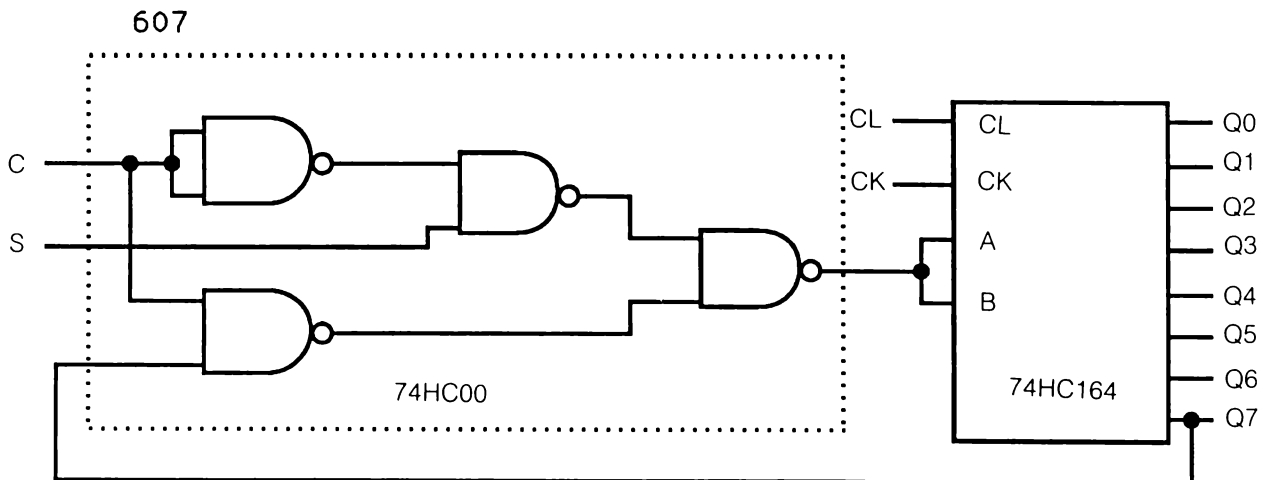
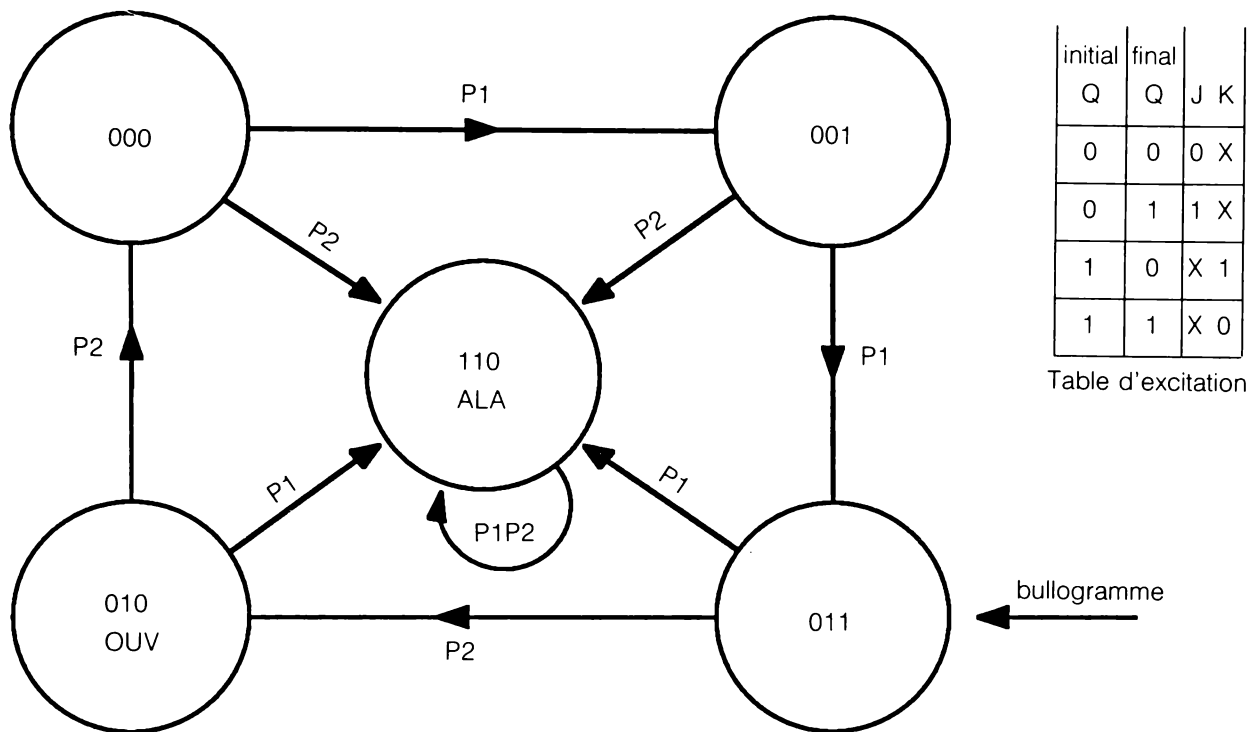


Figure D.30 Pour la solution du problème 13.

15.



initial	final	J	K
Q	Q		
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

Table d'excitation

initial	P1			P2			P1			P2			OUV	ALA										
QA QB QC	QA	QB	QC	QA	QB	QC	QA	QB	QC	JA	KA	JB	KB	JC	KC	JA	KA	JB	KB	JC	KC	OUV	ALA	
0 0 0	0	0	1	1	1	0	0	X	0	X	1	X	1	X	0	X	1	X	1	X	0	X	0	0
0 0 1	0	1	1	1	1	0	0	X	1	X	X	0	0	X	1	X	1	X	X	1	X	1	0	0
0 1 1	1	1	0	0	1	0	1	X	X	0	X	1	0	X	X	0	X	1	0	X	1	0	0	
0 1 0	1	1	0	0	0	0	1	X	X	0	0	X	0	X	X	0	X	0	X	0	X	1	0	
1 1 0	1	1	0	1	1	0	X	0	X	0	0	X	X	0	0	X	X	0	X	0	X	0	1	
1 1 1	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
1 0 1	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
1 0 0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

table de vérité

$JA = P1 QB + P2 \overline{QB}$

$KA = 0$

$JB = P1 QC + P2$

$KB = P2 \overline{QA} \overline{QC}$

$JC = P1 \overline{QB}$

$KC = P1 QB + P2$

$OUV = \overline{QA} QB \overline{QC}$

$ALA = QA$

équations

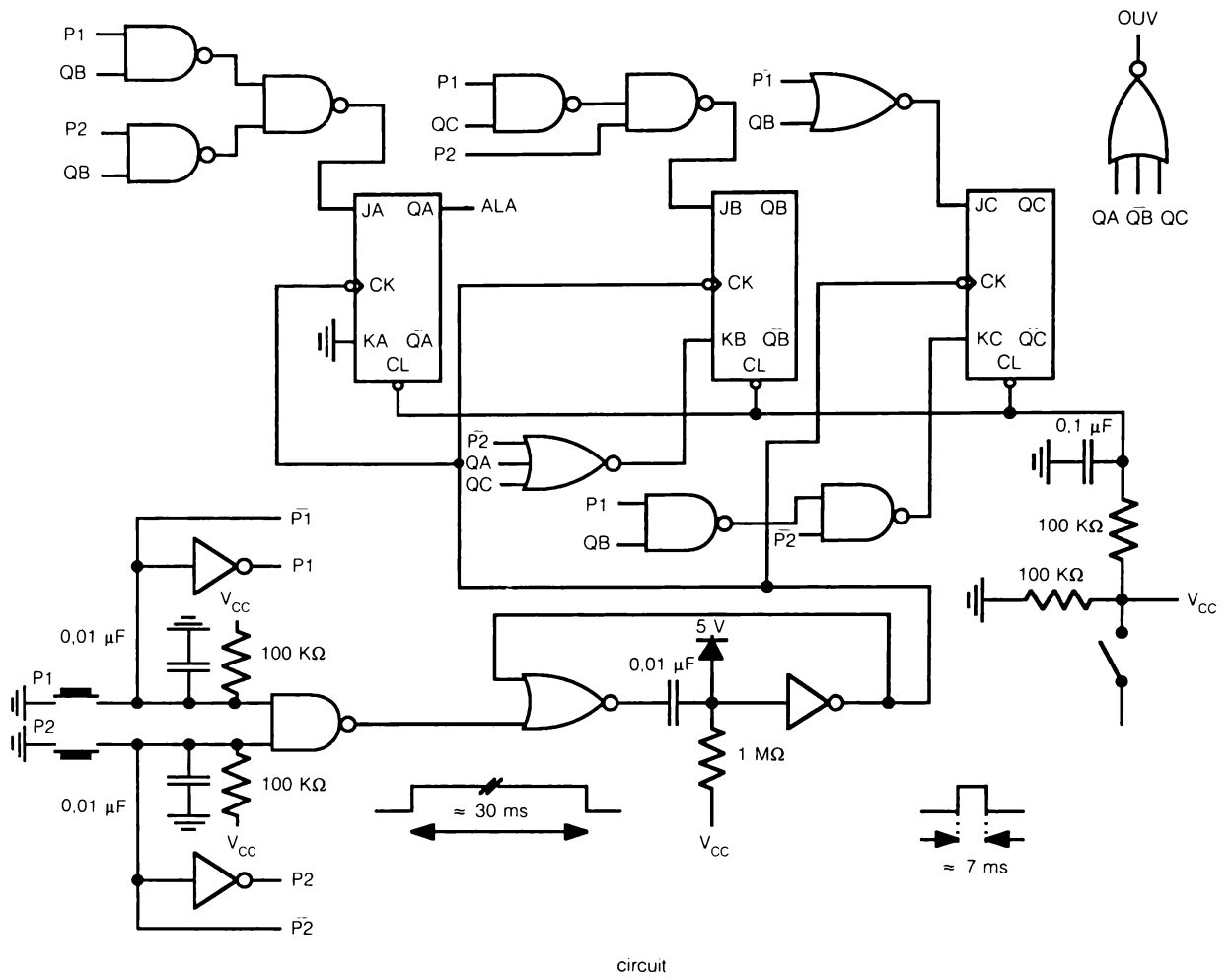


Figure D.31 Pour la solution du problème 15.

17.

	DATA					AFFICHAGE				
	Clear	A	B	C	D	LOAD	UP	DOWN	DIZAINES	UNITÉS
1	H	X	X	X	X	X	X	X	0	0
2	L	H	L	L	H	L	X	X	0	9
3	L	X	X	X	X	H	1(6)	H	1	5
4	L	X	X	X	X	H	H	1(4)	1	1
5	L	H	H	L	L	L	X	X	0	3
6	L	X	X	X	X	H	H	1(6)	9	7
7	L	X	X	X	X	H	1(7)	H	0	4

Figure D.32 Pour la solution du problème 17.

19.

d) On définit les contraintes par rapport à l'horloge.

CHAPITRE 5

1. $X = \bar{A} + \bar{B} + C$
 $Y = B\bar{C}$
 $Z = \bar{A} + C$

3. $Y = (\bar{A}B + \bar{C})(A + \bar{B} + C)$
 $Y = A\bar{C} + \bar{B}C + \bar{A}BC$

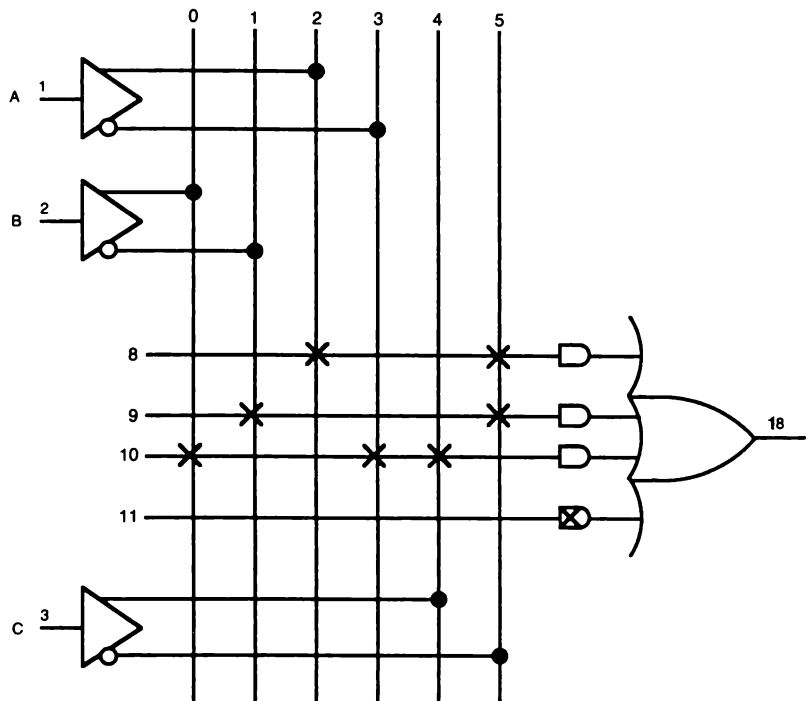


Figure D.33 Pour la solution du problème 3.

5.

- a) 11 (nombre de termes)
- b) 12 (16 lignes de produits — 4 lignes de produit utilisées)

CHAPITRE 6

1.

Le PAL 16L6 à 16 entrées I et 6 sorties \bar{O} convient. Rappelons que ce PAL est actif au niveau bas.

3.

Avec ses 20 entrées I et ses 2 sorties O, le PAL 20L2 convient très bien. Notez que cette fonction existe sous le n° 74LS451 (HMSI) équivalent à deux 74LS151 (double multiplexeur 8 lignes/1 ligne).

5.

Dans le PAL 20X8 comme suit :

2 entrées I pour S1 et S0

8 entrées I pour D7, ..., D0

2 entrées/sorties $\bar{I}\bar{O}$ pour LIRO et RILO

8 sorties de bascule état 3 pour Q0, ..., Q7

Notez que cette fonction existe sous le n° 74LS498 (HMSI).

CHAPITRE 7

1.

a)

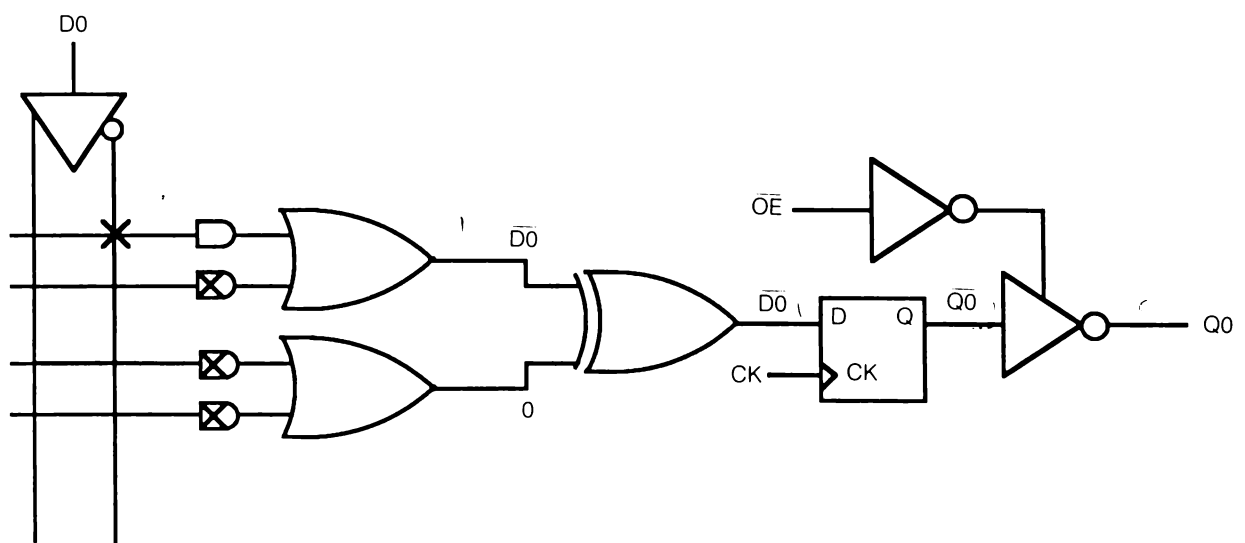


Figure D.34 Pour la solution de la question 1a.

b) $/Q0 := /D0$

c)

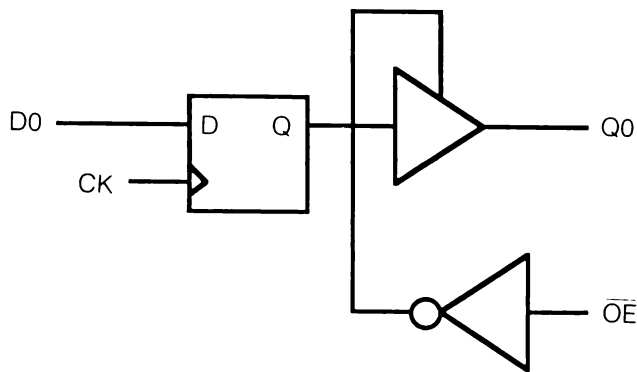


Figure D.35 Pour la solution de la question 1c.

d)

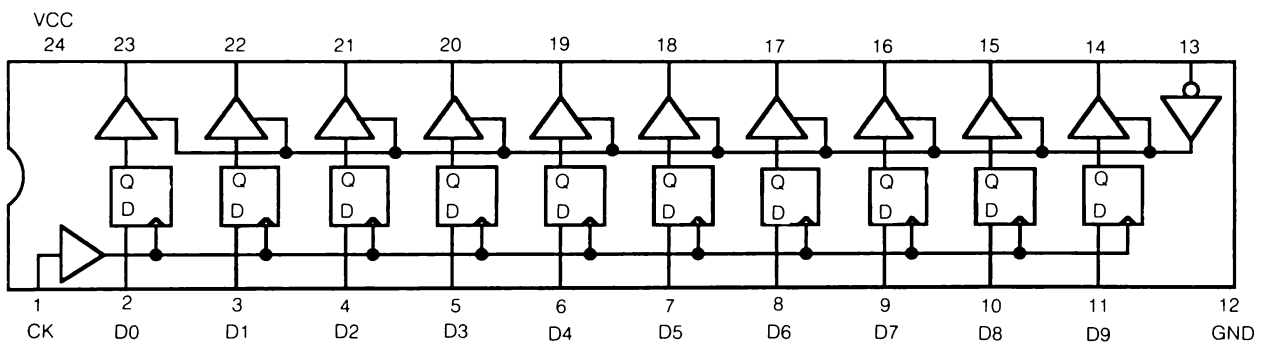


Figure D.36 Pour la solution de la question 1d.

e)

$/Q0 := /D0$; CHARGEMENT DE D0

$/Q1 := /D1$; CHARGEMENT DE D1

$/Q2 := /D2$; CHARGEMENT DE D2

$/Q3 := /D3$; CHARGEMENT DE D3

$/Q4 := /D4$; CHARGEMENT DE D4

$/Q5 := /D5$; CHARGEMENT DE D5

$/Q6 := /D6$; CHARGEMENT DE D6

$/Q7 := /D7$; CHARGEMENT DE D7

$/Q8 := /D8$; CHARGEMENT DE D8

$/Q9 := /D9$; CHARGEMENT DE D9

3.

a)

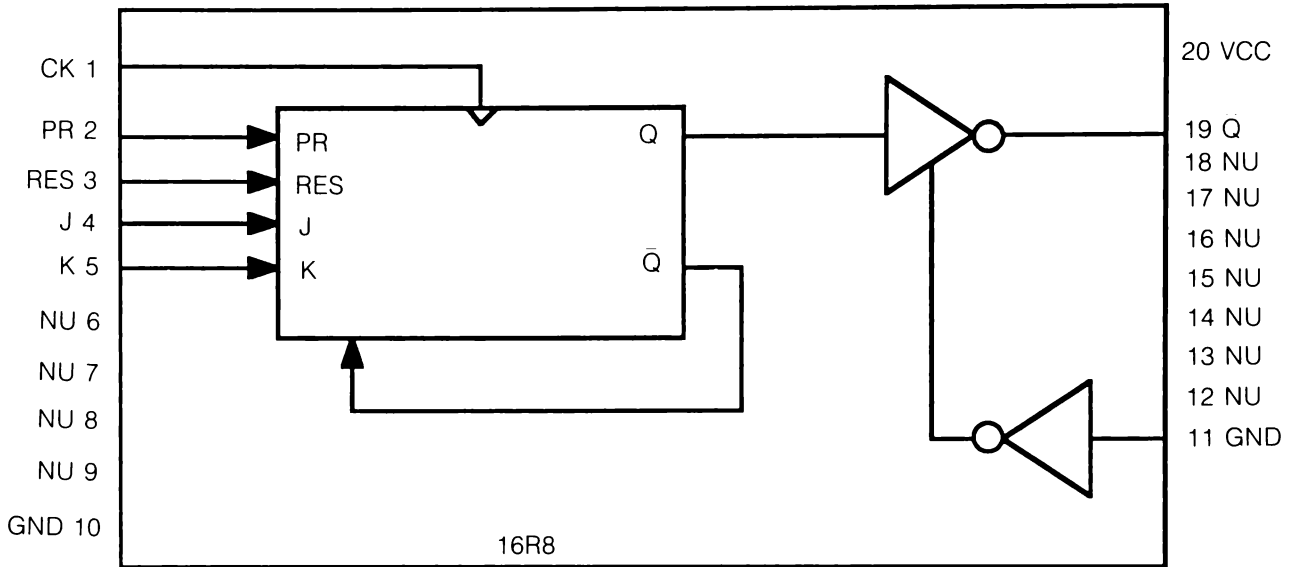


Figure D.37 Pour la solution de la question 3a.

b)

CK	PR	RES	J	K	Q	Q+	opération
1	1	0	X	X	X	1	preset
1	0	0	1	0	X	1	fonction J
1	0	0	1	1	0	1	bascule
1	0	0	0	0	1	1	maintien

Figure D.38 Pour la solution de la question 3b.

c) $Q + = \overline{PRRES} + \overline{JQRES} + \overline{KQRES}$

d) $Q := PR * \overline{RES} + J * \overline{Q} * \overline{RES} + \overline{K} * Q * \overline{RES}$

e)

PAL16R8

PAL-18

F.REMY 21/05/87

BASCULE JK

CEGEP AHUNTSIC

CK PR RES J K NU NU NU NU GND

GND NU NU NU NU NU NU NU /Q VCC

$Q := PR * \overline{RES} + J * Q * \overline{RES} + \overline{K} * Q * \overline{RES}$

FUNCTION TABLE

CK PR RES J K Q

; CK PR RES J K Q opération

CK	PR	RES	J	K	Q	opération
C	H	L	X	X	H	préset
C	L	L	H	H	L	bascule bas
C	L	L	H	L	H	fonction J
C	L	L	L	L	H	maintien haut
C	L	H	X	X	L	reset
C	L	L	H	H	H	bascule haut
C	L	L	L	H	L	fonction K
C	L	L	L	L	L	maintien bas

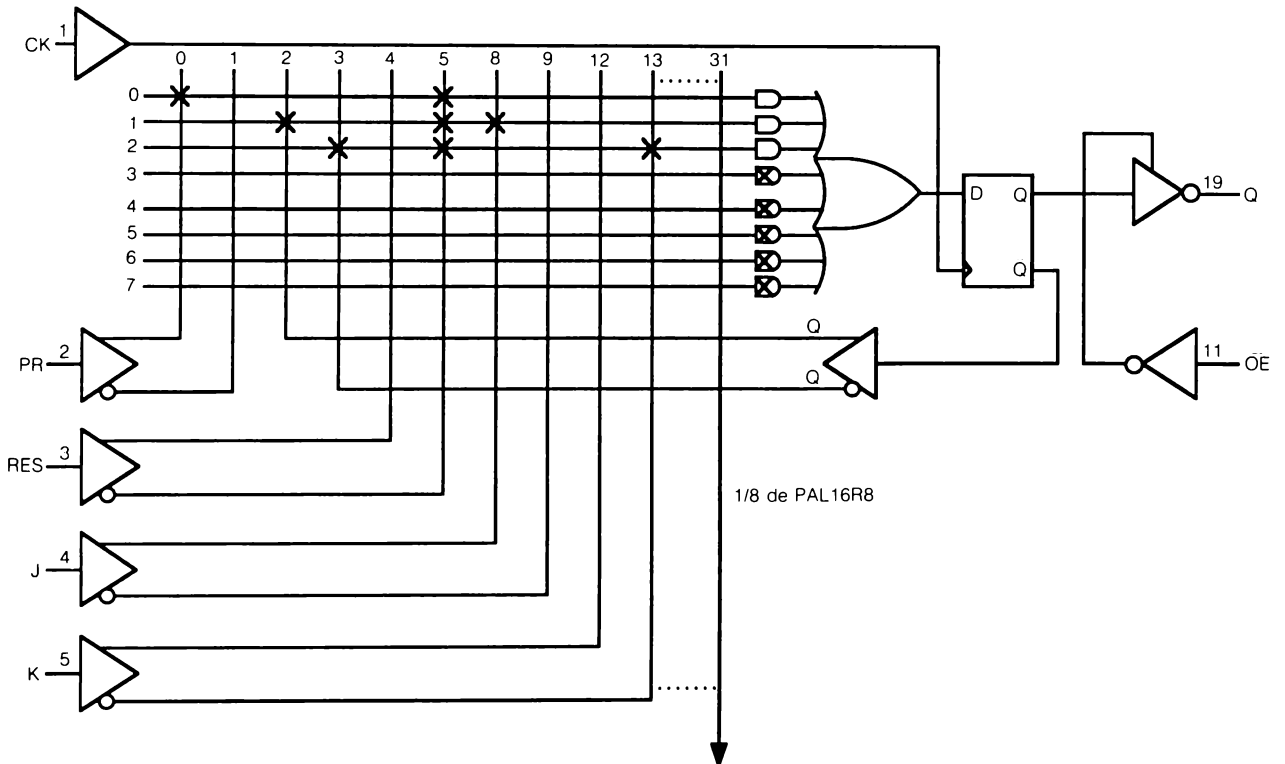


Figure D.39 Pour la solution de la question 3e.

f) $88 = 3 \times 32 - 8$ ou bien $64 \times 32 - [(61 \times 32) + 8]$

5.

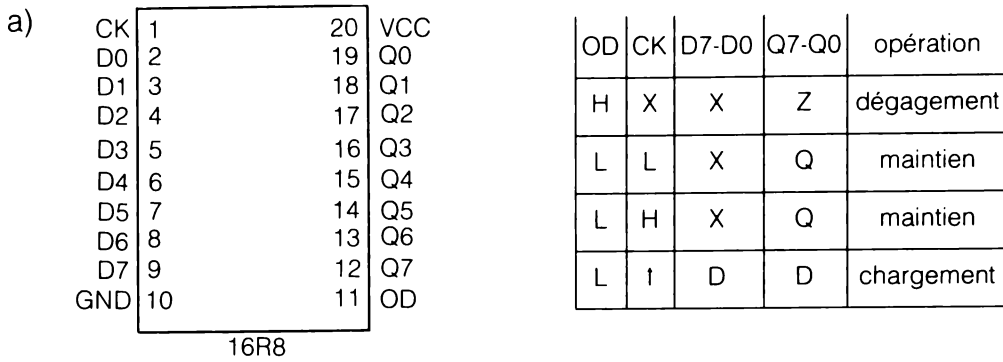


Figure D.40 Pour la solution de la question 5a.

b)

```

PAL16R8
PAL-19
REGISTRE 8 BIT
CEGEP AHUNTSIC MONTREAL
CK D0 D1 D2 D3 D4 D5 D6 D7 GND
OD Q7 Q6 Q5 Q4 Q3 Q2 Q1 Q0 VCC
/Q0 := /D0
/Q1 := /D1
/Q2 := /D2
/Q3 := /D3
/Q4 := /D4
/Q5 := /D5
/Q6 := /D6
/Q7 := /D7
FUNCTION TABLE
OD CK D7 D6 D5 D4 D3 D2 D1 D0 Q7 Q6 Q5 Q4 Q3 Q2 Q1 Q0
;      entrées      sorties
;      D D D D D D D D Q Q Q Q Q Q Q Q
;OD CK 7 6 5 4 3 2 1 0 7 6 5 4 3 2 1 0 commentaires
-----
L C L L L L L L L L L L L L L L charge 00
L L X X X X X X X X L L L L L L L L maintien 00
L C H H H H H H H H H H H H H H H H charge FF
L H X X X X X X X X H H H H H H H H H H maintien FF
L C H L H L H L H L H L H L H L H L charge AA
L L X X X X X X X X H L H L H L H L H L maintien AA
L C L H L H L H L H L H L H L H L H L H charge 55
L H X X X X X X X X L H L H L H L H L H H H maintien 55
H X X X X X X X X X Z Z Z Z Z Z Z Z état 3
-----
    
```

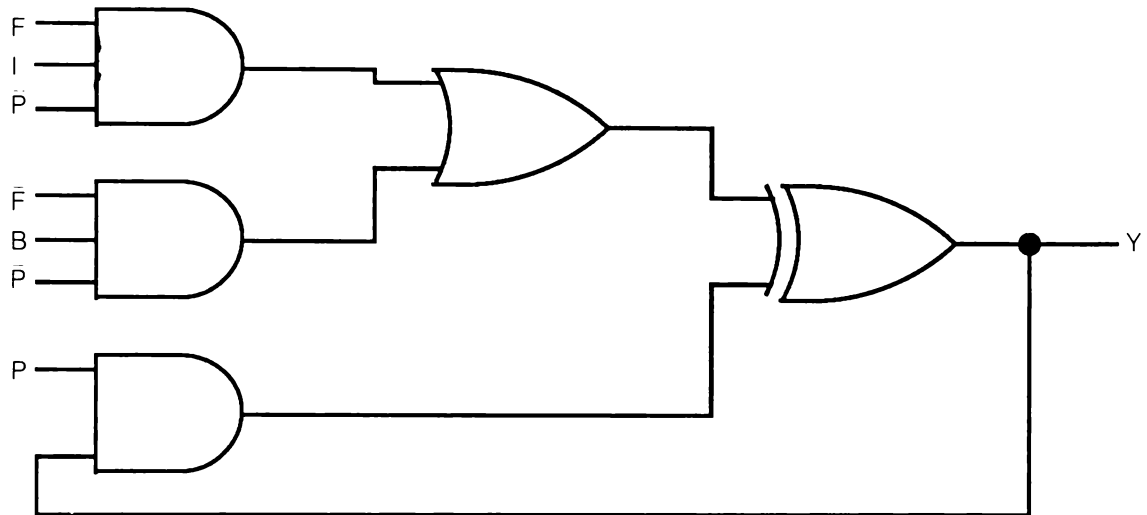
Figure D.41 Pour la solution de la question 5b.

7.

a) $Y = F\bar{I}\bar{P} + \bar{F}B\bar{P} + PY$

b) $Y = F * I * /P + /F * B * /P :+ : P * Y$

c)

**Figure D.42** Pour la solution de la question 7c.

- 9.
- a) On a besoin de 8 sorties (\bar{Q}), de 11 entrées (I ou bien $I \bar{O}$) et de 1 sortie ($I \bar{O}$). Seulement le PAL 20X8 (configuration OU exclusif) répond à ces exigences. On programmera les deux broches ($I \bar{O}$) 14 et 23 respectivement en sortie (Q) et en entrée (I).

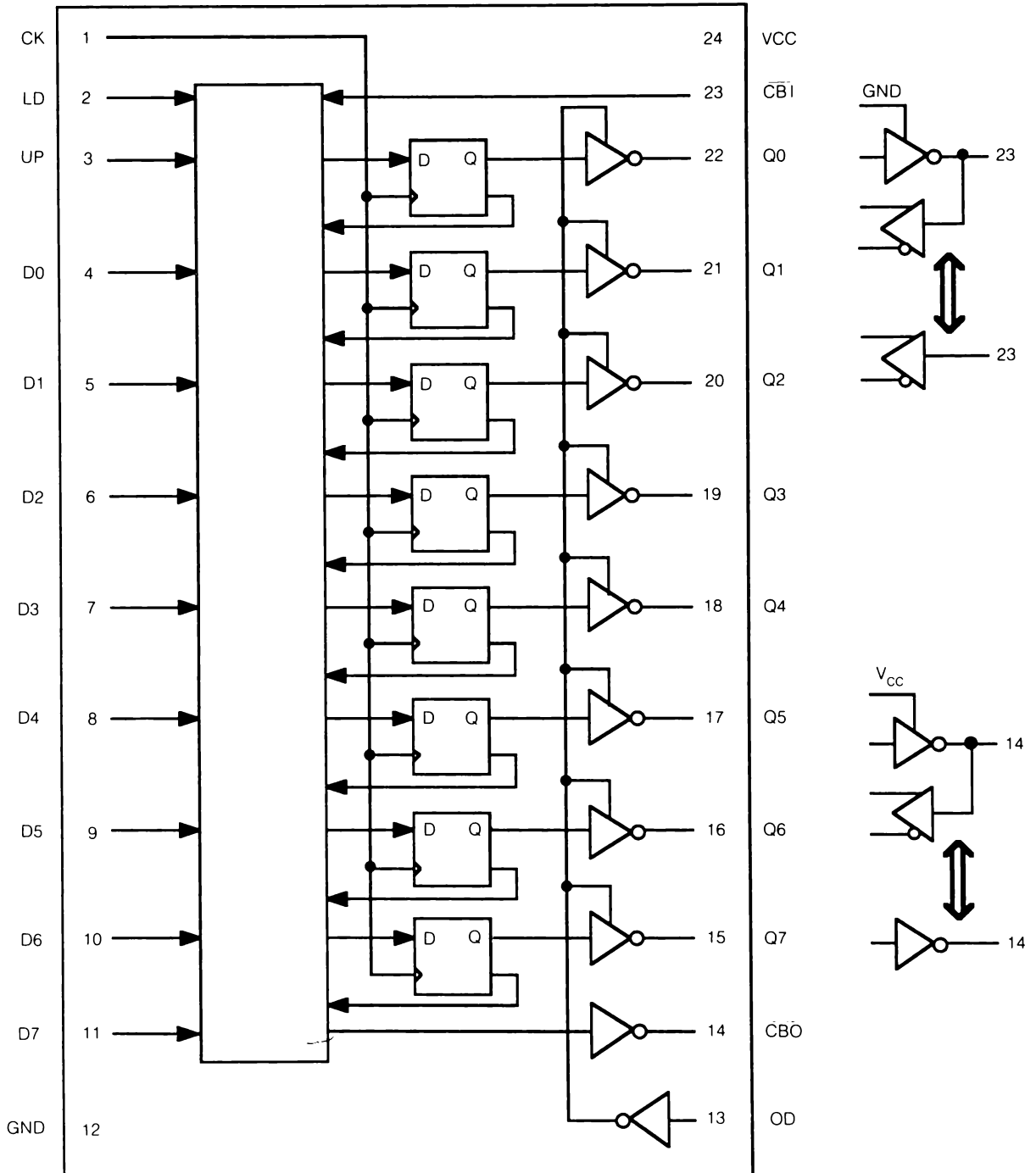


Figure D.43 Pour la solution de la question 9a.

- b) Rappelons qu'une sortie Q d'un compteur binaire est maintenue à son état actuel excepté si les bits à sa droite sont haut et que l'on compte ou bien si les bits à sa droite sont bas et que l'on décompte. On utilise donc la propriété d'exception fournie par la porte OUX qui pilote l'entrée des bascules pour assurer les fonctions compte et décompte.

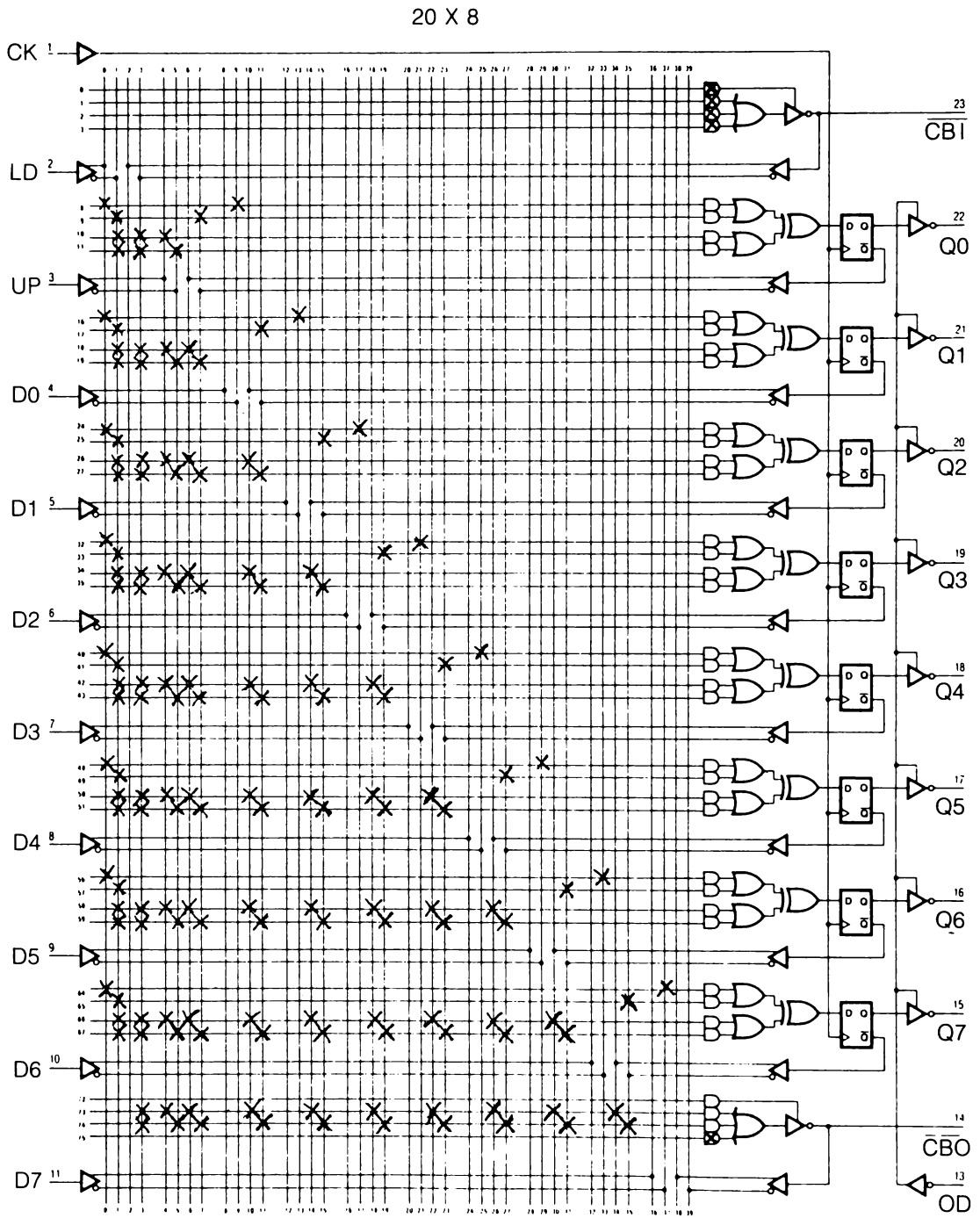
```

PAL20X8
PAL-20
COMPTEUR OCTAL
CEGEP AHUNTSIC
CK LD UP D0 D1 D2 D3 D4 D5 D6 D7 GND OD /CBO
Q7 Q6 Q5 Q4 Q3 Q2 Q1 Q0 /CBI VCC
/Q0:= LD * /D0 ;charge D0
+ /LD * /Q0 ;maintien Q0
:++ /LD * UP * CBI ;compte
+ /LD * /UP * CBI ;décompte
/Q1:= LD * /D1 ;charge D1
+ /LD * /Q1 ;maintien Q1
:++ /LD * UP * CBI * Q0 ;compte
+ /LD * /UP * CBI */Q0 ;décompte
/Q2:= LD * /D2 ;charge D2
+ /LD * /Q2 ;maintien Q2
:++ /LD * UP * CBI * Q0 * Q1 ;compte
+ /LD * /UP * CBI */Q0 */Q1 ;décompte
/Q3:= LD * /D3 ;charge D3
+ /LD * /Q3 ;maintien Q3
:++ /LD * UP * CBI * Q0 * Q1 * Q2 ;compte
+ /LD * /UP * CBI */Q0 */Q1 */Q2 ;décompte
/Q4:= LD * /D4 ;charge D4
+ /LD * /Q4 ;maintien Q4
:++ /LD * UP * CBI * Q0 * Q1 * Q2 * Q3 ;compte
+ /LD * /UP * CBI */Q0 */Q1 */Q2 */Q3 ;décompte
/Q5:= LD * /D5 ;charge D5
+ /LD * /Q5 ;maintien Q5
:++ /LD * UP * CBI * Q0 * Q1 * Q2 * Q3 * Q4 ;compte
+ /LD * /UP * CBI */Q0 */Q1 */Q2 */Q3 */Q4 ;décompte
/Q6:= LD * /D6 ;charge D6
+ /LD * /Q6 ;maintien Q6
:++ /LD * UP * CBI * Q0 * Q1 * Q2 * Q3 * Q4 * Q5 ;compte
+ /LD * /UP * CBI */Q0 */Q1 */Q2 */Q3 */Q4 */Q5 ;décompte
/Q7:= LD * /D7 ;charge D7
+ /LD * /Q7 ;maintien Q7
:++ /LD * UP * CBI * Q0 * Q1 * Q2 * Q3 * Q4 * Q5 * Q6 ;compte
+ /LD * /UP * CBI */Q0 */Q1 */Q2 */Q3 */Q4 */Q5 */Q6 ;décompte
IF(VCC) CBO = UP * CBI * Q0 * Q1 * Q2 * Q3 * Q4 * Q5 * Q6 * Q7 ;report
+ /UP * CBI */Q0 */Q1 */Q2 */Q3 */Q4 */Q5 */Q6 */Q7 ;retenue

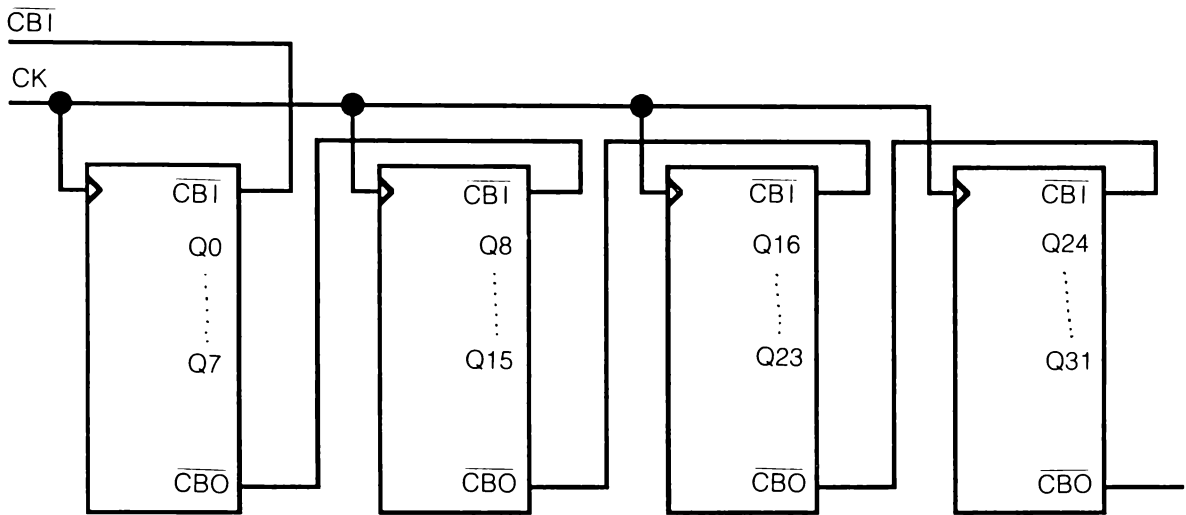
```

Figure D.44 Pour la solution de la question 9b.

c)



d)



$\overline{\text{CBI}} = \text{L}$: compte de 00000000 à FFFFFFFF

$\overline{\text{CBI}} = \text{H}$: maintien

Figure D.46 Pour la solution de la question 9d.

CHAPITRE 9

1.
Il faut inverser la diode.
3.
Raccorder P0 à QA, P1 à QB, P2 à QC et P3 à QD.

5.

$$\text{a) } \text{OE} = \overline{\text{IOREQ}} \cdot \overline{\text{R/W}} \cdot \overline{\text{A7}}$$

$$\text{ALE} = \text{A7} + \overline{\overline{\text{R/W}}} + \overline{\text{R/W}} = 1 !$$

$$\text{START} = \overline{\text{A7}} \cdot \overline{\text{R/W}} \cdot \overline{\overline{\text{R/W}}} = 0 !$$

b)

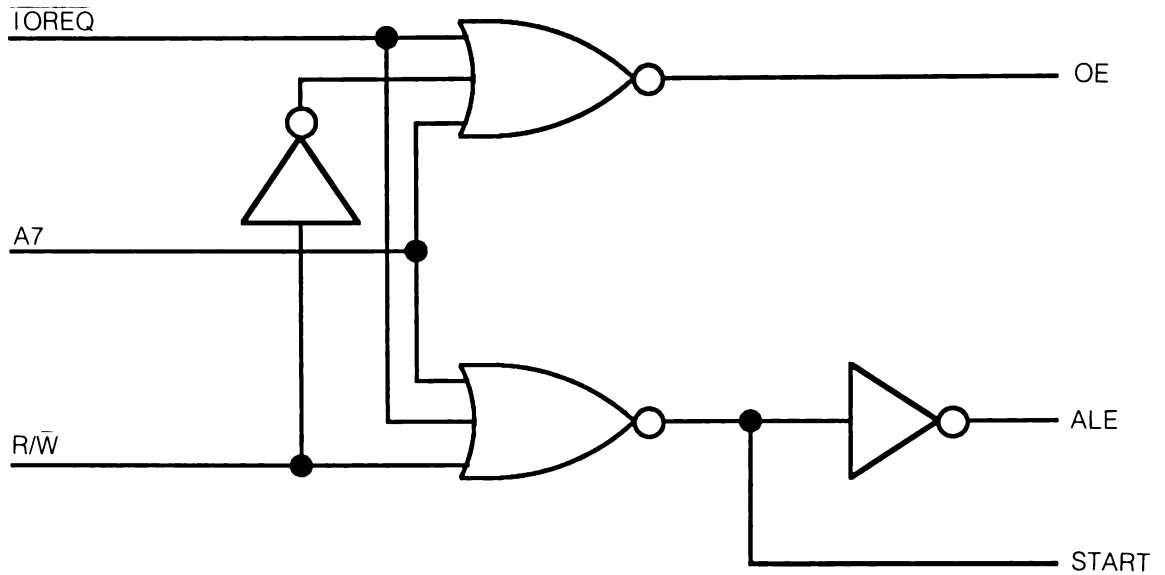


Figure D.47 Pour la solution de la question 5b.

c) $OE = IOREQ.R/\bar{W}.A7$
 $ALE = A7 + \overline{IOREQ} + R/\bar{W}$
 $START = \bar{A7}.IOREQ.R/\bar{W}$

7.

L/ \bar{V}	CL	OE	D1	Q1	
X	X	L	X	Z	mise à l'état 3
X	L	H	X	L	remise à zéro
H	H	H	H	H	chargement du H
H	H	H	L	L	chargement du L
L	H	H	X	Q1	maintien

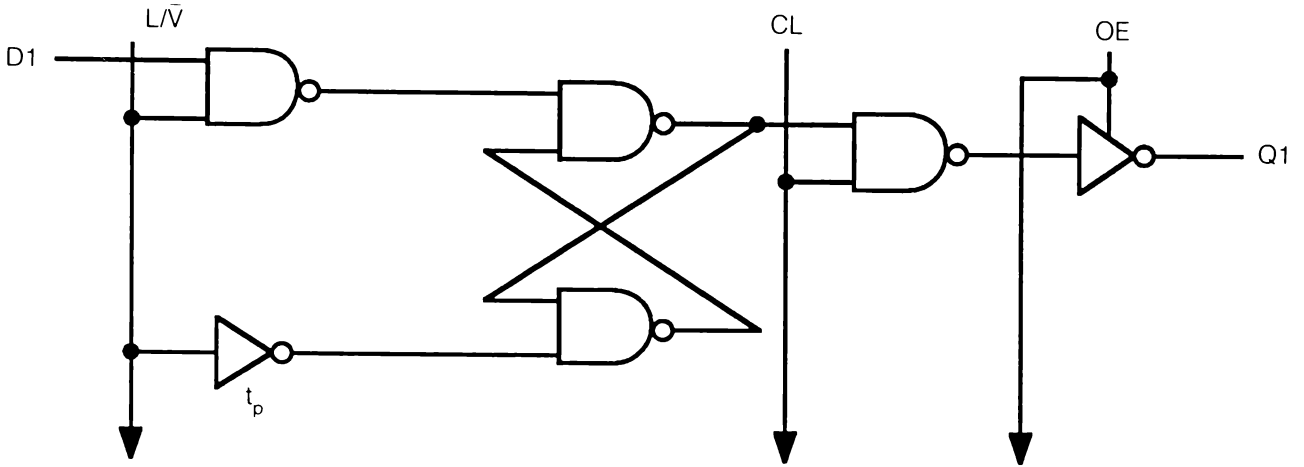


Figure D.48 Pour la solution du problème 7.

CHAPITRE 10

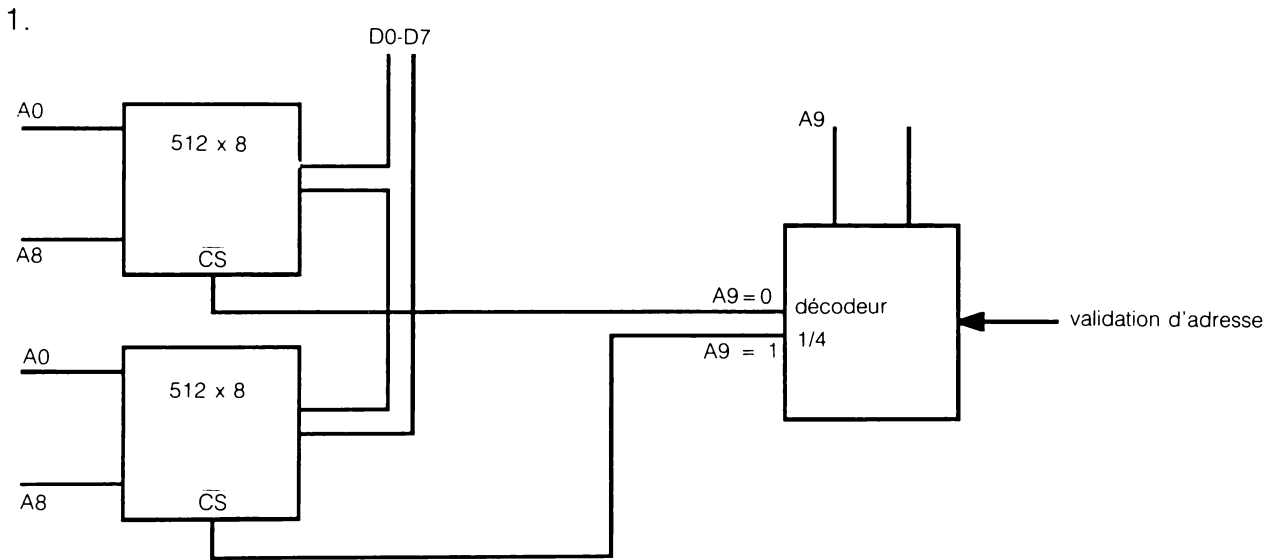


Figure D.49 Pour la solution du problème 1.

3.

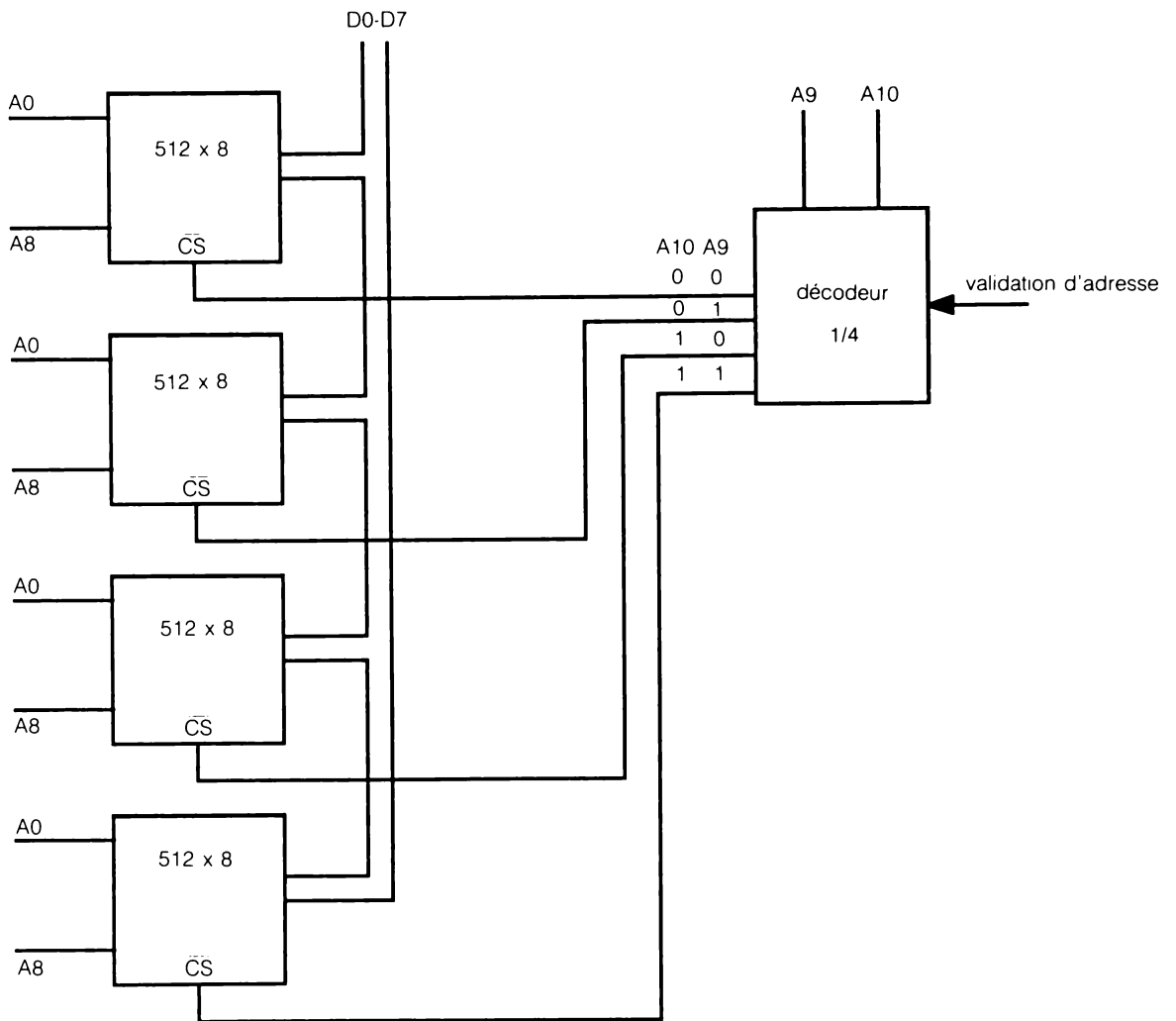


Figure D.50 Pour la solution du problème 3.

5.

Voir la figure 10.10.

7.

Voir la figure 10.13.

9.

Voir la figure 10.13.

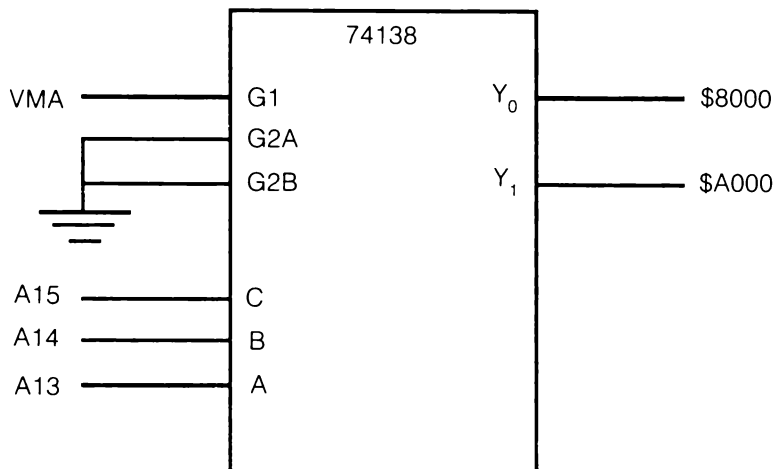


Figure D.51 Décodage par tranches de 8K.

CHAPITRE 11

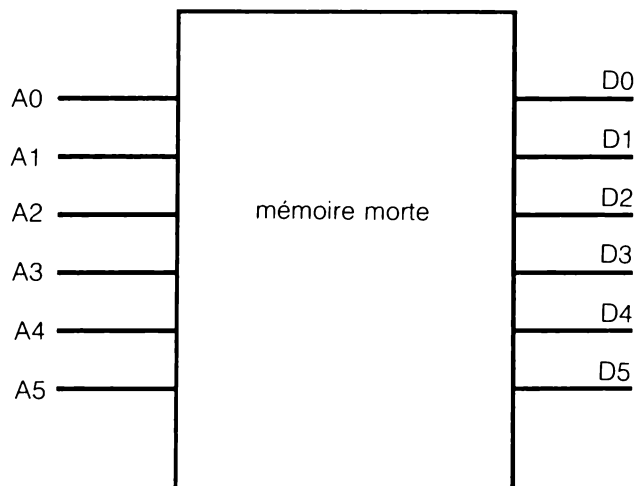


Figure D.52 Montage de principe

Le code source (Gray ou DCB) se présente sur les lignes d'adresses A0 à A5 et le code résultat apparaît sur les lignes de données D0 à D5.

Programmes :

a) Gray → DCB

Adresses	Contenu
0000	0000
0001	0001
0010	0011
0011	0010
0100	0111
0101	0110
0110	0100
0111	0101
1000	1111
1001	1110
1010	1100
1011	1101
1100	1000
1101	1001
1110	1011
1111	1010

b) DCB → Gray

Adresses	Contenu
0000	0000
0001	0001
0010	0011
0011	0010
0100	0110
0101	0111
0110	0101
0111	0100
1000	1100
1001	1101
1010	1111
1011	1110
1100	1010
1101	1011
1110	1001
1111	1000

CHAPITRE 12

1. RAM = *Random Access Memory*
3. IRAM = *Integrated RAM*
5. Les RAM statiques et les RAM dynamiques
7. Voir la figure 12.9.
9. À cause de la perte de charge par fuite du condensateur de stockage de données.
11. Voir la figure 12.15.

CHAPITRE 13

1. FIFO First In First Out.
3. Entrée - Sortie des données. Contrôle des entrées, des sorties.
5. Adaptation des circuits internes aux niveaux normalisés du bus externe.
7. Voir la figure 13.5.
9. Voir la figure 13.4.
11. Lecture, écriture, association, association masquée, hybride.
13. Association $Y_n = Q_{no} + 1 \oplus Q_{n1} \oplus 1$.
15. Le condensateur : voir la figure 13.23.
17. Capteurs d'images.
19. Parce qu'une paire d'aimants crée un champ magnétique permanent.
21. Voir la figure 13.31.

Appendice E

Solution des problèmes de l'Appendice C

1.

a) ↑; b) Z; c) X; d) H; e) Z; f) X; g) ↓; h) 0; i) X; j) X; k) L; l) 1; m) H; n) Z.

3.

a) 0; b) 5; c) 2; d) 3,5; e) -0,8; f) 4,5.

5.

a) I_{IH} ; b) I_{OL} ; c) I_{OZH} ; d) I_{OZ} ; e) I_{OZL} ; f) I_{IL} ; g) I_{OZ} .

7.

C

9.

a) t_S = temps de préparation (*Setup Time*);

b) t_H = temps de maintien (*Hold Time*);

c) t_W = largeur d'impulsion (*Pulse Width*).

Appendice F

Projets d'étudiants

F.1 ALARME À BOUCLE

Ce projet est un excellent exercice de combinaison des fonctions logiques et de la commutation par semiconducteur. La figure F.1 donne le synoptique du circuit. La ligne de boucle est constituée par l'ensemble des contacts (en série) des portes, fenêtres, paillassons, etc. La figure F.2 donne le schéma complet. On utilise seulement trois circuits intégrés de base de la série 4000 qui acceptent une alimentation de 5 à 18 V (consultez quand même votre fiche technique). En milieu très bruyant on pourra augmenter le courant de garde de boucle et de clé en diminuant les deux résistances R_C et R_B .

Si on désire insérer un retard entre la fermeture de la clé et la mise sous surveillance de la boucle, il suffit d'insérer entre D_1 et D_2 la constante de temps de la figure F.3a. Mais dans ce cas, on voudra aussi retarder le déclenchement de l'alarme en insérant entre D_3 et D_4 la constante de temps de la figure F.3b.

Les retards annoncés varient en fonction de la qualité des condensateurs et aussi en fonction du seuil de basculement des portes logiques. Nous proposons à la figure F.4 une alimentation en tampon sur batterie de 12 V de voiture. La charge lente (mais suffisante pour six témoins de 10 mA) ne devrait même pas faire pétiller l'électrolyte de la batterie. La charge rapide (que vous devez surveiller) est signalée par l'extinction du témoin de charge. Mais avez-vous besoin de ce gadget ? En quatre ans de fonctionnement, notre prototype n'a jamais demandé à être « rechargé » ; comme il n'a jamais non plus demandé de l'eau pour sa batterie.

Enfin, si vous décidez de vous brancher directement sur le réseau de distribution, l'alimentation de la figure F.5 convient très bien.

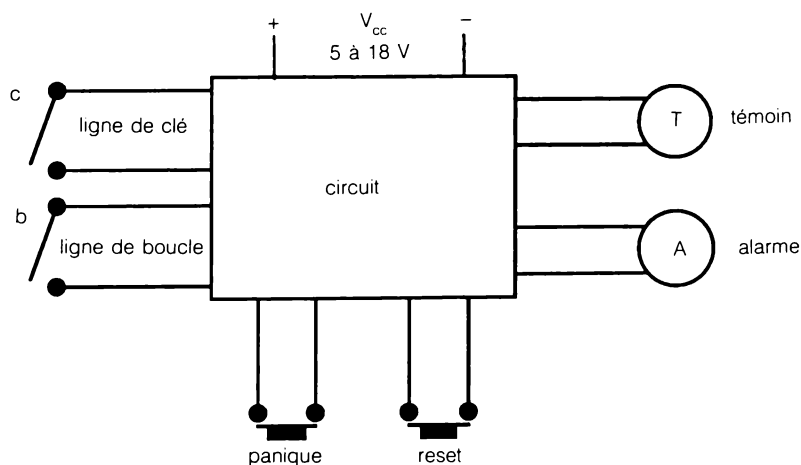






Figure F.1 Synoptique du circuit d'alarme.

Tableau E.1 Cahier des charges du circuit d'alarme.

Étape	Clé	Boucle	Témoin	Alarme	Remarques
1	0	0	1	0	Le témoin indique que la bouche est ouverte
2	0	1	0	0	La boucle est fermée
3	1	1		0	La boucle est sous surveillance. Le témoin clignote
4	1	0	1	1	La boucle est ouverte et reste ouverte pour plus de 60 S. Le témoin signale l'ouverture et l'alarme est activée pour 60 S
	1	0	1	0	
5	1	0	1	1	La boucle est ouverte et refermée à l'intérieur du retard de 60 S. L'alarme est activée pour 60 S. Après quoi le circuit est automatiquement réarmé.
	1	1		60 S	
	1	1		0	
6	1	0	1	0	Fausse manoeuvre. La clé est fermée alors que la boucle est ouverte. Cette manoeuvre ne doit pas déclencher l'alarme.
	1	1		0	

Remarques :

- a) La boucle ouverte ($B = 0$) active toujours le témoin ;
- b) La clé ouverte ($C = 0$) désactive toujours l'alarme ;
- c) Il faut pouvoir couper et rétablir la tension V_{CC} sans déclencher l'alarme aux étapes 1, 2 et 3 ;
- d) L'enfoncement momentané du bouton-poussoir « PANIQUE » déclenche l'alarme (même si la clé est ouverte). On arrête l'alarme déclenchée par enfoncement du bouton-poussoir « PANIQUE » en enfonçant momentanément le bouton-poussoir « RESET ».

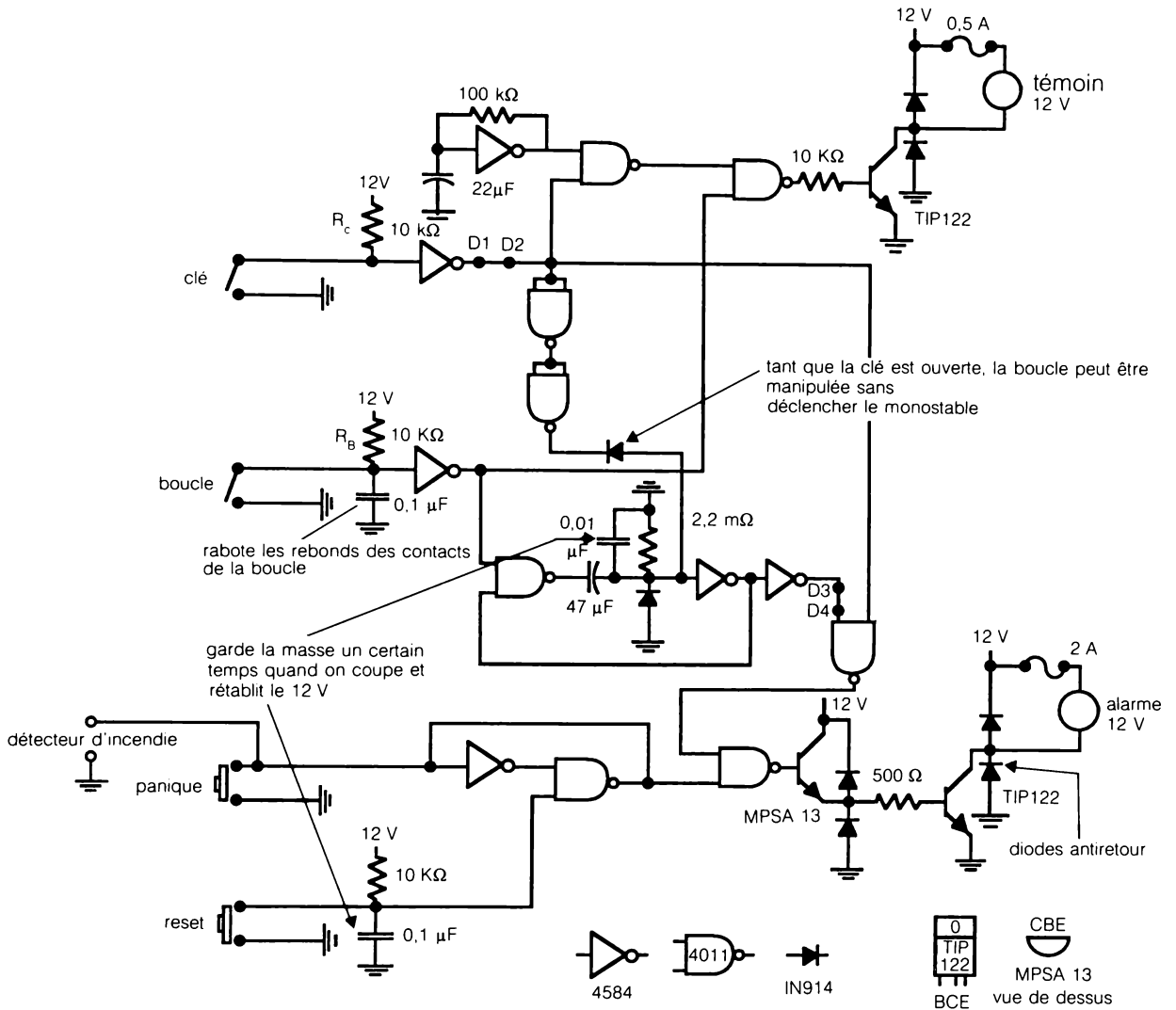


Figure F.2 Schéma complet du circuit d'alarme.

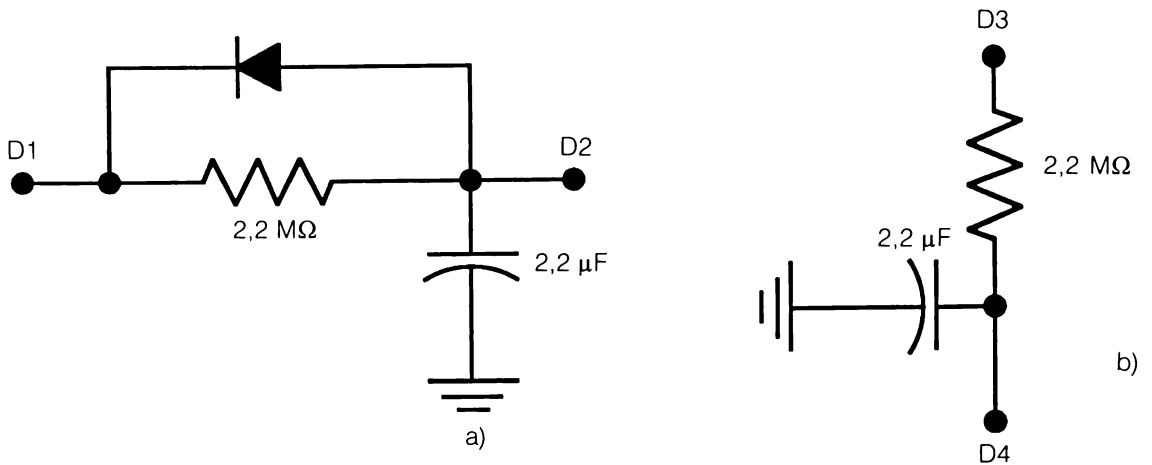


Figure F.3 Retard de 5 s à insérer dans le schéma de l'alarme pour une opération différée a) de la clé ; b) de l'alarme.

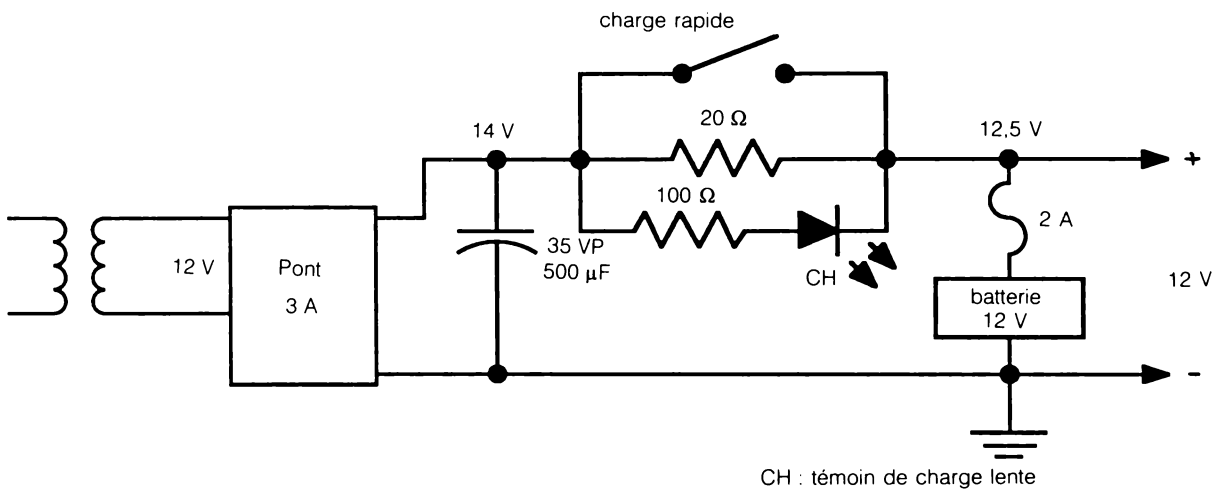


Figure F.4 Alimentation en tampon pour le circuit d'alarme.

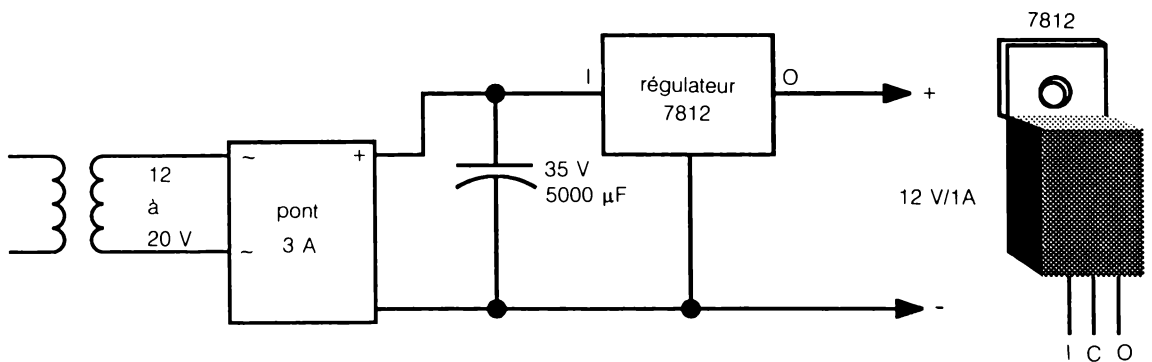


Figure F.5 Alimentation directe pour le circuit d'alarme.

F.2 PROGRAMMATEUR DE 2732

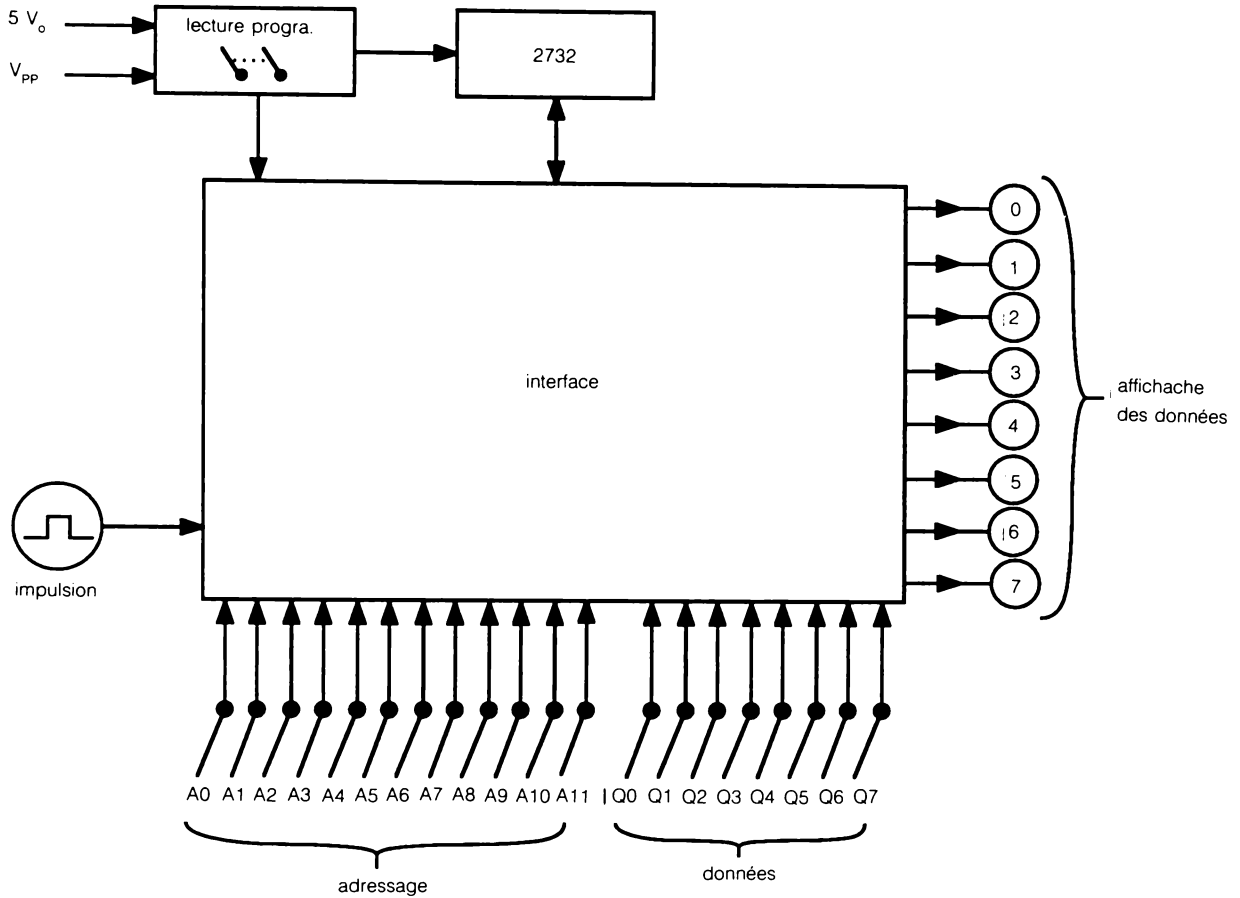


Figure F.6 Schéma synoptique du programmeur.

Les figures F.7, F.8 et F.9 représentent le détail du schéma synoptique ci-dessus. Ce modèle pédagogique combine les notions d'adressage et de lecture d'une mémoire. Notre exemplaire de démonstration (qui a déjà programmé quelques centaines de 2732) est simplement monté sur plaquette.

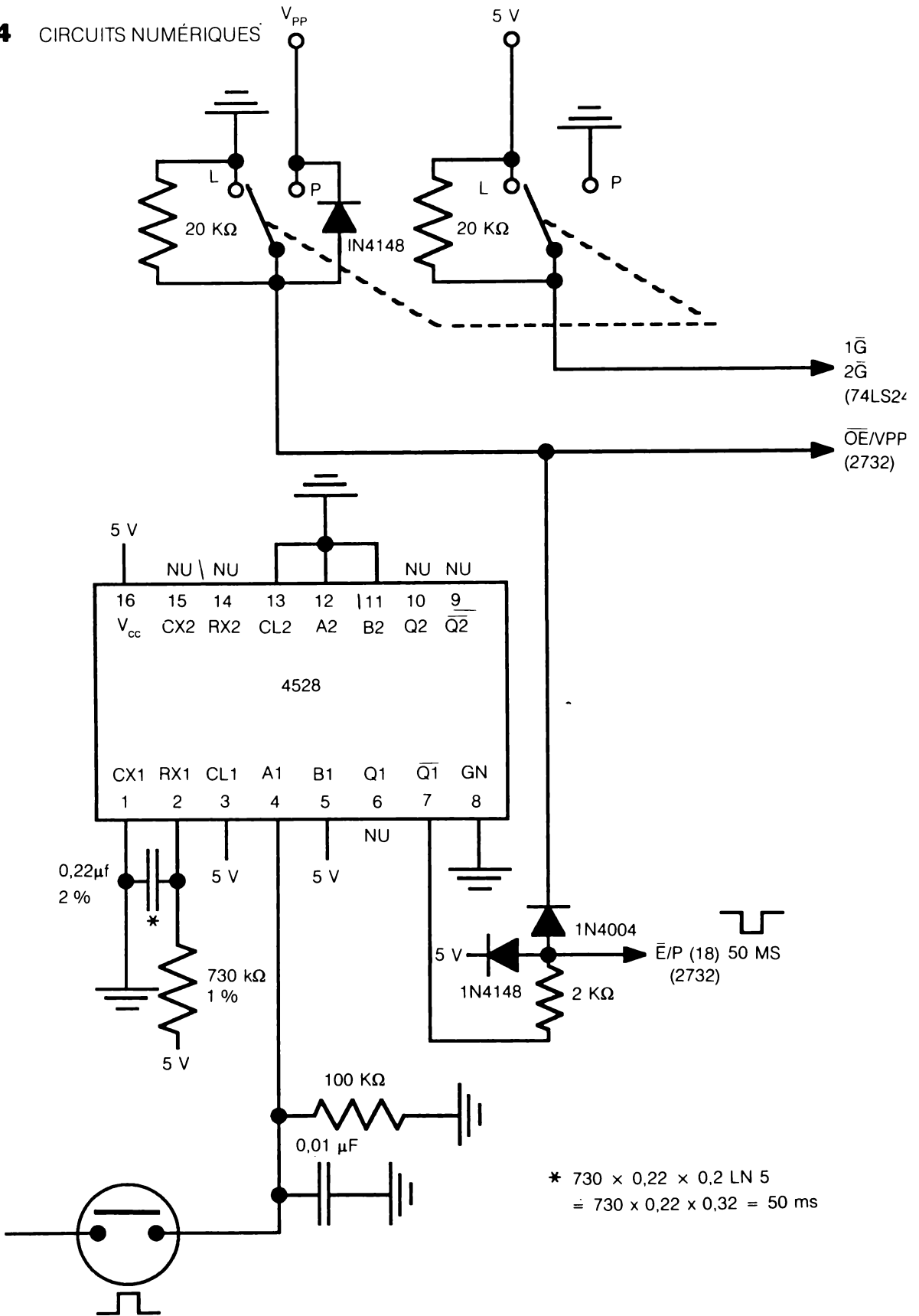


Figure F.7 Programmeur.

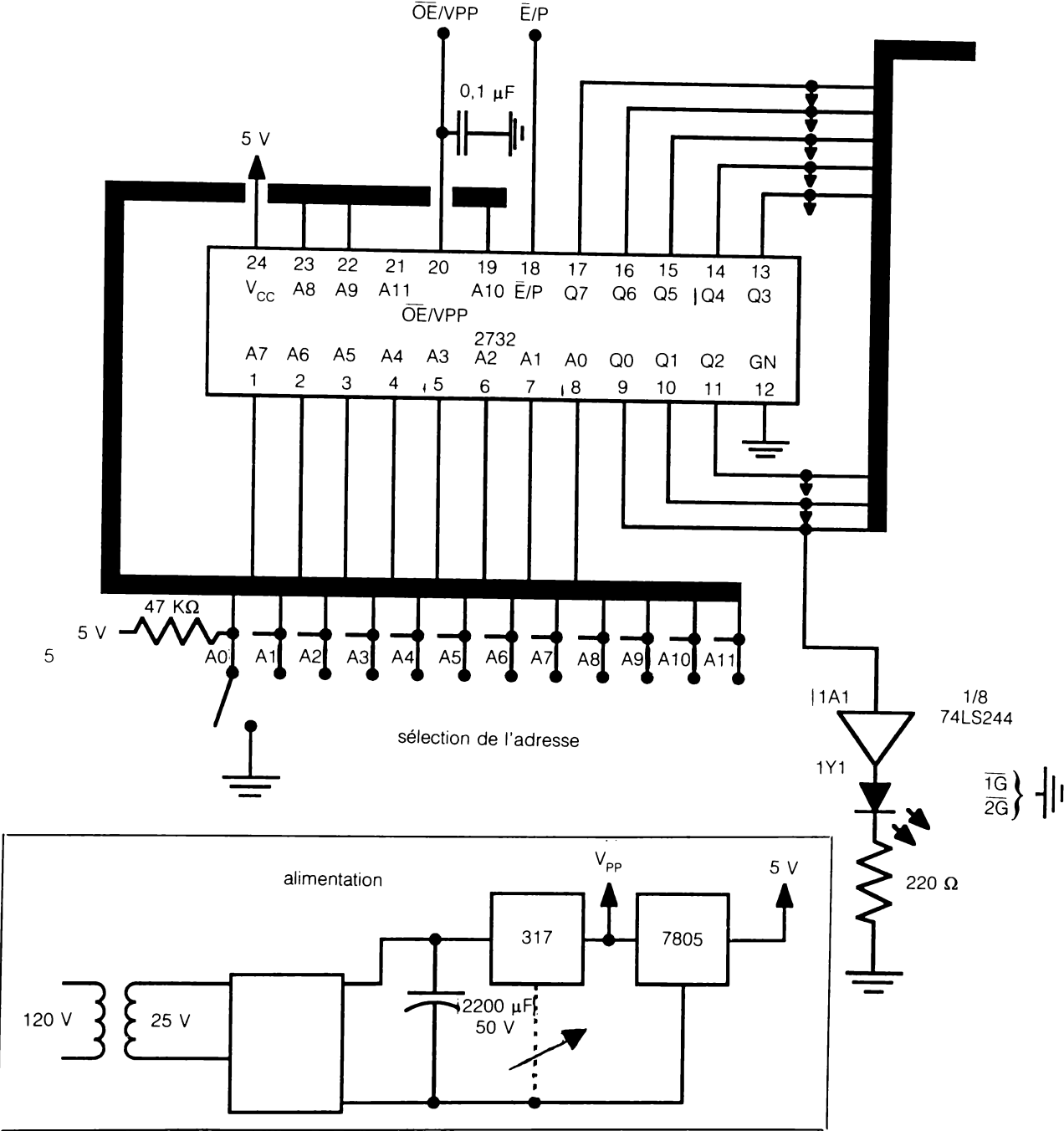


Figure F.8 Programmateur.

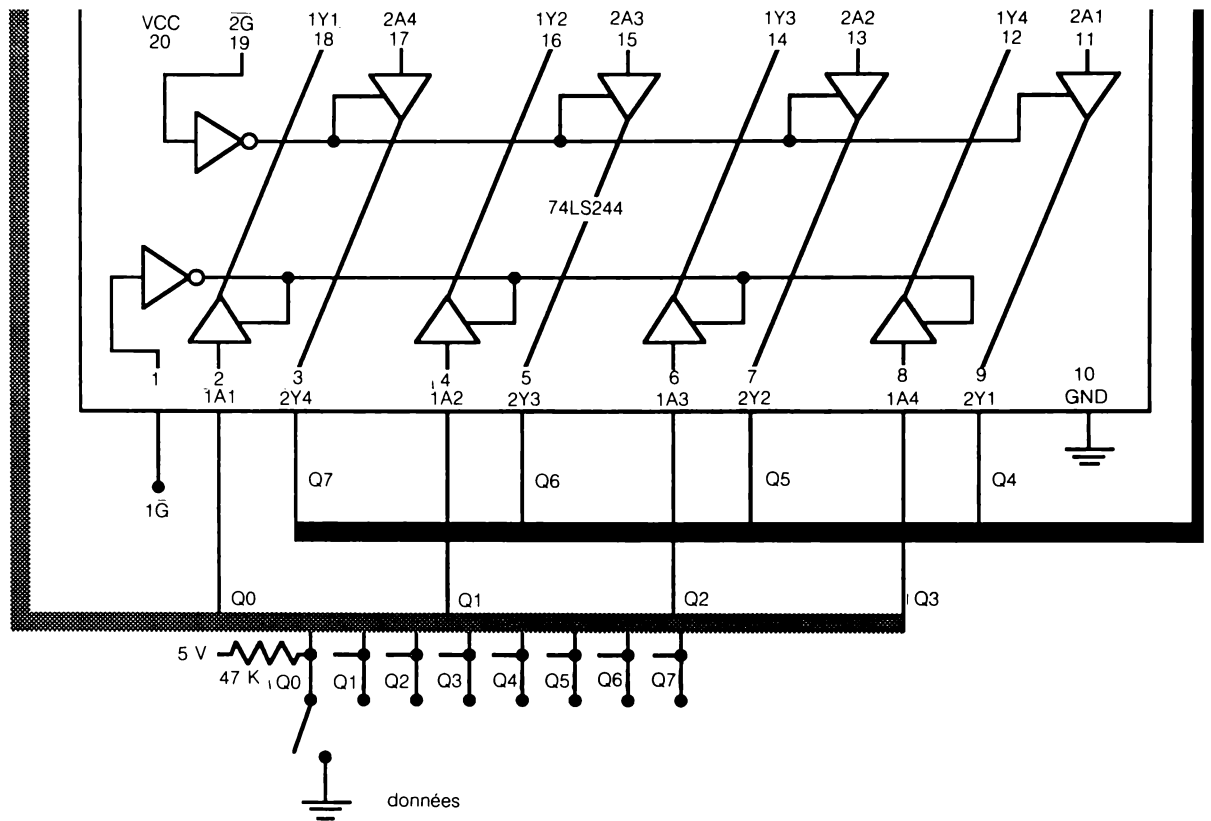


Figure F.9 Programmeur.

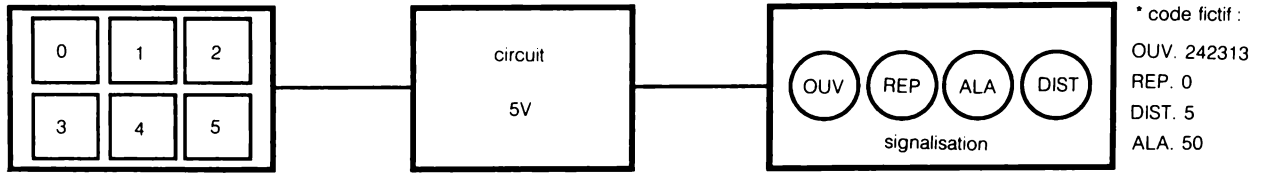
F.3 COMMANDE D'ACCÈS

La figure F.10 donne le synoptique et le cahier des charges de la commande d'accès. Le témoin REP signale que la commande accepte le code d'ouverture. On accomplit l'étape 1 en enfonçant fugitivement le bouton-poussoir 2 (c'est le premier chiffre du code ouverture). Le circuit quitte la position de repos et attend la deuxième impulsion du code ouverture donnée par un enfoncement fugitif du bouton-poussoir 4. À l'étape 6, le témoin OUV simule une ouverture. Selon le cahier des charges, ce témoin ne reste allumé que 5 s. Mais selon l'étape 7, l'enfoncement du bouton-poussoir 0 par l'opérateur avant le retard de 5 s ou par une tierce personne après le retard de 5 s (l'opérateur est enfermé dans la chambre forte) remet le circuit au repos.

Si l'opérateur est distrait pendant une période d'ouverture permise (étapes 2 à 6), il peut enfoncer le bouton-poussoir 5 pour revenir au repos (étape A) et recommencer le code d'ouverture (étape B). Notez cependant qu'un témoin de distraction DIST éveillera la suspicion du personnel de surveillance. Enfin, un témoin d'alarme ALA doit signaler toute violation ou toute anomalie telle une coupure momentanée de l'alimentation. Pour sortir de l'état alarme il faut enfoncer successivement les boutons-poussoirs 5 et 0 (étapes X et Y). La figure F.11 donne le schéma fonctionnel du circuit et la figure F.12 le schéma complet de câblage sur lequel on remarque :

1. Une impulsion de 700 μ s qui active la mémoire à chaque enfoncement d'un bouton-poussoir du clavier de commande : en effet, un niveau haut sur la broche 18 met la mémoire au repos ;
2. Une impulsion de 100 μ s qui retarde la commande des tampons de sortie. Ainsi les signaux des boutons-poussoirs sont stabilisés et la mémoire est active ;
3. Une diode de décharge sur le multivibrateur monostable du circuit d'ouverture. Elle évite l'absorption des dépassements positifs de signal de décharge par la fragile diode de protection interne d'entrée de la porte. La faible capacité des deux autres multivibrateurs monostables ne justifie pas cette précaution.

La figure F.13 donne la table de programmation d'une 2732 pour les codes fictifs choisis. Remarquez l'utilisation de seulement 14 adresses sur 4096 : cela laisse beaucoup de place pour l'imagination et la créativité. La sortie des adresses non programmées (donc interdites) est évidemment à l'état 1.



Étape	Signalisation initiale	Commandes	Signalisation finale
1	REP	2	aucune
2	aucune	4	aucune
3	aucune	2	aucune
4	aucune	3	aucune
5	aucune	1	aucune
6	aucune	3	OUV durant 5 s
7	OUV ou aucune	0	REP
A	aucune le code ouvert est engagé	5	REP DIST
B	REP DIST	2	aucune
X	ALA — rétablissement du 5 V — violation des séquences 1 à Y	5	ALA
Y	ALA	0	REP

Figure F.10 Synoptique du cahier des charges de la commande d'accès.

Nom : Michel Dion
 Code ouvert : 2-4-2-3-1-3
 Code repos : 0
 Code distraction : 5
 Code alarme : 5-0

	A0	A1	A3	A3	A4	A5	A6	A7	A8	A9	A10	A11	Q0	Q1	Q2	Q3	Q4	Q5	Q6	Q7	
ouvert	2	1	1	0	1	1	1	0	0	0	0	0	1	1	0	1	0	0	0	1	
	4	1	1	1	1	0	1	0	0	0	1	0	1	1	0	1	0	0	1	0	
	2	1	1	0	1	1	1	0	0	1	0	0	1	1	0	1	0	0	1	1	
	3	1	1	1	0	1	1	0	0	1	1	0	0	1	1	0	1	0	0	0	
	1	1	0	1	1	1	1	0	1	0	0	0	0	1	1	0	1	0	1	0	1
repos	3	1	1	1	0	1	1	0	1	0	1	0	0	1	0	0	1	0	1	1	0
	0	0	1	1	1	1	1	0	1	1	0	0	0	1	0	1	0	0	0	0	0
distraction	5	1	1	1	1	1	0	0	0	0	1	0	0	1	0	0	0	0	0	0	0
	5	1	1	1	1	1	0	0	0	1	0	0	0	1	0	0	0	0	0	0	0
	5	1	1	1	1	1	0	0	0	1	1	0	0	1	0	0	0	0	0	0	0
	5	1	1	1	1	1	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0
	5	1	1	1	1	1	0	0	1	0	1	0	0	1	0	0	0	0	0	0	0
alarme	5	1	1	1	1	1	0	1	1	1	1	0	0	1	1	1	1	0	1	1	1
	0	0	1	1	1	1	1	0	1	1	1	0	0	0	1	0	1	0	0	0	0

Figure F.13 Table de programmation de la commande d'accès.

BIBLIOGRAPHIE

1. Letocha, J. Introduction aux circuits logiques, 2^e éd., Montréal, McGraw-Hill, 1985.
2. Monolithic Memories, Designing with programmable Array Logic, 3rd éd., McGraw-Hill, 1983.
3. EPLD Handbook, Altera corporation, 1985.
4. PAL Handbook, 3rd éd., Monolithic Memories, 1983.
5. PLE Handbook, 1st éd., Monolithic Memories, 1984.
6. LSI Data book, 7th éd., Monolithic Memories, 1986.
7. Programmable Logic Handbook, 4th éd., Monolithic Memories, 1985.
8. Interface Bipolar LSI Data book, National Semiconductor, 1983.
9. CMOS Logic Data, Motorola, 1985.
10. Schottky TTL Data, Motorola, 1985.
11. High-speed CMOS Logic Data, Motorola, 1985.
12. MECL Device Data, Motorola, 1985.
13. CMOS/NMOS Special Functions Data, Motorola, 1986.
14. TTL Data book, Volume 1, Texas, 1984.
15. TTL Data book, Volume 2, Texas, 1985.
16. TTL Data book, Volume 3, Texas, 1984.
17. TTL Data book, Volume 4, Texas, 1985.
18. LSI Logic Data book, Texas, 1986.
19. Interface Circuits Data book, 2nd éd., Texas.
20. Electronics, revue, 27 janvier 1986, pages 25 à 31.
21. IEEE Micro, revue, octobre 1986, vol. 6, n° 5, pages 45 à 60.
22. Byte, revue, janvier 1987, vol. 12, n° 1, pages 195 à 230.

INDEX

A

ABEL, 275, 311, 485
Accès, temps d', 413, 503, 505
Additionneur, 132, 151
Adresse :
 bus d', 349
 décodeur d', 348, 354, 371, 372
Affichage, 137, 146, 200, 219
 alphanumérique, 398
 vidéo, 398
Aiguilles (imprimante), 397
Aléa, 327
Algorithme, 140, 387, 389
AMAZE, 274, 311, 485
Amplificateur de lecture, 370
ASCII, 399
Association, 443
Astable, 116

B

Balayage (horizontal), 397
Bascule, 163, 257, 261
Basculement, 3, 26, 29, 82
Basic, 348, 368
Binaire, 133, 275
Bit, 134, 141, 175, 345
 ligne, 409
 mot, 409
Bruit, 13, 29, 103
Bulle, 447
Bullogramme, 218, 286, 293
Bus, 72
 d'adressage, 348
 de commande, 349
 de données, 348

C

Câble coaxial, 93
CAM, 344, 440

566 CIRCUITS NUMÉRIQUES

Canal, 5, 59, 72, 382

Capacité, 19, 20, 60, 65
d'une mémoire, 345

Caractère, générateur de, 400, 402

CAS, 351

CCD, 344, 443

Cellule, 265, 267, 409, 416

Chevron, 450

Chronogramme, 124, 128, 129, 154, 171, 235, 384, 386, 413

Circuit(s) :

bistable, 206

intégrés :

10155, 441

2114, 363, 412

2201, 423

2256, 451

2716, 383

27C1024, 388

2812, 438

2117, 393

4116, 415

4164, 418

4256, 420

6164, 414

65256, 378

66700, 399

66710, 400

684C34, 422

68364, 377

68764, 385

74138, 358

74139, 364

74154, 361

74155, 364

74670, 421

75138, 464

75174, 465

75175, 466

76128, 401

PAL-20, 469

PAL-24, 471

séquentiel, 197, 403

asynchrone, 160

Classificateur (mémoire), 346

CMOS, 2, 3, 5, 9, 11, 20, 28, 58, 78, 313, 462

- Code, 137, 287
 - ASCII, 399
 - Gray, 369
- Codeur, 137, 154
 - à diodes, 374
 - à MOSFET, 376
 - à transistors, 375
 - matriciel, 370
- Collecteur ouvert, 66, 71, 369
- Colonne, décodeur de, 372
- Commutation, 29
- Comparateur, 134
- Complément, 198
- Compteur, 170, 180, 194, 284, 396
 - asynchrone, 188
- Condensateur, 479, 480
 - de stockage, 416
- Configuration, 252
- Couplage de charge, 444
- Courant :
 - d'alimentation, 16, 493
 - d'entrée, 8, 14, 496
 - d'état 3, 496
 - de sortie, 8, 14, 496
- Courbe de transfert, 31, 33, 82
- CPU, 360
- CS, 354
- CUPL, 275, 311, 485
- Cycle lecture/écriture :
 - 6800, 356, 357
 - 6809, 360
 - Z80, 362

- D
- DBE, 357
- Décalage, 139
- Décodeur, 137, 269, 348, 354
 - x, 371
 - y, 372
- Décompteur, 190, 196, 219
- Démultiplexeur, 135
- Dépassement, 81, 83

568 CIRCUITS NUMÉRIQUES

Diode, 12, 56, 68, 76, 77

Disque, 345

Domaines, magnétiques, 448

Données :

bus, 348

Double accès, 420

Drain, 444

E

ECL, 79, 91, 313, 346, 440

Écriture, cycle d', 357, 360, 362

EEPROM, 344, 390

Effacement, 381, 392

Émetteur, 98, 464

EPLD, 485

EPROM :

CI, 383, 385

effacement, 381

programmation, 382

Équation logique, 69, 124, 125, 128, 231, 276, 300, 477

ET câblé, 67, 69

État 3, 150, 165, 171, 256, 283, 483

Expansion, 354, 439

F

FAMILLE, 2, 484

FAMOS, 381

Fantômes, 227, 236

FIFO, 344, 428

CI, 438

FLOTOX, 390

FORTH : 368

FPGA, 306, 311, 485

FPLA, 306, 311, 485

Fréquence, 27, 30, 58, 93

FSK, 396

Fusible, 224, 227, 231, 232, 235, 239, 249, 281, 294

nichrome, 380

silicium polycristallin, 380

titanium, tungstène, 380

G

Gadolinium, 450

Gallium, 450

Grille, 444

H

HAL, 253, 268

Haute impédance (*Voir État 3*)

HCMOS, 357

HMSI, 268, 485

HNIL, 79

Horloge, 161, 171, 201, 357, 396, 446

HTL, 79

Hysteresis, 449

I

IFL, 485

I²L, 346

Immunité, 13, 62, 66, 102

Impédance, 94, 97

Impulsions, 25, 81, 505

Intégration, 484

Interface, 79, 104, 105, 114, 394

 Darlington, 68, 114

IRAM, 344, 417

J

JEDEC, 275

K

K (bits), 345, 349

Karnaugh, 289, 308, 478

L

Lecture, cycle de, 357, 360, 362

Ligne, 226, 227, 233, 245, 255

 bit, 409

 décodeur de, 371

Logiciel, 274, 315, 456

570 CIRCUITS NUMÉRIQUES

Logique combinatoire, 157

LOGO, 368

M

Masque, 368

Matrice de codage, 373

Mémoire :

à bulle, 345

à double accès, 344, 420

dynamique, 415

magnétique, 447

morte, 370

MOS, 346

RAM, 407

ROM, 367

semiconducteurs, 345

statique, 408

vive, 408

Microprocesseur, 394

Modulation, 97

Modulo, 182, 188, 214

Monostable : 47, 84, 195, 201, 204, 337

MOS, 346

MREQ, 362

MS/DOS, 456

Multiplexeur, 135, 152, 269

Multiplicateur, 139, 147

N

Niveaux, 3, 70, 483, 489

NMOS, 346

Numération hexadécimale, 478

NVRAM, 344, 346, 423

O

Octet, 345

Ordinogramme, 140

OU exclusif, 124, 127, 277, 308, 310

P

PAL, 227, 252, 268, 306, 469, 485, 469

PALASM, 274, 277, 292, 485

Parasites, 29, 84, 130
Parité, 138
PCAD, 457
PD/PGM, 383
PIA, 384
Pile, 431
Pilote, 73, 76
PLAN, 274, 485
PLD, 485
PLE, 306, 485
PLEASM, 274, 309, 485
PMOS, 77, 346
PMSI, 485
Poids, 132
PORTE, 128, 484
PPI, 384
Priorité, 124, 126, 128
Produit, 139, 261
Programmeur, 233
Programmation, 274, 309, 313
 EPROM, 382
 PROM, 380
PROM :
 définition, 379
 programmation, 380
Puissance, 14, 17, 19

R

Rafraîchissement, 418
RAM, 344, 407
 dynamique, 416
RAS, 351
Rayonnement ultraviolet, 381
RD, 362
Rebonds, 85, 87, 164, 337
Récepteur, 98, 101, 466
Réflexion, 94, 97
Registre, 143, 174, 191, 212, 265, 270, 271, 301
 à décalage, 431

572 CIRCUITS NUMÉRIQUES

Relais, 68

Répéteur, 100

Report, 132, 259

Résistance :

de charge, 98

de rappel, 63, 64, 75, 110, 165

Retards, 130, 132

ROM, 344, 370

Ruban magnétique, 345

S

Schmitt, 46, 82, 85

Sélection, 135

circuits, 349, 351

colonne, 410

mots, 410

Séquenceur, 209, 211, 293

SIGLE, 486

Sortance, 12, 52, 58, 112

SOS, 346

Source, 444

STTL, 346

Surtensions, 68

T

Table :

d'excitation, 168, 169, 183

de vérité, 124, 127, 128, 133, 148, 168, 288, 341

Tampon, 370, 371

Taux de répétition, 122

Temps :

d'accès, 345, 503, 505

d'écriture, 504, 505

d'état 3, 500

de lecture, 503, 505

de maintien, 220, 501, 503, 505

de préparation, 220, 501, 504, 505

de propagation, 26, 58, 60, 132, 160, 171, 497, 505

de transition, 25, 30, 62, 497, 505

Tensions :

- d'alimentation, 488

- d'entrée, 3, 4, 491

- de seuil, 46, 116, 490

- de sortie, 5, 6, 491, 492

Théorème, 447

Totem, 72

Transcodeur, 368

Transition, 161, 163, 483

Translateur, 78

Transmission, 93, 95, 106, 439

TTL, 2, 3, 5, 8, 10, 28, 52, 78, 98, 346, 461

V

Verrou, 165, 173

VIA, 384

Visualisation, 398

Vitesse (de mémoire), 348

VMA, 356

W

WE, 351

WR, 362

X

x, décodeur, 371

Y

y, décodeur, 372

Yttrium, 450

Z

Z80, 362

