

## La structure FET de puissance à faible résistance (COMFET)

*Nous avons annoncé, dans le n° 1 de « Puissance », la naissance, chez RCA, d'un nouveau dispositif combinant les technologies bipolaires et MOS sur une même puce, dispositif appelé COMFET par la société. Ces COMFET sont destinés à prendre le relais des MOS de puissance dans les applications HT, entre 400 V et 1 000 V en particulier, là où les MOS de puissance présentent une résistance série trop élevée. RCA n'a, à ce jour, pas encore défini le compromis temps de descente/résistance série qu'il va adopter pour ses premiers dispositifs commerciaux, mais les premiers échantillons sont d'ores et déjà prévus pour début 84.*

LES Laboratoires RCA à Princeton-USA ainsi que la RCA Solid State ont développé un nouveau type de transistor de puissance MOS-FET réunissant les caractéristiques du transistor MOS, du transistor bipolaire et celles du thyristor en un seul composant. Ce nouvel élément appelé COMFET (FET à conductivité modulée) possède une résistance en mode direct un ordre de grandeur plus petit que celle du transistor MOSFET de taille comparable : à 20 A, on a mesuré par exemple moins de 0,1 ohm de  $R_{ds(on)}$  pour une puce de 3 mm de côté capable de bloquer 600 V en mode direct et 100 V en mode inverse. Ses caractéristiques font du COMFET le composant idéal pour les applications à haute tension et grande puissance pour lesquelles les transistors MOS, de par leur relativement grande résistance série, se révèlent d'un emploi difficile.

Les caractéristiques des COMFET, tout en étant similaires à celles d'un transistor bipolaire, présentent la même haute impédance d'entrée que celle d'un MOS conventionnel. Ceci leur permet d'être pilotés par des composants de petite puissance, petite tension, éliminant étages pilotes et circuits de commande complexes inhérents à l'emploi de transistors bipolaires.

Bien que les vitesses de commutation des COMFET soient plus faibles que celles des MOS conventionnels, elles sont du même ordre de grandeur que celles des transistors bipolaires traditionnels. Leur temps typique d'enclenchement est de l'ordre de 100 ns et leur temps de coupure peut être inférieur à la microseconde. Leurs caractéristiques combinées de vitesse et de résistance série leur permettent donc de rivaliser avec les bipolaires dans de nombreuses applications à moyennes fréquences ; à elle

seule, leur simplicité de contrôle présente déjà un sérieux avantage.

Les caractéristiques de ces composants sont obtenues par l'emploi d'un substrat de type P côté drain. Lorsqu'une tension positive est appliquée entre porte et drain, des électrons pénètrent dans la région du drain de type N+. Ils y provoquent une injection de trous en provenance du substrat de type P+. Ces porteurs « modulent » la conductivité du drain qui est à haute résistivité, réduisant de manière appréciable la résistance totale (fig. 1 et 2) du composant.

La fabrication du COMFET repose sur les implants P+ côté cathode, assurant un bon contrôle des valeurs des résistances shunt dans le transistor NPN, prévenant tout fonctionnement classique en thyristor. Maintenant bas le gain en courant du transistor NPN ( $\alpha_{NPN}$ ) on réalise l'inéquation.

$$\alpha_{NPN} + \alpha_{PNP} < 1,$$

et tout risque d'enclenchement par courant hypostatique (au-delà du seuil entraînant un fonctionnement en thyristor ; en anglais, latching courant) est éliminé. Le COMFET garde le contrôle de la gâchette sur la quasi-totalité de la plage courant/tension considérée. (1)

Ce contrôle élimine toute chute de tension importante à grand courant.

### Maîtriser les paramètres

Le COMFET est une structure à 4 couches (NPNP) qui possède un canal contrôlé par une gâchette MOS couvrant les deux régions N. Dans le mode normal de fonctionnement, une tension positive par rapport à la cathode (K) est

# Produits nouveaux

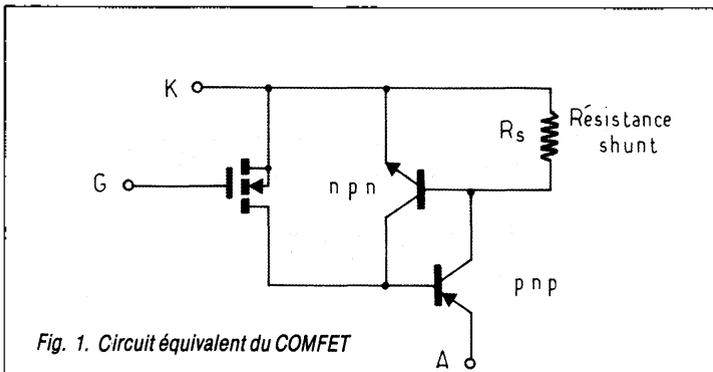


Fig. 1. Circuit équivalent du COMFET

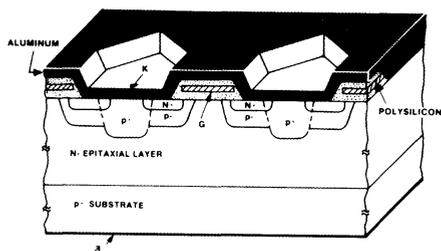


Fig. 2. Vue en coupe dans une structure COMFET

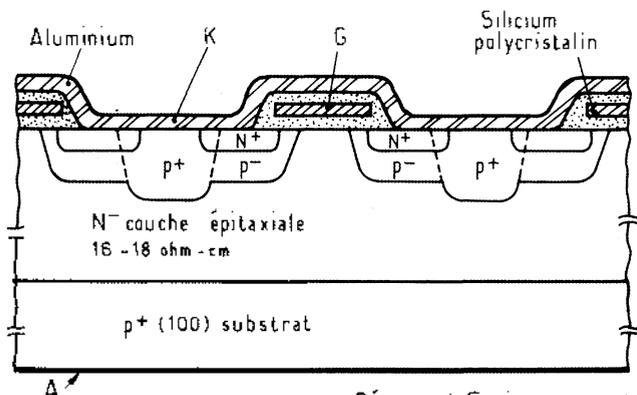


Fig. 3. Coupe dans les différentes couches d'un COMFET

Région	Épaisseur (µm)
EPI	60 - 62
N <sup>+</sup>	1,0 - 1,5
p <sup>-</sup>	3,5 - 4,0
p <sup>+</sup>	5,0 - 5,5

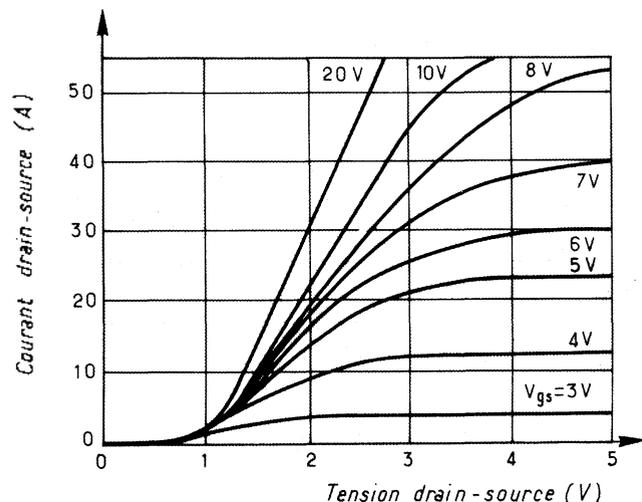


Fig. 4. — Caractéristique tension/courant d'un COMFET 600 V/mm<sup>2</sup> faisant appel à deux puces 600 V/9 mm<sup>2</sup> en parallèle.

appliquée à l'anode (A) (fig. 3). Lorsque la grille (G) est au potentiel zéro par rapport à la cathode (K), aucun courant d'anode ( $i_A$ ) ne circulera pour une tension d'anode inférieure à la tension drain source  $V_{BF}$ . Pour  $V_A < V_{BF}$  et pour une tension de grille supérieure à la tension de seuil  $V_{gt}$ , il y a injection d'électrons dans la région N-(base du transistor PNP).

Ces électrons font baisser le potentiel de la région N-, polarisant la jonction P+N- positivement (substrat-couche épi), entraînant ainsi une injection de trous du substrat P+ dans la région épitaxiale N-. Cet excès de trous et d'électrons module la conductivité de la région à haute résistivité N-, ce qui réduit de manière spectaculaire la résistance offerte au passage du courant.

En fonctionnement normal, la résistance shunt ( $R_s$ ) maintient le courant d'émetteur du transistor NPN à un niveau très bas ; le gain  $\alpha_{NPN}$  est ainsi très petit. Cependant, pour des courants  $i_A$  suffisamment grands, une injection d'émetteur suffisante peut se produire dans le transistor NPN, provoquant l'augmentation du gain  $\alpha_{NPN}$  ; sous de telles conditions, la structure quatre couches peut « s'enclencher », tout contrôle échappant alors à la grille. La pièce ne peut plus être ramenée dans son état de non-conduction qu'en diminuant le courant  $i_A$  sous son « niveau de maintien », comme dans tout fonctionnement thyristor.

## Jusqu'à 600 V

Les COMFET actuels sont bâtis sur une structure épi-résistive d'une épaisseur pouvant tenir les 600 V. Les puces de 9 mm<sup>2</sup> présentent une résistance directe légèrement inférieure à 0,1  $\Omega$  (pour une polarisation de la gâchette de 15 à 20 V plus une tension de déchet légèrement supérieure au volt). Une puce MOS de taille comparable présente une résistance de 1 à 3 ohms. Les COMFET sont fabriqués en utilisant une géométrie HEXFET (2) avec une électrode de grille en silicium polycristallin déposée sur un diélectrique de silice.

En l'absence de toute polarisation de grille, la caractéristique directe du COMFET présente un très faible courant de fuite (< 1 nanoampère) et un coude de claquage net conduisant à des niveaux de courants beaucoup plus élevés pour un léger accroissement de la tension de polarisation.

On pourrait obtenir une caractéristique de tension de blocage inverse similaire en passivant les extrémités de la jonction interne entre le substrat P+ et la couche épitaxiale N-. N'ayant pas recours pour le moment à cette technique, nos produits n'atteignent que la centaine de volts en tension de blocage inverse.

La figure 4 montre que les caractéristiques de transfert d'un COMFET sont semblables à celles présentées par un MOS ; soulignons la tension de seuil de 0,7 V- et la pente raide des caractéristiques  $I(V)$ . La tension requise pour la polarisa-

tion directe de la jonction P+ /N- (substrat-couche épitaxie), introduit, par rapport au MOS, une tension de déchet qui fait partie intégrante de la caractéristique du COMFET.

La figure 5 donne les caractéristiques  $I(V)$  d'un COMFET et d'un MOS classique à canal N pour une tension de polarisation de porte de 20 V. Les deux composants ont été fabriqués dans le même lot, ont des structures épi identiques et une même taille (9 mm<sup>2</sup>). On notera que la présence du substrat de type P+ confère au COMFET un seuil de tension de 0,7 V ou une tension « de déchet » de l'ordre de 1,4 V. En fonctionnement, la jonction P-N créée par le substrat de type P+ est polarisée positivement et injecte des trous dans la couche épi, entraînant une réduction spectaculaire de la résistance directe.

La valeur de la résistance de tous les COMFET 9 mm<sup>2</sup> fabriqués à ce jour est inférieure à 0,1 ohm à 20 A. Un MOS classique soutient, de ce point de vue, difficilement la comparaison ainsi que le montre la figure 6. Il s'agit d'un diagramme donnant la « résistance spécifique » ou produit de la résistance directe par la taille de la puce en fonction des caractéristiques de tension de blocage pour des MOS à canaux N conventionnels de fabrication récente et un COMFET de RCA. Les MOS haute tension (> 200 volts) ont leur résistance directe dominée par la résistance de leur couche épi. Cette composante est éliminée de la résistance directe d'un COMFET par le principe de modulation de la conductivité. La figure 6 illustre clairement le net avantage du COMFET sur tout MOS de caractéristique supérieure à 200 V. A l'avenir, lorsque des COMFET à tension de blocage supérieur à 600 V seront mis au point, cet avantage sera renforcé.

## Un temps de coupure à améliorer

Pour caractériser le mode de fonctionnement transitoire du composant, on a mesuré les paramètres de commutation, la gâchette étant soumise à des échelons de tension. La réponse du courant d'anode à une impulsion d'onde

La figure 6 fait référence à l'article de M Baliga (GE) « Switching Lots of Watts at High Speed », IEEE Spectrum 18, 42 (Dec 1981) (3). On y trouvera les détails concernant la ligne droite partageant la figure ainsi que les points associés à son nom dans la légende. Les points blancs (situés au-dessus de la ligne droite) proviennent des feuilles de caractéristiques de MOS que l'on trouve sur le marché (RCA et autres fabricants). Les points noirs (situés sur et sous la ligne droite) sont ceux de monsieur Baliga qu'il appelle « state-of-the-art » complémentés des meilleurs transistors RCA commercialisés ou en développement, car la résistance de la région modulée est fixée par la concentration des porteurs mobiles en excès (à l'image d'une diode PIN) et non par la concentration en éléments dopants du réseau cristallin.

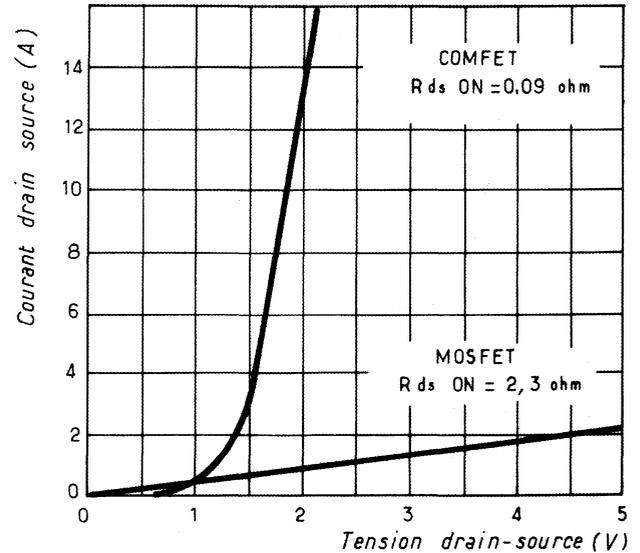


Fig. 5.— Caractéristiques  $I(V)$  comparées d'un COMFET et d'un MOS de surface de puce et d'une tenue en tension équivalente.

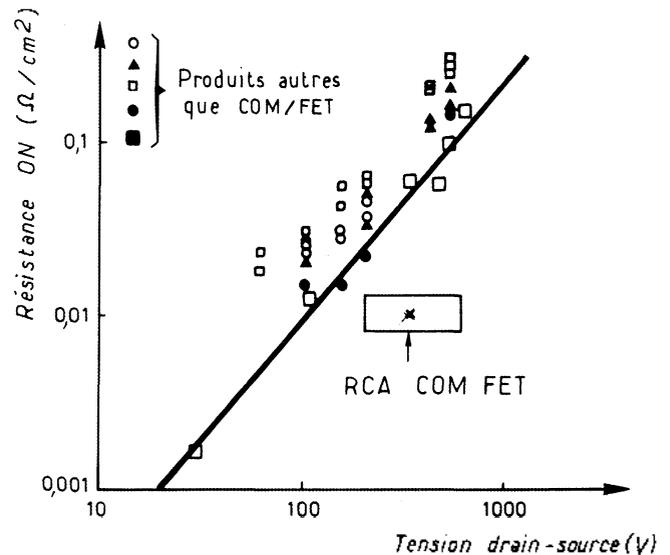


Fig. 6. Résistance directe spécifique en fonction de la tension de blocage drain source de divers MOS et du COMFET.

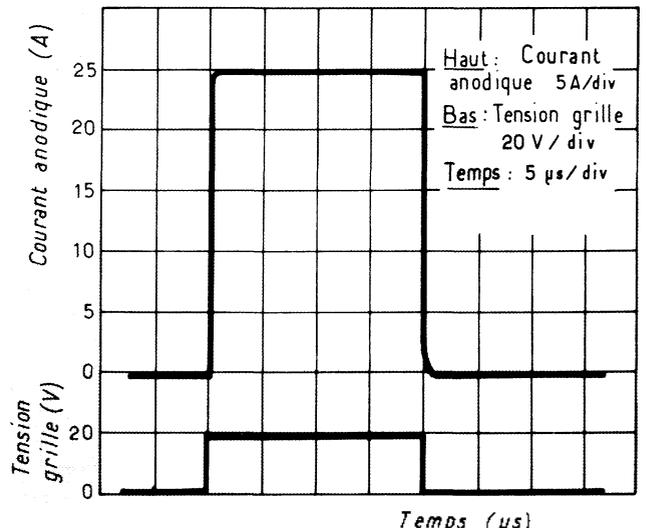


Fig. 7. Courant drain/source chutant de 20 A en quelque 350 ns (COMFET irradié).

carrée de tension comprend un temps d'enclenchement très rapide (valeur typique inférieure à 100 ns) et un temps de coupure beaucoup plus long. On observe que le temps de coupure se compose d'une décroissance initiale « rapide », suivie d'une « queue » plus lente comme illustré par les figures 7 et 8.

Nous croyons que cette décroissance rapide est due à la coupure de la partie MOS du circuit équivalent, et que la « queue » du temps de coupure est due au temps nécessaire aux porteurs excédentaires dans la région épitaxiale du drain pour se recombiner.

Sans précautions spéciales pour raccourcir la durée de vie des porteurs minoritaires dans le COMFET, les temps de coupure observés sont de l'ordre de 10 à 40 microsecondes. Il s'agit de la lente recombinaison des trous injectés dans la couche épi (en provenance du substrat de type P). Nous avons pu réduire le temps de coupure à moins de 1 microseconde en ayant recours à différentes techniques :

- Introduction de défauts par irradiation (irradiation par électrons à haute énergie, irradiation gamma, ou irradiation par neutrons) ;
- Introduction de métaux lourds comme centres de recombinaison (or, platine, ou palladium).

Chacune des six techniques de contrôle de la durée de vie des porteurs excédentaires proposées altère plus ou moins la résistance directe et la caractéristique en courant hypostatique. Nous tenons jusqu'à présent pour secret les détails se rapportant à ces six techniques, chacune n'ayant encore été explorée que jusqu'à un certain point.

Aucune des techniques de raccourcissement de la durée de vie n'augmente de manière appréciable la résistance directe du COMFET. Elle passe en moyenne de 0,09 ohm à 0,13 ohm (par contrôle de la durée de vie des porteurs). Cet accroissement est négligeable devant les 1 à 3Ω que présente un MOS standard (figures 9, 10, 11).

Le COMFET peut s'enclencher par courant hypostatique tout comme un thyristor conventionnel à des courants suffisamment grands. Les courants hypostatiques à température ambiante se situent aujourd'hui entre 20 et 50 A, mais diminuent aux températures élevées. Notre but est de porter ce courant (par des modifications de conception et de fabrication) à une valeur suffisamment élevée pour ne plus être dans la gamme des courants de travail dans aucune des conditions de fonctionnement du circuit.

D'un autre côté, dans certaines applications, un enclenchement hypostatique à très haut courant ferait un fusible électronique rêvé. Ajoutons que cette caractéristique hypostatique est également fortement influencée par le temps de coupure du signal de grille. Un temps de coupure long (10 microsecondes environ) permet des courants d'anode jusqu'à 30 A sans enclenchement thyristor. Au contraire, un temps de coupure rapide (de l'ordre de la microseconde) conduit pour la même pièce à un enclenchement thyristor pour un beaucoup plus faible niveau de courant d'anode (environ 10 A).

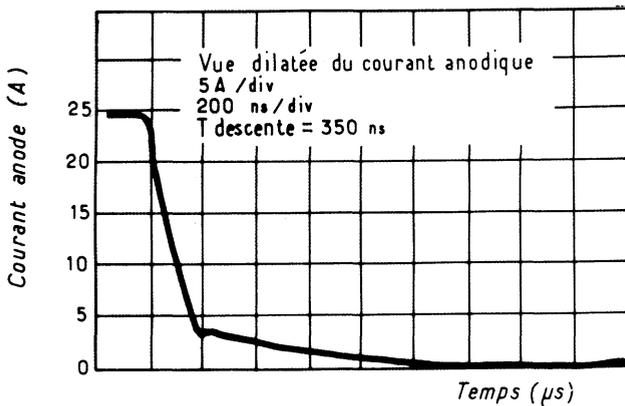


Fig. 8. Courant drain/source en échelle dilatée montrant les 350 ns de décroissance (COMFET irradié).

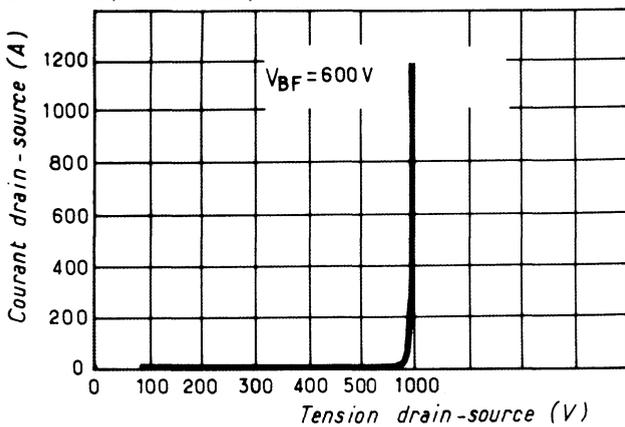


Fig. 9. Tension de blocage en mode direct.

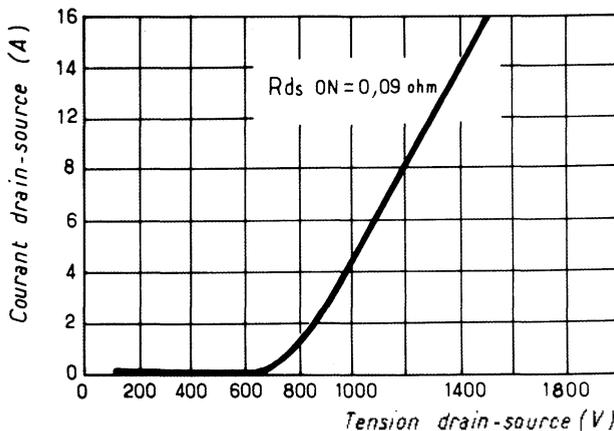


Fig. 10. Résistance directe de 0,09 ohm pour une puce de 9 mm<sup>2</sup> en boîtier TO3 - I<sub>b</sub> = 20 A V<sub>c</sub> = 20 V.

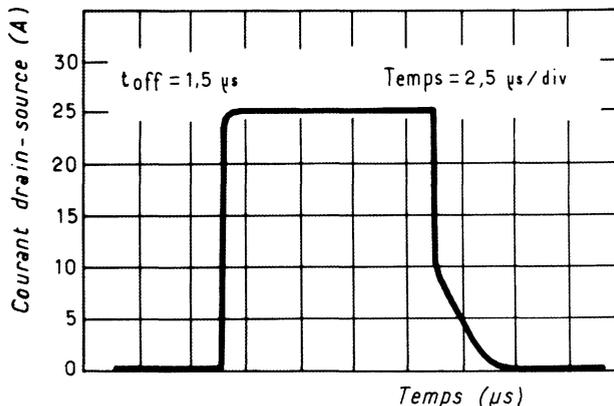


Fig. 11. Réponse en courant de drain à un échelon de tension grille. Temps de coupure réduit à 1,5 µs.

Nous pensons que l'enclenchement thyristor qui se produit lors d'une coupure rapide du signal de grille est due au courant forcé dans le transistor NPN, provoquant l'augmentation du gain  $\alpha_{NPN}$  réalisant les conditions nécessaires à un enclenchement par effet thyristor,  $\alpha_{NPN} + \alpha_{PNP} = 1$ .

Un long temps de coupure du signal de grille prévient cet effet, le canal induit ne se fermant que lentement, court-circuitant partiellement le transistor NPN ; le petit courant qui circule dans ce transistor maintient le gain  $\alpha_{NPN}$  suffisamment faible pour empêcher tout effet thyristor.

## Pour la commande de moteurs

Nous prévoyons l'usage des COMFET dans des applications telles que commandes de moteurs pas à pas, circuits automobiles, régulateurs à commutation basse fréquence. Ce composant est idéal pour les applications grand public ; des modules de contrôle de moteurs de 40 à 600 volts ont par exemple été réalisés. Cette technologie à conductivité modulée permet de rêver à des tensions de l'ordre de 1 000 V. Des expériences en allumage automobile ont été menées avec succès en remplaçant le transistor Darlington de 400 V. Un circuit de protection contre les courants de surintensité peut être

réalisé tirant profit de l'effet d'enclenchement thyristor que présente ce produit.

Les applications qui tolèrent un temps de coupure de 5 à 20 microsecondes peuvent tirer parti d'une résistance directe extrêmement faible.

**Lucien Maréchal**  
(RCA Solid State, Bruxelles)

## REFERENCES

1. H.W. BECKE and C.F. WHEATLEY, « Power MOSFET with an Anode Region », U.S. Patent n° 4364073, déc. 1982.
2. H.W. COLLINS and B. PELLY, « HEXFET », A New Power Technology Cuts On-resistance, Boost Ratings », Electron. déc. 12, 36, 1979.
3. B. JAYANT BALIGA, « Switching Lots of Watts at High Speeds », IEEE Spectrum 18, p. 42, déc. 1981.
4. S.M. SZE, Physics of Semiconductor Devices, 2nd ed., (J. WILEY, NEW YORK, 1981), p. 120.
5. The COMFET - A New High Conductance MOS-Gated Device. J.P. RUSSELL, A.M. GOODMAN and L.A. GOODMAN - J. NEILSON - RCA Corporation MOUNTAINTOP, Pa. 18707.
6. M.L. TARNG, « On-resistance Characterization of VDMOS Power Transistors ». Tech. Digest 1981 International Electron Devices Meeting, New York : IEEE, pp. 429-433, 1981.
7. C. HU, « Optimum Doping Profile for Minimum Ohmic Resistance and High Breakdown Voltage », IEEE trans. Electron Devices ED-26, p. 243, 1979.
8. J. TIHANYI, « Functional Integration of Power MOS and Bipolar Devices ». Tech. Digest 1980 International Electron Devices Meeting, New York : IEEE, p. 75-78, 1980.
9. L. LEIPOLD et AL, « A FET Controlled Thyristor in Sipmos Technology ». Tech. Digest 1980 International Electron Devices Meeting, New York : IEEE, p. 79-82, 1980.