

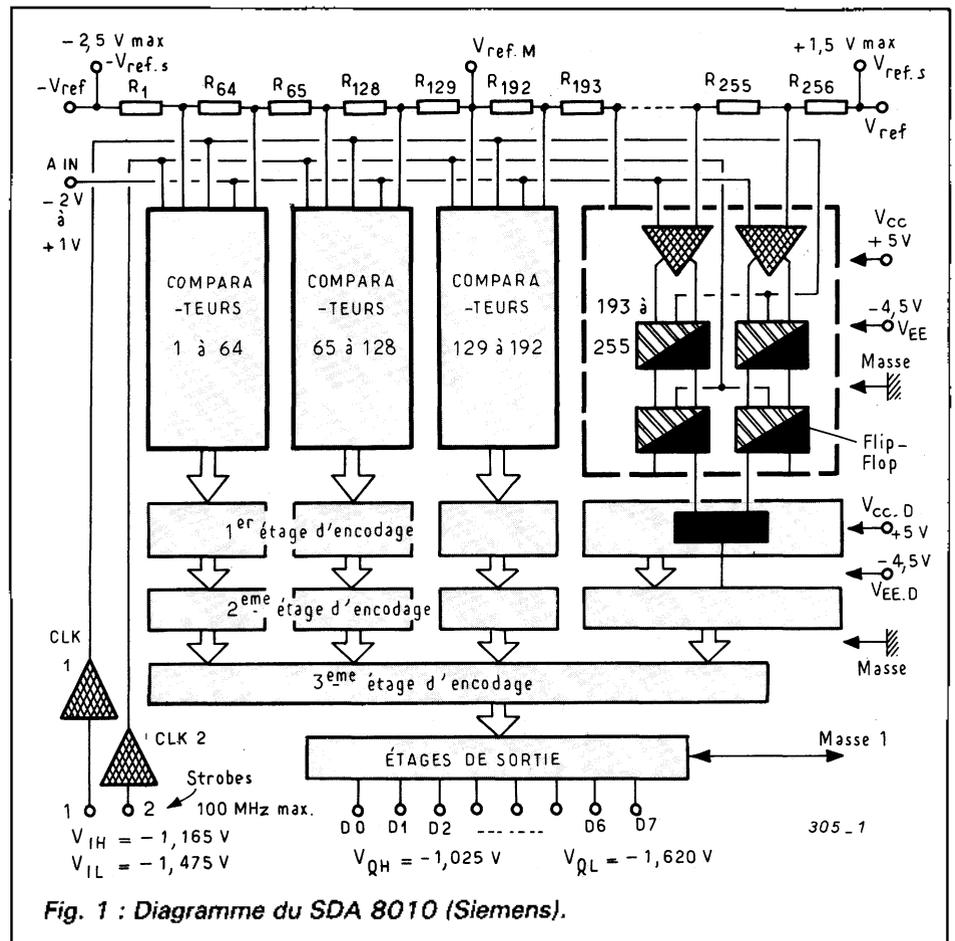
CONVERTISSEURS A/N

Le traitement numérique de l'information s'étend rapidement à des techniques de plus en plus diversifiées. Plus les signaux à traiter sont complexes et de fréquence élevée, plus on a besoin de convertisseurs à grande vitesse et à large bande ; d'où l'intérêt du nouveau jeu présenté par Siemens, le convertisseur A/N - SDA 8 010 (8 bits. 100 MHz) et le convertisseur N/A - SDA 8 005 (8 bits. 7 ns).

Le traitement numérique des signaux a déjà été traité à plusieurs reprises et en particulier dans le n° 497 d'octobre 1984 de la revue ; il n'est donc pas nécessaire de revenir sur les principes

généraux des convertisseurs analogiques / numériques et numériques / analogiques.

Le nouveau jeu de convertisseurs Siemens utilise la technologie à grande vitesse OXIS II qui est ca-



- N/A À GRANDE VITESSE

caractérisée par :

- une technologie 2 μm
- une fréquence de coupure de 4,5 GHz
- un temps de propagation par porte de 250 ps.

Elle nécessite :

- un isolement par oxyde
- une base à double implantation
- une triple métallisation.

Le convertisseur A/N SDA 8010

La figure 1 donne le synoptique du SDA 8010. On remarque la chaîne de 256 résistances, placées entre le plus et le moins de la tension de référence, et reliées à l'entrée différentielle de chacun des comparateurs.

La tension analogique d'entrée est reliée à la seconde entrée différentielle des mêmes comparateurs. Ces derniers sont suivis par les trois étages encodeurs logiques pour arriver aux étages de sortie à 8 bits, compatibles ECL 100 K.

Fonctionnement du comparateur

L'étage d'entrée (fig. 2) est constitué d'un amplificateur différentiel T_1 - T_2 , d'un interrupteur T_3 à T_6 commandé par le signal d'horloge CLK1 et CLK1, ainsi que d'une bascule T_7 - T_8 . L'amplificateur différentiel compare la tension analogique d'entrée V_{AIN} avec la tension de référence V_{REF} provenant de la chaîne des résistances. Pendant la phase L de l'horloge CLK1 le courant collecteur des transistors

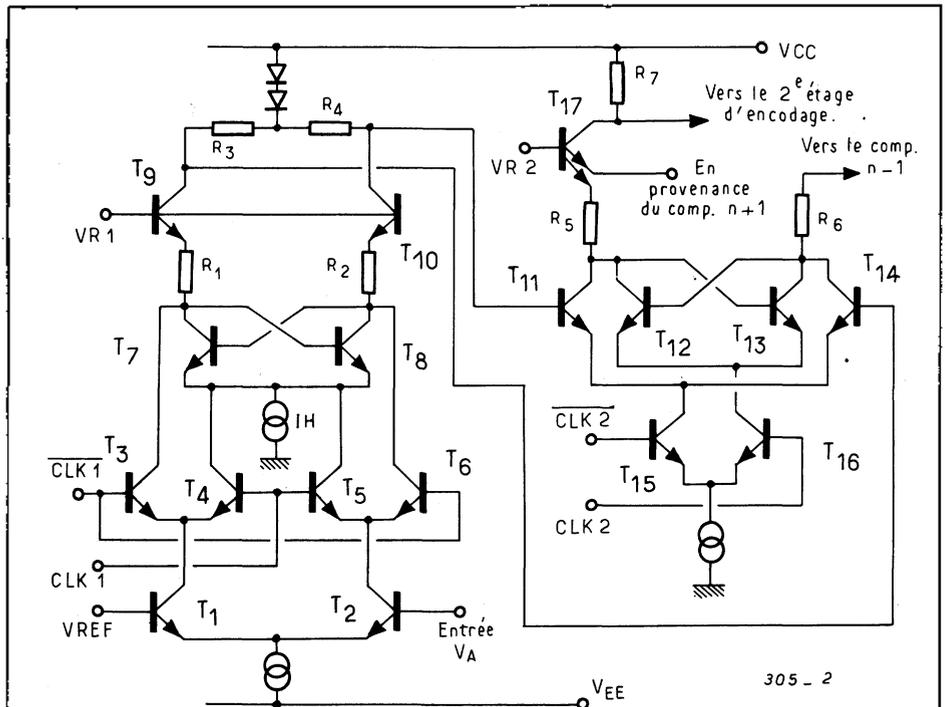


Fig. 2 : Schéma du comparateur du SDA 8010 (Siemens).

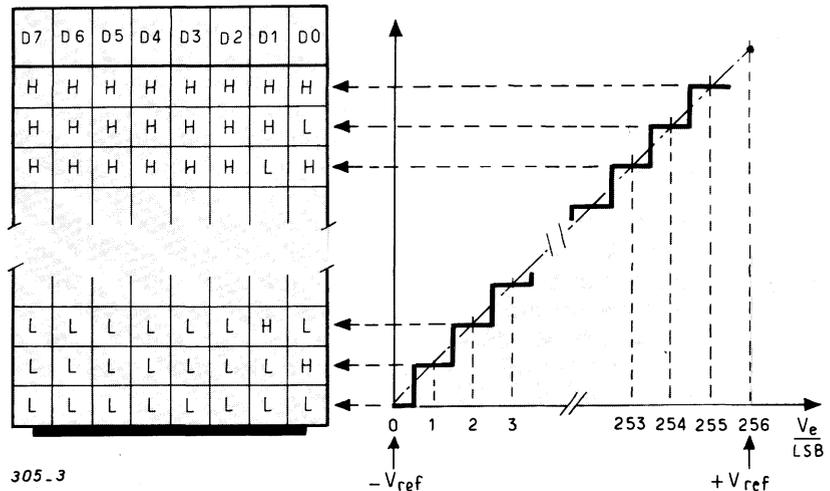


Fig. 3 : Caractéristique de transfert et table de vérité du SDA 8010 (Siemens).

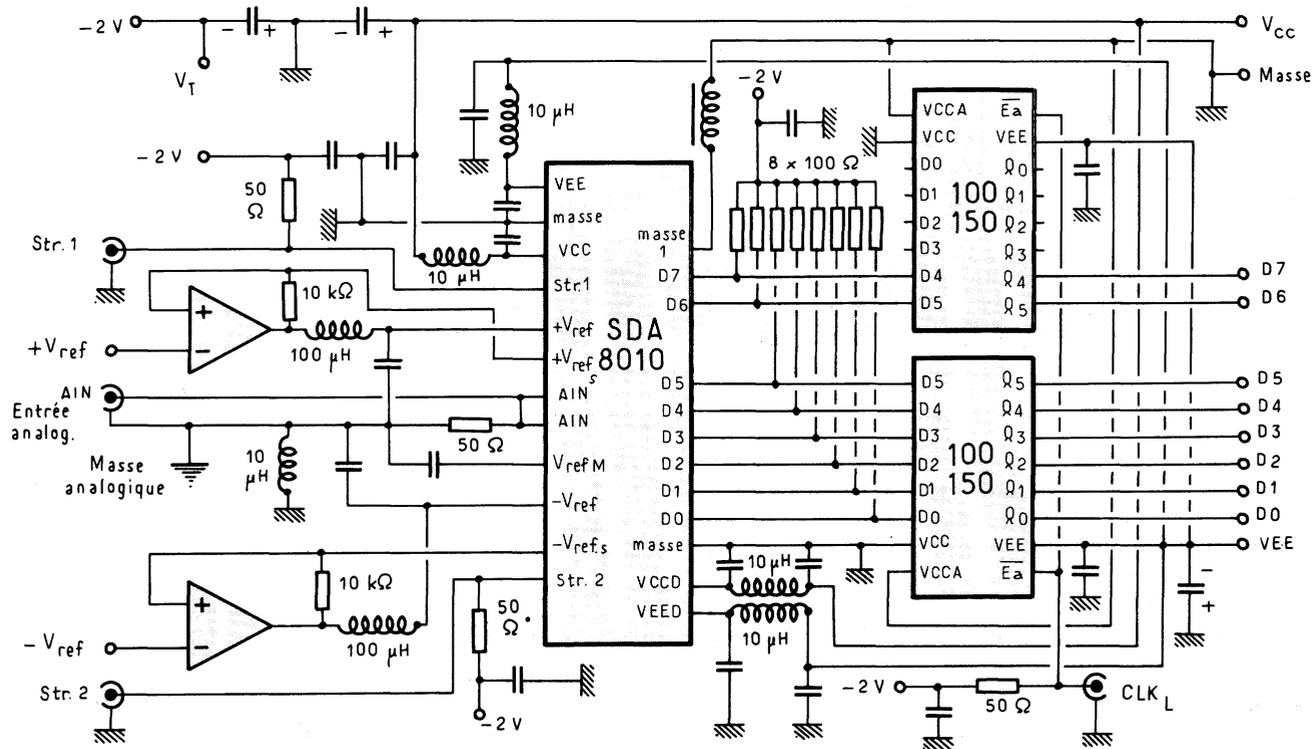


Fig. 4 : Circuit d'évaluation de convertisseur SDA 8010 (Siemens).

T_3 et T_6 produit une tension différentielle à l'entrée de la bascule, en fonction de la différence entre la tension V_{AIN} et la tension de référence V_{REF} .

Lorsque l'horloge CLK1 passe au niveau H la bascule T_7 , T_8 fait la somme des courants collecteurs de T_4 et de T_5 et stocke le résultat de la comparaison pendant que l'horloge passe à nouveau au niveau L.

Par la seconde horloge CLK2 cet état logique est transféré à la seconde bascule T_{12} , T_{13} et finalement aux étages encodeurs logiques.

Une liaison ET est transférée au comparateur précédent ($n-1$) par le transistor T_{14} , tandis que le transistor T_{17} , multi-émetteur reçoit une impulsion ET provenant du comparateur suivant ($n+1$). Cet encodage logique forme ainsi une représentation binaire de la valeur du signal échantillonné.

Ce comparateur constitue l'élément principal du convertisseur flash, car il influence pratiquement tous les paramètres du convertisseur : linéarité, impédance d'entrée, réponse en amplitude et distorsion du signal.

La rapidité de conversion provient

de la capacité de commutation des comparateurs.

La consommation par comparateur détermine la possibilité d'intégration d'un circuit à haute résolution. Une bonne optimisation de ce circuit a permis d'obtenir une consommation totale particulièrement faible de 1,4 W. La figure 3 donne la caractéristique de transfert des comparateurs et la table de vérité.

Circuit d'évaluation du convertisseur

La figure 4 donne le schéma complet de ce circuit. L'entrée analogique a une impédance de 50 Ω . Pour améliorer la précision de conversion aux extrémités de l'échelle des résistances, deux amplificateurs différentiels sont placés entre les tensions de référence $-V_{REF}$ et $+V_{REF}$ et les entrées correspondantes du circuit intégré.

Les deux entrées pour chacune de ces tensions : $-V_{REF}$ et $-V_{REFS} + V_{REFS}$ sont prévues sur le circuit intégré afin de compenser la chute de tension dans les résistances parasites formées par la métallisation, le fil entre la pas-

seille et la sortie, ainsi que la broche de sortie elle-même.

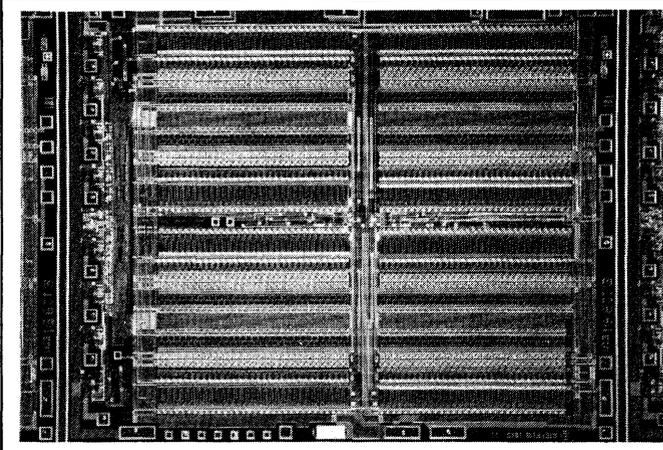
La sortie V_{REFM} au milieu de la chaîne des résistances est utilisée pour le découplage HF.

Le SDA 8010 est commandé par deux horloges internes CLK1 et CLK2. Le déclenchement de ces horloges est obtenu par les signaux Strobe 1 et Strobe 2. L'impulsion Strobe 1 commande le premier étage du comparateur.

Les sections analogiques et numériques du circuit doivent avoir chacune une alimentation et une mise à la masse séparée. La section analogique est alimentée par V_{CC} et V_{EE} .

La section numérique est alimentée par V_{CCD} et V_{EED} . La différence entre les tensions des deux alimentations ne doit pas dépasser 100 mV. Des précautions doivent être prises pour le découplage des alimentations.

Les huit sorties sont reliées chacune à -2 V par une résistance de 100 Ω . De façon à améliorer la précision des commutations des horloges jusqu'à 125°C, il a été ajouté un registre ECL 100 K (100150) commandé par une horloge CLK_i dont les impulsions



Le convertisseur A/N - SDA 8010

Principales caractéristiques

- résolution : 8 bits
 - taux de conversion : 100 MHz
 - linéarité : $\pm 1/2$ LSB (erreur maximale)
 - bande passante à 8 3 dB : 80 MHz
 - rapport S/B à 30 MHz : 40 dB
 - entrée différentielle : capacité 30 pF.
 - sorties compatibles : ECL 100 K
 - faible consommation : 1,4 W
 - alimentation : - 4,5 et + 5V
 - boîtier : DIL 24 céramique.
- La plaquette de 24 mm² contient 11 000 composants.

sont corrigées en fonction de la température.
La figure 5 donne la courbe amplitude/fréquence de ce schéma.

Le convertisseur N/A- SDA 8 005

Il s'agit d'un convertisseur parallèle selon le principe de l'échelle R/2R. Les mots de 8 bits sont appliqués en entrée à 8 registres commandés par une horloge. Les interrupteurs reçoivent le signal correspondant lorsque l'horloge est à l'état L et ils sont reliés à la masse à l'état H. Une source stabilisée de courant de référence est appliquée aux interrupteurs de courant. On obtient ainsi un courant variant en fonction de la position des différents interrupteurs. Avec un courant de référence de 2,5 mA, le courant maximal de sortie peut atteindre 40 mA.

Les grandes lignes du circuit

La figure 6 donne le synoptique du SDA 8005. Le registre d'entrée comprend 8 circuits recevant chacun le signal numérique correspondant, la commande d'horloge (Strobe) et la tension d'atténuation des transitoires (Deglitch).

Les signaux Q et \bar{Q} commandent la bascule de l'interrupteur de courant passant de l'état L à l'état H. Une source de courant stabilisée alimente l'interrupteur. On dispose de deux sorties - I et + I. Les « glitches » sont des discontinuités temporaires ou des

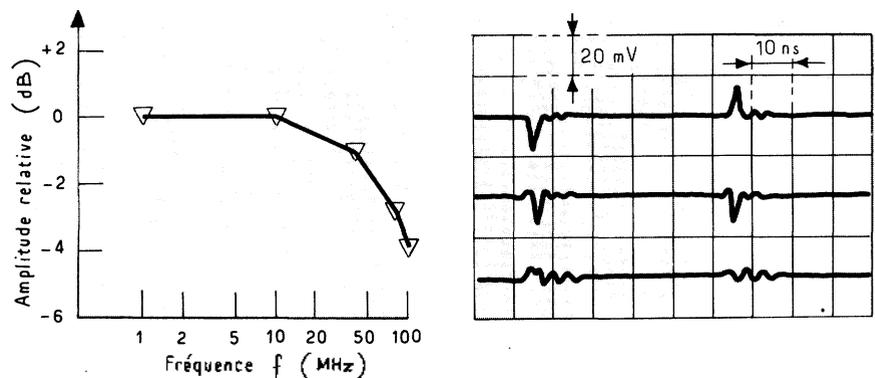


Fig. 5 : Réponse en amplitude en fonction de la fréquence pour le circuit d'évaluation (fig. 4) attaqué par une source de 50 Ω .

Fig. 7 : Transitoire de commutation et leur atténuation au moyen d'une tension ajustable entre - 2,3 V et - 2,9 V (Deglitch).

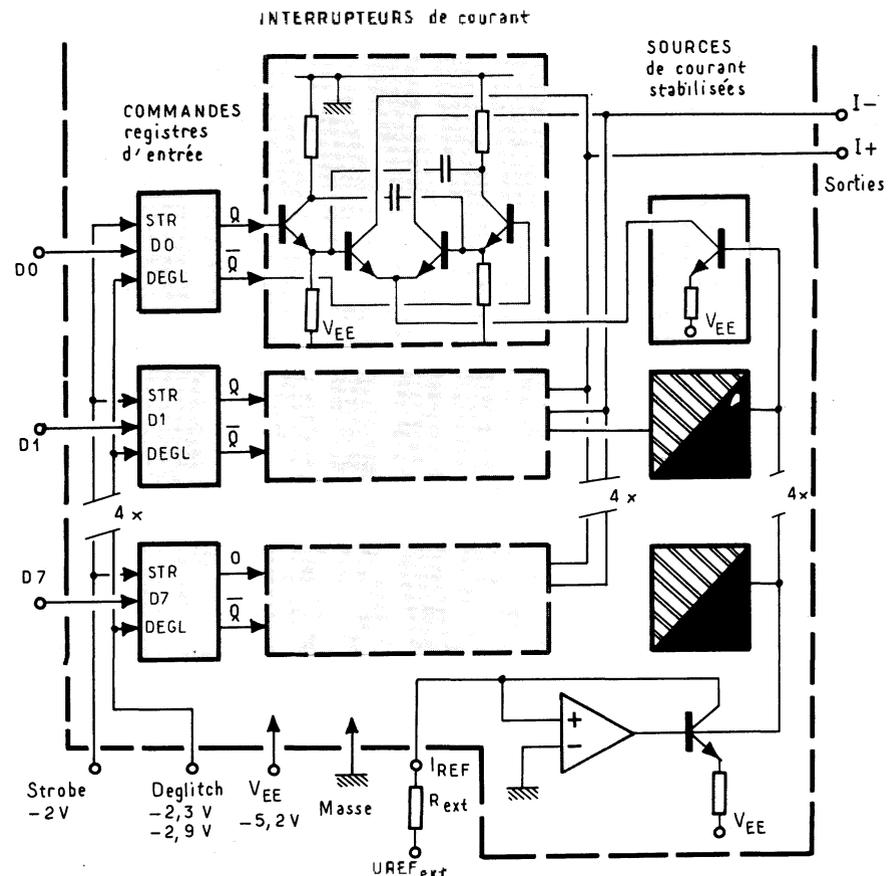
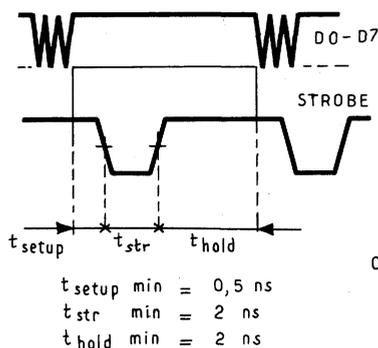


Fig. 6 : Diagramme du SDA 8005 (Siemens).

Le convertisseur N/A - SDA 8005

Principales caractéristiques

- résolution : 8 bits
- temps de transfert : 7 ns
- fréquence d'horloge : 150 MHz
- linéarité : $\pm 1/2$ LSB (erreur maximale)
- registre d'entrée numérique compatible ECLIOK et 100K
- dérive de température : $80 \cdot 10^{-6}/^{\circ}\text{C}$
- circuit de réduction des transitoires (degitch)
- courant de sortie : 4 à 40 mA
- alimentation : - 5,2 V
- boîtier : DIL 16 céramique.



305 - 0 - 9

Fig. 8 : Caractéristiques de l'impulsion de commande de l'horloge.

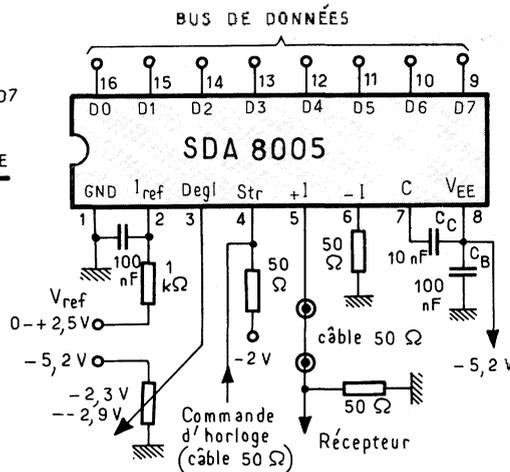


Fig. 9 : Montage du convertisseur SDA 8005 (Siemens).

pics sur la sortie analogique du convertisseur. Elles interviennent sur les flancs montant et descendant du signal de commande et son causées par les commutations parasites lors de ces transitions.

La figure 7 montre ces pics de commutation. On les atténue en appliquant une tension comprise entre - 2,3 V et - 2,9 V sur la prise Dglitch du circuit. La courbe du bas de la figure 7 montre l'amélioration obtenue.

La figure 8 donne les caractéristi-

ques des impulsions de l'horloge en fonction du signal numérique des entrées (Strobe).

La figure 9 montre un exemple de montage du circuit. Le bus d'entrée numérique est relié aux entrées D₀ à D₇.

La tension d'alimentation - 5,2 V est bien découplée grâce à deux condensateurs céramique soudés le plus près possible de la sortie V_{EE} et à une surface importante du cuivre du circuit imprimé reliée à la masse.

La sortie - I est reliée à la masse au travers d'une résistance de 50 Ω. La broche + I, chargée par 50 Ω constitue la sortie analogique du signal. La commande de l'horloge est effectuée par la prise Strobe polarisée à - 2 V.

Un ajustable permet de choisir la tension négative de deglitch qui atténue le plus les transitoires de commutation. L'intensité de référence (généralement 2,5 mA) est obtenue en faisant varier la tension de référence entre 0 et 2,5 V. La résistance de référence est de 1 k Ω. Cette tension est obtenue sur la sortie + de l'amplificateur différentiel d'alimentation. La sortie de masse doit être reliée directement à une surface importante de cuivre reliée à la terre.

Les principales applications des convertisseurs rapides

Sans que cette énumération prétende être complète, on peut citer :

- la médecine : rayons X, ultrasons, résonance magnétique nucléaire,
- la mesure : analyse de transitoires, oscilloscope à mémoire,
- la physique nucléaire : détection de passage ou de l'impact des particules,
- la technique radar : mesures et contre-mesures (brouilleurs),
- la télévision professionnelle : conversion dans les pupitres de mixage, studios numériques, haute définition par mémoire de trame,
- les télécommunications : traitement des signaux analogiques à grande vitesse,
- etc...

R. BESSON